

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년09월15일
G09G 3/30 (2006.01)	(11) 등록번호	10-0624117
G09G 3/20 (2006.01)	(24) 등록일자	2006년09월07일

(21) 출원번호	10-2005-0075428	(65) 공개번호
(22) 출원일자	2005년08월17일	(43) 공개일자

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	정보용 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소
(74) 대리인	박상수

심사관 : 최정운

(54) 발광제어 구동부 및 이를 포함하는 유기 전계발광 표시장치

요약

타일링 기술을 이용한 유기 전계발광 표시장치에 대하여 개시한다. 유기 전계발광 표시장치는 SOP(System On Panel)용으로 사용되는 발광제어 구동부를 가진다. 상기 발광제어 구동부는 다수의 플립플롭으로 구성된 시프트 레지스터와 상기 시프트 레지스터의 출력신호를 입력받아 논리합 연산하는 다수의 논리 게이트로 구성된 논리 연산부를 가진다. 상기 인접한 2개의 플립플롭의 2개의 출력신호 및 반전된 2개의 출력신호는 상기 논리 게이트의 능동부하를 제어한다. 또한, 상기 논리 게이트는 상기 인접한 2개의 플립플롭에서 출력되는 2개의 출력신호를 논리합 연산을 통해 발광제어신호를 출력한다. 상기 플립플롭은 PMOS 트랜지스터로 이루어진다.

대표도

도 5

색인어

유기 전계발광 표시장치, SOP(System On Panel), 발광제어 구동부

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 타일링 기술을 이용한 유기 전계발광 표시장치를 나타내는 블록도이다.

도 2는 도 1에 도시된 대표적인 소형 유기 전계발광 표시장치를 상세히 나타낸 블록도이다.

도 3은 도 2에 도시된 화소부의 다수의 화소들 중 대표적인 화소를 나타낸 회로도이다.

도 4는 도 3에 도시된 화소회로의 동작을 설명하기 위한 타이밍도이다.

도 5는 본 발명의 실시예에 따른 유기 EL 표시장치의 발광제어 구동부를 나타낸 블록도 이다.

도 6은 도 5에 도시된 발광제어 구동부의 시프트 레지스터를 구성하는 대표적인 플립플롭을 나타내는 회로도이다.

도 7은 도 6에 도시된 플립플롭의 인버터 구조를 상세히 나타낸 회로도이다.

도 8은 도 5에 도시된 발광제어 구동부의 논리연산부를 구성하는 다수의 논리 게이트 중 대표적인 논리 게이트를 상세히 나타낸 회로도이다.

도 9는 본 발명의 실시예에 따른 발광제어 구동부의 동작을 나타내는 각 신호들의 타이밍도이다.

도면 주요부분에 대한 설명

10 : EL 표시패널 12 : 화소부

14 : 주사 구동부 16 : 발광제어 구동부

17 : 시프트 레지스터 18 : 논리연산부

20 : 데이터 구동부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광제어 구동부 및 이를 포함하는 유기 전계발광 표시장치에 관한 것으로서, 더 구체적으로는 화소의 발광을 제어하는 신호를 생성하는 SOP(System On Panel)형태의 발광제어 구동부 및 이를 포함하는 유기 전계발광 표시장치에 관한 것이다.

평판표시장치는 음극선관을 이용한 표시장치보다 무게와 크기를 줄일 수 있는 장점으로 인하여 많은 연구 개발이 이루어져 왔고, 이러한 결과 액정표시장치(Liquid Crystal Display : LCD), 전계방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 유기전계발광표시장치(Organic Electroluminescent(EL) Display Device: 이하, '유기 EL 표시장치'라고 함.)등이 개발, 실용화되고 있다. 이 중 PDP는 대형화면 구성이 가능하지만 발광효율과 휘도가 낮아 소비전력이 크다는 문제점이 있고, LCD는 응답속도가 느리고, 백라이트에 의해 발광되기 때문에 소비전력이 크다는 문제가 있다.

이와 달리 유기 EL 표시장치는 유기물질을 이용하여 발광시키는 것으로써, LCD와 비교하여 시야각이 넓고, 응답속도가 빠르며, 자발광소자로서 콘트라스트(contrast)가 좋고, 시인성이 우수하다. 또한, 백라이트가 불필요함으로 소비전력이 적고, 박형화 경량화가 가능하다.

그러나, 유기 EL 표시장치는 대형화된 화면을 구성하는 경우 제조 프로세스 상의 제약으로부터, 유리기관 1장당의 EL 표시패널의 크기가 제한된다. 또한, 대화면의 경우, 화면의 일부에 결함이 발생한 때의 수율의 저하를 피할 수 없고, 면내의 균일성의 확보도 곤란하다.

위와 같이 대형 화면을 구성하기 곤란한 유기 EL 표시장치에 대한 해결방법의 하나로 개발된 기술이 타일링(Tiling) 기술로서, 이는 여러 개의 소형 EL표시패널을 접합시켜 하나의 대형패널을 형성하는 방법이다.

각 소형 EL표시패널은 종래와 같이 소정의 영상을 디스플레이하는 다수의 화소들로 이루어져 있다. 상기 다수의 화소들을 활성화시키기 위하여 주사 구동부에서 선택신호를 인가하고, 상기 선택된 화소에 데이터 구동부에서 해당 데이터 신호를 인가한다. 또한, 상기 데이터 신호의 정확한 프로그래밍과 발광타임을 제어하기 위하여 발광제어 구동부에서 각 화소에 발광제어 신호를 인가한다.

상기와 같이 소형 EL표시패널을 구동하기 위한 다양한 신호들을 인가하는 주사 구동부, 데이터 구동부 및 발광제어 구동부는 다양한 방식으로 각 소형 EL표시패널에 전기적으로 연결될 수 있다.

예를 들면, 소형 EL표시패널에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또한, 소형 EL표시패널에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있는데, 이를 COF(chip on flexible board, chip on film) 방식이라 한다. 이와는 달리 소형 EL표시패널의 유리 기판 위에 직접 장착될 수도 있는데, 이를 COG(chip on glass) 방식이라 한다. 상기와 같은 방법은 각 구동부를 따로 설계하여 전기적으로 연결하기 때문에 비용이 많이 들고, 모듈의 간소화 추세에 따르지 못한다는 문제가 있다.

따라서, 최근에는 EL 표시패널 내부에 화소표시부, 주사/발광제어 구동부 또는/및 데이터 구동부를 설계하여 패널하나에 모든 시스템을 구축하려는 노력을 하고 있다. 이를 SOP(System On Panel)라 한다.

타일링(Tiling) 기술을 이용한 대형패널의 경우 여러 개의 소형패널을 접합하기 때문에 각 소형패널들은 SOP 타입으로 만드는 것이 소형패널들을 접합하기 쉽고, 각 구동부들이 들어가는 면적을 줄일 수 있으며, 각 구동부의 집적회로를 설계하는데 드는 비용과 노력을 줄일 수 있다.

그러나, 상기와 같이 SOP 타입의 표시장치를 개발하기 위해서는 패널 내부에서 데이터 또는 주사/발광제어 구동부의 구동 주파수와 전자 이동도 등과 같은 여러 가지 환경/조건들이 맞아야 한다. 현재, 데이터 구동부의 경우 고속의 구동 주파수를 요구하기 때문에 패널 내부에 설계하기에는 어려움이 많다. 따라서, 데이터 구동부는 CMOS기술을 이용한 집적회로 형태로 외부에서 연결하고, 주사 구동부 또는/및 발광제어 구동부는 패널 내부에 형성하고 있다.

이에 따라, 패널내부에 SOP타입으로 설계되는 주사 구동부 및 발광제어 구동부가 최적으로 구동될 수 있는 회로설계가 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 EL 표시패널 내부에 SOP 타입으로 설계되어 화소들의 발광을 제어하기 위한 발광제어 신호를 생성하는 새로운 형태의 발광제어 구동부를 설계하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 유기 전계발광 표시장치는 소정의 영상을 디스플레이 하는 다수의 화소들을 가지는 화소부; 상기 다수의 화소들을 순차적으로 선택하기 위한 주사신호를 인가하는 주사 구동부; 상기 주사신호에 의해 선택된 화소들에 데이터 신호를 인가하는 데이터 구동부; 및 상기 다수의 화소들의 발광을 제어하기 위한 발광제어신호를 인가하는 발광제어 구동부를 포함하며, 상기 발광제어 구동부는, 개시펄스를 입력받고, 클럭신호와 반전된 클럭신호에 동기되어 출력신호를 생성하는 다수의 플립플롭을 가지는 시프트 레지스터; 및 상기 인접한 2개의 플립플롭으로부터 2개의 출력신호와 반전된 2개의 출력신호를 입력받아 상기 4개의 신호들을 이용하여 능동 부하를 제어하며, 상기 2개의 출력신호에 대한 논리합 연산을 통해 발광제어 신호를 출력하기 위한 논리 게이트를 가지는 논리연산부로 이루어진 것을 특징으로 한다.

또한, 상기 목적은 개시 펄스를 입력받고, 클럭신호와 반전된 클럭신호에 동기된 출력신호를 생성하기 위한 제 1 플립플롭; 상기 제 1 플립플롭의 출력신호를 입력받고, 상기 클럭신호와 상기 반전된 클럭신호에 동기된 출력신호를 생성하기 위한 제 2 플립플롭; 및 상기 제 1 플립플롭의 출력신호와 반전된 출력신호, 상기 제 2 플립플롭의 출력신호와 반전된 출력신호를 입력받고, 상기 4개의 신호들을 이용하여 능동 부하를 제어하며, 상기 제1 플립플롭의 출력신호와 상기 제2 플립플롭의 출력신호에 대한 논리합 연산을 통해 발광제어 신호를 출력하기 위한 논리 게이트를 포함하는 발광제어 구동장치에 의해서도 달성된다.

여기서, 상기 플립플롭은, 상기 반전된 클럭신호의 하강에지에서 입력신호를 샘플링하기 위한 제 1 트랜지스터; 상기 제 1 트랜지스터의 출력신호를 반전하기 위한 제 1 인버터; 상기 클럭신호의 하강에지에서 상기 제 1 인버터의 출력신호를 샘플링하기 위한 제 2 트랜지스터; 및 상기 제 2 트랜지스터의 출력신호를 반전하기 위한 제 2 인버터를 포함한다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 타일링 기술을 이용한 대형 유기 EL 표시장치를 나타내는 블록도이다.

도 1을 참조하면, 본 발명의 실시예에 따른 타일링 기술을 이용한 대형 유기 EL 표시장치는 다수의 소형 유기 EL 표시장치(100)가 접합되어 구성된다. 도 1의 경우, 행(row)으로 4개의 소형 유기 EL 표시장치(100)가 접합되어 2열(column)로 구성되는데, 설계자에 따라 다양한 크기로 접합할 수 있다.

상기 소형 유기 EL 표시장치(100)는 영상을 디스플레이 할 수 있는 EL 표시패널(10)과 상기 EL 표시패널(10)에 영상 데이터신호를 공급하기 위한 데이터 구동부(20)로 구성된다.

상기 각각의 EL 표시패널(10)은 기본적으로 동일한 구조를 가지며, 각 에지(edge)면을 접착제로 접착하여 하나의 조합된 EL 표시패널을 형성한다. 접착제는 자외선 경화 수지나 열경화 수지 예를 들면, 에폭시(epoxy) 수지 등을 사용한다.

각 EL 표시패널(10)은 종래에 사용되는 소형 유기전계발광표시장치의 EL 표시패널과 동일한 제조공정을 거쳐 생산될 수 있다. 따라서 동일한 제조공정을 거쳐 생산된 동일한 수개의 EL 표시패널을 부착하여 하나의 대형 EL 표시패널을 형성한다.

이러한 EL 표시패널에 형성되는 주사 구동부, 발광제어 구동부 및 다수의 화소들의 박막 트랜지스터는 빠른 응답속도 및 균일성을 위하여 박막 트랜지스터의 채널로 폴리 실리콘을 갖는다. 이때 폴리 실리콘은 비정질 실리콘 층을 유리 기판 상에 형성한 후 저온 폴리 실리콘(Low Temperature Poly Silicon : LTPS)공정을 거쳐 폴리 실리콘으로 결정화시킨다.

이와 같은 LTPS 공정으로 형성된 폴리 실리콘을 이용하여 다수의 트랜지스터들을 형성하고, 상기 다수의 트랜지스터를 이용하여 EL 표시패널 내부에 레드, 그린, 블루 부화소들로 구성된 화소부와 상기 각 화소들을 선택하고 발광을 제어하기 위한 신호를 생성하는 주사 구동부 및 발광제어 구동부를 형성한다. 상기 EL 표시패널(10)에 대하여는 후술하기로 한다.

상기 다수의 데이터 구동부(20)는 CMOS형성 기술을 이용한 외장형 집적회로(IC)로 설계되어 상기 각 EL 표시패널(10)과 전기적으로 연결된다. 하나의 EL 표시패널(10)과 데이터 구동부(20) 사이의 전기적 연결은 가요성 필름상에 인쇄된 금속 패턴을 통해 달성된다. 즉, 데이터 구동부(20)의 출력 단자는 금속 패턴의 일단에 전기적으로 연결되고, 상기 EL 표시패널(10) 상에 구비된 데이터라인은 상기 금속 패턴의 타단과 전기적으로 연결된다. 이를 테이프 캐리어 패키지(Tape Carrier Package : TCP)방식 이라고 한다. 각각의 데이터 구동부(20)는 가요성 필름 상에 구비된 다수의 도전성 라인들을 통해 데이터 신호를 상기 EL 표시패널(10)의 화소부에 공급한다.

도 2는 도 1에 도시된 대표적인 소형 유기 EL 표시장치를 상세히 나타낸 블록도이다.

도 2를 참조하면, 소형 유기 EL 표시장치(100)는 EL 표시패널(10)과 데이터 구동부(20)로 구성된다.

EL 표시패널(10)은 화소부(12), 주사 구동부(14) 및 발광제어 구동부(16)로 구성된다.

화소부(12)는 다수의 데이터 라인(D1-Dm), 다수의 주사 라인(S1-Sn), 다수의 발광제어 라인(E1-En) 및 이들 라인이 교차하는 영역에 형성된 다수의 화소(P11 내지 Pnm)를 구비한다.

상기 다수의 데이터 라인(D1-Dm)은 상기 데이터 구동부(20)와 전기적으로 연결되어 수직방향으로 연장되며, 각 화소들에 해당 데이터 신호를 전달한다.

또한, 다수의 주사 라인(S1-Sn)과 다수의 발광제어 라인(E1-En)은 종래와 다르게 데이터 구동부(20)와 같이 수직 방향으로 연장되지만, 수평방향으로 배열된 각 화소들에 동일한 주사 및 발광제어 신호를 전달하기 위하여 각 주사 및 발광제어 라인들(S1-Sn, E1-En) 마다 콘택홀을 형성한다. 따라서, 상기 콘택홀을 통하여 접속되는 금속배선을 수평방향으로 연장하여 수평방향의 화소들에 주사 및 발광제어 신호를 전달한다.

상기 각 화소들(P11 내지 Pnm)은 레드, 그린, 블루 3개의 부화소가 반복적으로 행과 열로 배열된다. 각 레드, 그린, 블루 부화소들은 실제 빛을 발광하는 유기 발광층의 유기 물질만 다를 뿐 배선 레이아웃이나 구동회로부의 회로 연결 관계는 모두 동일하다. 따라서, 각 화소는 인가되는 데이터 신호에 해당하는 휘도로 레드, 그린, 블루 빛을 발광하고, 이들 3색의 조합으로 하나의 칼라를 표현한다. 각 화소의 회로구성에 대하여 도 3 및 도 4를 참조하여 설명하기로 한다.

도 3은 도 2에 도시된 화소부의 다수의 화소들 중 대표적인 화소를 나타낸 회로도이다.

도 3을 참조하면, 화소회로(18)는 화소 구동부(19)와 유기EL소자(OLED)로 구성된다.

화소 구동부(19)는 데이터라인(Dm), 이전 주사라인(Sn-1), 현재 주사라인(Sn), 발광제어 라인(En) 및 제 1 전원전압라인(VDD) 및 제 2 전원전압라인(Vsus)에 연결되어 있다. 따라서, 데이터라인으로(Dm)부터의 데이터 신호(Vdata)신호에 상응하는 구동전류를 상기 유기EL소자(OLED)로 공급한다.

유기EL소자(OLED)는 애노드(anode)전극, 캐소드(cathode)전극 및 유기발광층으로 구성된다. 애노드(anode)전극은 상기 화소구동부(19)와 연결되고, 캐소드(cathode)전극은 기준전원전압라인(VSS)에 연결된다. 따라서, 유기EL소자(OLED)는 상기 화소구동부(19)에서 공급되는 구동전류를 인가받아 그 전류량에 해당하는 발광휘도로 발광한다.

상기 화소구동부(19)는 5개의 트랜지스터(M1-M5)와 2개의 커패시터(Cst, Cvth)로 구성된다. 화소구동부(19)에 대하여 상세히 설명하면 다음과 같다.

스위칭 트랜지스터(M4)는 소오스 단자에 데이터 라인(Dm)이 연결되고, 게이트 단자에 주사라인(Sn)이 연결되며, 상기 주사라인(Sn)을 통하여 전달되는 주사신호에 턴-온되어 상기 데이터라인(Dm)으로부터의 데이터신호(Vdata)를 전달한다.

구동 트랜지스터(M1)는 소오스 단자에 제 1 전원전압라인(VDD)이 연결되어, 게이트 단자로 인가되는 전압에 해당하는 구동전류(I_{OLED})를 생성한다.

문턱전압보상 트랜지스터(M2)는 상기 구동 트랜지스터(M1)의 게이트 단자와 드레인 단자 사이에 연결되고, 주사라인(Sn-1)에 연결된 게이트 단자에 인가되는 주사신호에 턴-온되어 상기 구동 트랜지스터(M1)의 문턱전압을 보상한다.

커패시터(Cvth)는 상기 스위칭 트랜지스터(M4)의 드레인 단자와 상기 구동 트랜지스터(M1)의 게이트 단자 사이에 연결되어 상기 구동 트랜지스터(M1)의 문턱전압(Vth)에 해당하는 전압을 저장한다.

커패시터(Cst)는 상기 제 1 전원전압라인(VDD)과 상기 커패시터의 일단자 사이에 연결되며, 데이터라인(Dm)으로 전달되는 데이터전압(Vdata)을 저장한다.

제 2 전원전압인가 트랜지스터(M3)는 소오스 단자가 제 2 전원전압라인(Vsus)에 연결되고, 드레인 단자가 커패시터(Cvth) 및 커패시터(Cst)가 연결되는 지점에 연결되며, 게이트 단자로 인가되는 이전 주사신호(Sn-1)에 턴-온 되어 제 2 전원전압(Vsus)을 상기 커패시터(Cvth) 및 커패시터(Cst)의 연결지점에 인가한다.

발광제어 트랜지스터(M5)는 상기 구동 트랜지스터(M1)의 드레인 단자와 상기 유기EL소자(OLED)의 애노드 전극 사이에 연결되며, 게이트 단자로 인가되는 발광제어신호(En)의 제어에 따라 온/오프 동작을 수행하여 상기 구동트랜지스터(M1)로부터 공급되는 구동전류를 상기 유기EL소자(OLED)로 공급하거나 차단하는 역할을 한다.

이하, 상기 화소회로(18)의 동작을 타이밍도를 참조하여 설명한다.

도 4는 도 3에 도시된 화소회로의 동작을 설명하기 위한 타이밍도이다.

도 3 및 도 4를 참조하면, 먼저, 상기 화소회로(18)에 로우레벨의 이전 주사신호(Sn-1)가 인가되고, 하이레벨의 현재 주사신호(Sn)와 발광제어신호(En)가 인가되면, 문턱전압보상 트랜지스터(M2)와 제 2 전원전압인가 트랜지스터(M3)가 턴-온 되고, 나머지 트랜지스터들(M4, M5)은 턴-오프 된다. 따라서, 구동 트랜지스터(M1)는 다이오드 연결되어 제 1 커패시터

(Cvth)의 일전극(B)에 전압 $V_{DD}-V_{th}[V]$ 가 인가되고, 제 2 전원전압인가 트랜지스터(M3)가 턴온되어 제 1 커패시터(Cvth)의 타전극(A)에 전압 $V_{sus}[V]$ 가 인가된다. 따라서, 제 1 커패시터(Cvth)는 $V_{sus}-V_{DD}+V_{th}[V]$ 의 전압이 저장되어 있다.

다음으로, 상기 화소회로(18)에 로우레벨의 현재 주사신호(Sn)가 인가되고, 하이레벨의 이전 주사신호(Sn-1)와 발광제어 신호(En)가 인가되면, 스위칭 트랜지스터(M4)만 턴온된다. 이때, 데이터라인(Dm)으로부터의 데이터전압(Vdata)이 스위칭 트랜지스터(M4)를 통하여 제 1 커패시터(Cvth)의 타전극(A)에 인가된다. 따라서, 제 1 커패시터(Cvth)의 타전극(A)은 일정 전압차 만큼의 전압변동($\Delta V = V_{sus} - V_{data}$)이 생기게 되고 이에 따라 제 1 커패시터(Cvth)의 일전극(B)도 그 만큼의 전압변동이 생기게 된다. 따라서, 제 1 커패시터의 일전극(B) 및 구동 트랜지스터(M1)의 게이트 단자에 인가되는 전압은 $V_{DD}-V_{th}-\Delta V = V_{DD}-V_{th}-V_{sus}+V_{data} [v]$ 이다.

마지막으로, 상기 화소회로(18)에 하이레벨의 이전 주사신호(Sn-1) 및 현재 주사신호(Sn)가 인가되고, 로우레벨의 발광제어 신호(En)가 인가되면, 발광제어 트랜지스터(M5)만 턴온된다. 이때, 구동 트랜지스터(M1)에서 출력되는 구동전류(I_{OLED})는 다음 [수학식 1]과 같다.

수학식 1

$$I_{OLED} = k(V_{gs}-V_{th})^2 = k\{V_{DD}-(V_{DD}-V_{th}-V_{sus}+V_{data})-V_{th}\}^2$$

$$= k(V_{data}-V_{sus})^2$$

여기서, V_{th} 는 구동 트랜지스터(M1)의 문턱전압, k 는 상수이다.

상기 [수학식 1]에서 나타낸바와 같이 도 3에 도시된 화소회로(18)는 문턱전압(V_{th}) 보상과 제 1 전원전압(V_{DD})에 의한 IR-drop을 보상할 수 있다.

다시 도 2를 참조하면, 주사 구동부(14)는 상기 데이터 구동부(20)와 화소부(12)사이에 형성된다. 이는 다수의 EL 표시패널(10)이 접합되어 하나의 대형 패널을 형성하기 때문에 각 주사 구동부(14)는 데이터 구동부(20)와 동일한 편(이를 '편측 구동'이라 한다.)에 형성되어야 한다. 이와 같은 주사 구동부(14)는 다수의 주사라인(S1-Sn)과 연결되며, 상기 화소부(12)에 순차적으로 주사신호를 인가하여 각 화소들(P11-Pnm)을 순차적으로 선택한다.

발광제어 구동부(16)는 상기 주사 구동부(14)와 화소부(12) 사이에 형성되며, 상기 다수의 발광제어라인(E1-En)과 연결되어 상기 화소부(12)에 순차적으로 발광제어 신호를 인가하여 각 화소들(P11-Pnm)의 발광타임을 제어한다.

데이터 구동부(20)는 앞서 설명한 바와 같이 가요성 필름 상에 구비된 다수의 도전성 라인들을 통해 데이터 신호를 상기 EL 표시패널(10)의 화소부(12)에 공급한다.

위와 같은 본 발명의 실시예에 따른 소형 유기 EL 표시장치(100)는 EL 표시패널(10)과 데이터 구동부(20)로 구성되고, 상기 EL 표시패널(10)은 화소부(12)와 주사 구동부(14)와 발광제어 구동부(16)로 구성되는데, 이하, 발광제어 구동부에 대하여 바람직한 실시예를 참조하여 상세히 설명하기로 한다.

도 5는 본 발명의 실시예에 따른 유기 EL 표시장치의 발광제어 구동부를 나타낸 블록도이다.

도 5를 참조하면, 발광제어 구동부(16)는 다수의 플립플롭들(FF1, FF2, FF3, FF4, ...)이 연결되어 입력신호를 한 클럭주기 만큼 시프트 시켜 신호를 출력하는 시프트 레지스터(17)와 상기 인접한 플립플롭들의 4개의 출력신호를 인가받아 논리합 연산을 통해 발광제어 신호를 생성하는 다수의 논리 게이트(OR1, OR2, OR3, ...)로 이루어진 논리연산부(18)로 구성된다.

시프트 레지스터(17)는 다수의 플립플롭들(FF1, FF2, FF3, FF4, ...)로 구성되어 있다. 상기 제 1 플립플롭(FF1)은 개시 펄스(V_{sp}), 클럭신호(V_{CLK}) 및 반전된 클럭신호(V_{CLKB})를 입력받아 상기 클럭신호(V_{CLK})의 하강에지에서 개시펄스(V_{sp})를 샘플링하여 클럭 1주기 동안 유지하며, 출력신호(OUT1)와 반전된 출력신호(OUTB1)를 출력한다.

제 2 플립플롭(FF2)은 상기 제 1 플립플롭(FF1)의 출력신호(OUT1)와 상기 클럭신호(V_{CLK}) 및 반전된 클럭신호(V_{CLKB})를 입력받아 상기 클럭신호(V_{CLK})의 1 주기동안 시프트(shift)되어 다음 하강에지에서 입력신호를 샘플링하여 클럭(CLK) 1주기 동안 유지하며, 출력신호(OUT2)와 반전된 출력신호(OUTB2)를 출력한다.

이하, 제 3, 제 4 플립플롭(FF3, FF4, ...)은 상기 제 1, 제 2 플립플롭(FF1, FF2)과 같은 동작을 반복하여 시프트 된 신호들을 출력한다. 각 플립플롭은 기본적으로 동일한 구성으로 되어 있으며, 이에 대하여는 뒤에서 도면을 참조하여 상세히 설명하기로 한다.

논리연산부(18)는 다수의 논리 게이트(OR1, OR2, OR3, ...)로 구성되고, 각 논리 게이트마다 발광제어라인과 연결되어 발광제어 신호를 각 화소들에 인가한다.

제 1 논리 게이트(OR1)는 상기 제 1 플립플롭(FF1)의 2개의 출력신호(OUT1, OUTB1)와 상기 제 2 플립플롭(FF2)의 2개의 출력신호(OUT2, OUTB2)를 입력신호로 인가받는다. 상기 제 1 논리 게이트(OR1)는 입력받은 4개의 입력신호들(OUT1, OUTB1, OUT2, OUTB2)을 논리합 연산을 수행한다. 본 발명에 따른 제 1 논리 게이트(OR1)는 일반적인 논리 게이트와는 달리 제 1 및 제 2 플립플롭의 출력신호(OUT1, OUT2)가 로우레벨의 신호이고, 제 1 및 제 2 플립플롭의 반전된 출력신호(OUTB1, OUTB2)가 하이레벨의 신호일 때에만 로우레벨의 발광제어 신호(E1)를 출력하고, 그 이외의 레벨에서는 하이레벨의 발광제어 신호(E1)를 출력한다.

다음으로, 제 2 논리 게이트(OR2)는 상기 제 2 플립플롭(FF2)의 2개의 출력신호(OUT2, OUTB2)와 상기 제 3 플립플롭(FF3)의 2개의 출력신호(OUT3, OUTB3)를 입력신호로 인가받고, 상기 제 1 논리 게이트(OR1)와 동일한 논리합 연산을 수행하여 제 2 발광제어 신호(E2)를 출력한다.

상기와 같이 제 3 논리 게이트(OR3) 내지 제 n 논리 게이트(ORn)도 제 1 및 제 2 논리 게이트(OR1, OR2)와 같이 4개의 입력신호를 논리합 연산하여 각각의 발광제어 신호(E3 내지 En)를 출력한다. 각 논리 게이트는 기본적으로 동일한 구성으로 되어 있으며, 이에 대하여는 뒤에서 도면을 참조하여 상세히 설명하기로 한다.

앞에서 살펴본 바와 같이, 본 발명의 실시예에 따른 발광제어 구동부는 시프트 레지스터(17)와 논리연산부(18)로 구성되고, 상기 시프트 레지스터(17)의 이웃하는 2개의 플립플롭(FF1, FF2)과 상기 논리연산부(18)의 하나의 논리 게이트(OR1)의 연결 관계를 기본 발광제어 구동회로(16_1)로 설정하여 발광제어신호(E1)를 생성한다. 상술한 도 5의 발광제어 구동부의 동작원리는 뒤에서 각 타이밍도를 참조하여 자세히 설명하기로 한다.

도 6은 도 5에 도시된 발광제어 구동부의 시프트 레지스터를 구성하는 대표적인 플립플롭을 나타내는 회로도이다.

도 6을 참조하며, 플립플롭(FF1)은 2개의 스위칭 트랜지스터(M6, M7)와 2개의 인버터(INV1, INV2)로 구성된다. 상세히 설명하면, 플립플롭(FF1)은 반전된 클럭신호(CLKB)에 의하여 제어되며 상기 반전된 클럭신호(CLKB)의 하강에지에서 입력신호(IN)를 샘플링하기 위한 트랜지스터(M6)와 상기 트랜지스터(M6)의 출력신호를 반전하기 위한 제 1 인버터(INV1)와 클럭신호(CLK)의 하강에지에서 상기 제 1 인버터(INV1)의 출력신호를 샘플링하기 위한 트랜지스터(M7) 및 상기 트랜지스터(M7)의 출력신호를 반전하기 위한 제 2 인버터(INV2)로 구성된다. 여기서, 트랜지스터(M6, M7)는 PMOS 트랜지스터이다.

따라서, 입력신호(IN)가 트랜지스터(M6)에 인가되고, 반전된 클럭신호(CLKB)가 하강에지로 변환될 때 트랜지스터(M6)는 상기 입력신호(IN)를 샘플링 하여 제 1 인버터(INV1)로 전달한다. 클럭신호(CLK)가 하강에지로 변환될 때 트랜지스터(M7)는 턴-온되고, 상기 제 1 인버터(INV1)는 샘플링 된 신호를 반전시켜 출력한다. 상기 트랜지스터(M7)로부터 전달된 제 1 인버터(INV1)의 출력신호(OUTB)는 제 2 인버터(INV2)에서 다시 반전되어 출력(OUT)된다.

위와 같이 본 발명의 실시예에 따른 플립플롭(FF1)은 입력신호(IN), 클럭신호(CLK) 및 반전된 클럭신호(CLKB)를 이용하여 원하는 크기의 출력신호를 생성할 수 있다. 상기 제 2 인버터(INV2)의 입력신호(OUTB)와 출력신호(OUT)는 앞서 설명한 논리 게이트(OR1)의 2 입력신호가 된다. 또한, 상기 제 2 인버터(INV2)의 출력신호(OUT)는 다음 플립플롭(FF2)의 입력신호가 되어 입력신호를 1 클럭주기 만큼 시프트(shift)하여 출력시켜 상기 논리 게이트(OR1)의 2 입력신호로 인가한다. 따라서, 4 입력 논리 게이트의 입력신호(OUT1, OUTB1, OUT2, OUTB2)에서 입력신호(OUTB1 또는 OUTB2)를 추가의 신호 없이 상기 각 플립플롭(FF1, FF2)의 제 2 인버터(INV2)의 입력단에 인가되는 신호를 뽑아 사용한다. 따라서, 추가의 신호 없이 논리 게이트의 입력신호를 플립플롭에서 모두 인가함으로써, 소비전력을 줄일 수 있다.

이하, 상기 플립플롭(FF1)에서 사용되는 제 1 및 제 2 인버터(INV1, INV2)에 대하여 살펴보기로 한다.

도 7은 도 6에 도시된 플립플롭의 인버터 구조를 상세히 나타낸 회로도이다.

상기 제 1 및 제 2 인버터(INV1, INV2)는 동일한 구조로 이루어진 인버터이므로, 설명의 편의상 제 1 인버터(INV1)에 대하여만 설명하기로 한다.

도 7을 참조하면, 인버터(INV1)는 3개의 PMOS 트랜지스터(M8, M9, M10)로 이루어졌다.

트랜지스터(M8)는 소스단자가 제 1 전원전압(VDD)에 연결되고 게이트단자가 상기 플립플롭(FF1)의 트랜지스터(M6)의 출력단자와 연결되며, 드레인단자는 출력단(out)과 연결된다. 출력단(out)은 상기 플립플롭(FF1)의 트랜지스터(M7)의 입력단자와 연결된다. 따라서, 상기 트랜지스터(M8)는 상기 트랜지스터(M6)로부터 전달된 입력신호(in)의 제어에 따라 온/오프 동작을 수행하여 상기 제 1 전원전압(VDD)을 출력단(out)으로 출력하거나 차단한다. 여기서, 제 1 전원전압(VDD)은 양의 전원전압으로써, 예를 들어 5[V]의 전압이 공급된다.

트랜지스터(M9)는 상기 트랜지스터(M8)의 드레인단자와 출력단(out)에 소스단자가 연결되고, 제 2 전원전압(VSS)에 드레인단자가 연결되어, 게이트단자로 인가되는 전압에 따라 능동부하로서의 역할을 한다.

또한, 트랜지스터(M10)는 상기 트랜지스터(M9)의 게이트단자와 드레인단자 사이에 연결되고, 게이트단자와 드레인단자가 연결되어 다이오드와 같은 역할을 하며, 상기 트랜지스터(M9)의 게이트전압을 제어한다. 여기서, 제 2 전원전압(VSS)은 음의 전원전압으로써, 예를 들어 -7[V]의 전압이 공급된다. 따라서, 트랜지스터(M9)는 능동부하로써, 소스단자로 인가되는 전압과 게이트단자로 인가되는 전압의 차에 따라 항상 턴-온 상태에 있게 된다. 여기서, 상기 트랜지스터(M9)의 채널길이(Channel Length:L9)는 상기 트랜지스터(M8)의 채널길이(Channel Length:L8)보다 크게 하고, 상기 트랜지스터(M9)의 채널폭(Channel Width:W9)은 상기 트랜지스터(M8)의 채널폭(Channel Width:W8)보다 적은 것이 바람직하다. 즉, 이는 상기 트랜지스터(M8)가 턴-온 되었을 때, 트랜지스터(M9)의 턴-온 저항이 트랜지스터(M8)의 턴-온 저항보다 매우 커지게 하기 위함이다.

또한, 상기 인버터(INV1)는 상기 트랜지스터(M9)의 소스단자와 게이트단자 사이에 연결되며, 상기 트랜지스터(M10)가 턴-오프 되었을 때, 상기 트랜지스터(M9)의 소스-게이트사이의 전압(V_{gs})을 유지하는 커패시터(Cst)를 더 포함할 수 있다.

상기와 같은 구성을 가지는 인버터(INV1)의 동작원리에 대하여 살펴보기로 한다.

먼저, 로우레벨(-7[V])의 입력신호(in)가 트랜지스터(M8)의 게이트단자에 인가되면 트랜지스터(M8)는 턴-온되고, 트랜지스터(M9, M10)도 턴-온된다. 하지만, 상기 트랜지스터(M9)는 상기 트랜지스터(M8)보다 온(ON)저항이 크게 되어 실질적으로 출력단(out)의 전압은 제 1 전원전압(VDD) 즉, 하이레벨의 전압(5[V])이 출력된다.

다음으로, 하이레벨(5[V])의 입력신호(in)가 트랜지스터(M8)의 게이트단자에 인가되면 트랜지스터(M8)는 턴-오프 되고, 이미 트랜지스터(M9, M10)는 턴-온되어 있는 상태이다. 따라서, 출력단(out)의 전압은 이전에 출력된 하이레벨의 전압(5[V])에서 점점 로우레벨로 천이되고, 이때, 트랜지스터(M10)는 턴-오프되어 트랜지스터(M9)의 게이트단자는 플로팅된다. 따라서, 트랜지스터(M9)의 소스-게이트전압(V_{gs})은 일정전압을 유지하게 되고, 소스단자에 연결된 출력단자(out)는 제 2 전원전압(VSS)의 전압 즉, 로우레벨의 전압(-7[V])만큼 떨어지게 된다. 이때, 트랜지스터(M9)의 게이트전압도 출력단(out)의 전압이 변환됨에 따라 -7[V]에서 -15[V] 정도까지 내려간다.

앞서 살펴본 바와 같이, 본 발명에 따른 플립플롭은 클럭신호(CLK)와 반전된 클럭신호(CLKB)의 상태변화에 따라 샘플링되는 입력신호의 제어에 의해 원하는 크기의 출력신호를 출력할 수 있고, 이에 따라 상기 이웃하는 플립플롭(FF1, FF2)의 4개의 출력신호들(OUT1, OUTB1, OUT2, OUTB2)을 후술하는 논리 게이트(OR1)의 입력단에 인가한다.

이하, 상기 이웃하는 플립플롭들(FF1, FF2)의 4개의 출력신호들(OUT1, OUTB1, OUT2, OUTB2)이 인가되는 논리 게이트(OR1)에 대하여 상세히 설명하기로 한다.

도 8은 도 5에 도시된 발광제어 구동부의 논리연산부를 구성하는 다수의 논리 게이트 중 대표적인 논리 게이트를 상세히 나타낸 회로도이다.

도 8을 참조하면, 상기 논리 게이트는 2 개의 입력신호(IN1,IN2)에 따라 온/오프 동작을 수행하는 입력부(31)와 상기 입력부(31)에 연결되고, 2개의 반전된 입력신호(INB1,INB2)에 따라 선택적으로 다이오드 연결되는 트랜지스터(M13)를 가지는 제 1 능동부하(32)와 상기 입력부(31)의 출력을 수신하고, 수신되는 레벨에 따라 온/오프 동작을 수행하는 출력 트랜지스터(M18) 및 상기 출력 트랜지스터(M18)에 연결되고, 2개의 입력신호(IN1,IN2)에 따라 선택적으로 다이오드 연결되는 트랜지스터(M17)를 가지는 제 2 능동부하(33)를 포함한다.

또한, 논리 게이트는 상기 2개의 입력신호(IN1,IN2)에 따라 온/오프 동작을 수행하여, 2개의 입력신호(IN1,IN2)가 로우일 때, 상기 제 1 능동부하(32)에 흐르는 전류를 차단하는 스위칭부(34)와 상기 트랜지스터(M13)의 소스와 게이트사이의 전압을 유지하는 제 1 커패시터(C1)와 상기 트랜지스터(M17)의 소스와 게이트사이의 전압을 유지하는 제 2 커패시터(C2)를 더 포함한다.

나아가, 상기 논리 게이트는 상기 제 2 커패시터(C2)의 양단에 연결되고, 상기 입력부(31)의 출력신호에 따라 온/오프 동작을 수행하여, 상기 출력신호가 로우일 때, 상기 제 2 능동부하(33)에 흐르는 전류를 차단하는 트랜지스터(M19)를 더 포함한다.

여기서, 입력신호(IN1)와 반전된 입력신호(INB1)는 각각 상기 플립플롭(FF1)의 출력신호(OUT1)와 반전된 출력신호(OUTB1)이고, 입력신호(IN2)와 반전된 입력신호(INB2)는 각각 상기 플립플롭(FF2)의 출력신호(OUT2)와 반전된 출력신호(OUTB2)이다.

상세히 설명하면, 상기 입력부(31)는 양의 전원전압(Vpos)에 연결되고, 입력신호(IN1)의 레벨에 따라 온/오프 동작을 수행하는 트랜지스터(M11)와 상기 트랜지스터(M11)에 연결되고, 입력신호(IN2)의 레벨에 따라 온/오프 동작을 수행하는 트랜지스터(M12)로 구성된다. 따라서, 상기 입력부(31)는 2개의 입력신호(IN1,IN2)가 모두 로우레벨일 때에만, 턴-온되어 양의 전원전압(Vpos)을 출력하고, 그 이외의 레벨에서는 턴-오프된다.

상기 제 1 능동부하(32)는 상기 트랜지스터(M12)와 음의 전원전압(Vneg)사이에 연결되고, 반전된 2개의 입력신호(INB1,INB2)의 레벨상태에 따라 다이오드 연결되는 트랜지스터(M13)와 상기 트랜지스터(M13)의 게이트와 드레인 사이에 연결되어 상기 반전된 2개의 입력신호(INB1,INB2)의 레벨상태에 따라 각각 온/오프 동작을 수행하는 2개의 트랜지스터(M15_1,M15_2)로 구성된다. 따라서, 반전된 2개의 입력신호(INB1,INB2)의 레벨상태가 모두 하이레벨일 때를 제외하고 상기 트랜지스터(M13)는 다이오드 연결되어 음의 전원전압(Vneg)과 문턱전압($V_{th_{M13}}$)의 합에 해당하는 전압을 상기 입력부(31)의 출력단에 인가한다.

상기 출력 트랜지스터(M18)는 상기 양의 전원전압(Vpos)과 발광제어라인(E1)사이에 연결되고, 상기 입력부(31)와 상기 제 1 능동부하(32)의 출력단에 게이트단자가 연결되어 게이트단자로 인가되는 전압에 따라 온/오프 동작을 수행한다. 따라서, 게이트단자로 인가되는 전압이 로우레벨일 때 트랜지스터(M18)는 턴-온되어 양의 전원전압(Vpos)을 발광제어라인(E1)에 전달한다.

상기 제 2 능동부하(33)는 상기 트랜지스터(M18)와 음의 전원전압(Vneg)사이에 연결되고, 2개의 입력신호(IN1,IN2)의 레벨상태에 따라 다이오드 연결되는 트랜지스터(M17)와 상기 트랜지스터(M17)의 게이트와 드레인 사이에 연결되어 상기 2개의 입력신호(IN1,IN2)의 레벨상태에 따라 각각 온/오프 동작을 수행하는 2개의 트랜지스터(M16_1,M16_2)로 구성된다. 따라서, 2개의 입력신호(IN1,IN2)의 레벨상태가 모두 로우레벨일 때만 상기 트랜지스터(M17)는 다이오드 연결되어 음의 전원전압(Vneg)과 문턱전압($V_{th_{M17}}$)의 합에 해당하는 전압을 상기 발광제어라인(E1)에 인가한다.

또한, 상기 스위칭부(34)는 상기 제 1 능동부하(32)의 트랜지스터(M13)의 소스와 게이트사이에 연결되고, 상기 2개의 입력신호(IN1,IN2)에 따라 각각 온/오프 동작을 수행하는 2개의 트랜지스터(M14_1,M14_2)가 직렬로 연결되어 있다. 상기 스위칭부(34)는 상기 2개의 입력신호(IN1,IN2)가 모두 로우레벨일 때 상기 트랜지스터(M13)의 소스와 게이트사이의 전압차($V_{gs_{M13}}$)를 0[V]로 만들어 트랜지스터(M13)에서 흐르는 전류를 차단한다. 따라서, 상기 입력부(31)가 턴-온될 때, 제 1 능동부하(32)를 통하여 흐르는 정적 전류(Static Current)를 차단할 수 있다.

나아가, 상기 트랜지스터(M19)는 상기 제 2 능동부하(33)의 트랜지스터(M17)의 소스와 게이트사이에 연결되고, 상기 제 1 입력부(31)의 출력신호에 따라 온/오프 동작을 수행한다. 따라서, 상기 트랜지스터(M19)는 상기 제 1 입력부(31)의 출

력신호에가 로우레벨일 때 상기 트랜지스터(M17)의 소스와 게이트 사이의 전압차($V_{gs_{M17}}$)를 0[V]로 만들어 트랜지스터(M17)에서 흐르는 전류를 차단한다. 따라서, 상기 트랜지스터(M18)가 턴-온될 때, 제 2 능동부하(33)를 통하여 흐르는 정적 전류(Static Current)를 차단할 수 있다.

여기서, 상기 논리 게이트를 구성하는 모든 트랜지스터들은 모두 PMOS 트랜지스터로 구성된다. 다만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 상기 논리 게이트를 NMOS 트랜지스터로 구성하는 것은 자명한 사항임을 알 수 있을 것이다. 즉, PMOS 트랜지스터는 NMOS 트랜지스터로 바꾸고, 양의 전원전압과 음의 전원전압을 바꾸면, NMOS 트랜지스터로 이루어진 논리 게이트가 설계된다.

상기와 같은 구성의 논리 게이트가 2개의 입력신호(IN1,IN2) 및 2개의 반전된 입력신호(INB1,INB2)의 레벨상태에 따라 어떤 발광제어신호(E1)를 출력하는지 살펴보기로 한다.

먼저, 2개의 입력신호(IN1,IN2)가 모두 로우레벨의 신호이고, 반전된 2개의 입력신호(INB1,INB2)가 모두 하이레벨의 신호일때, 상기 입력부(31)의 2개의 트랜지스터(M11, M12)는 모두 턴-온되고, 상기 스위칭부(34)의 2개의 트랜지스터(M14_1,M14_2)도 모두 턴-온된다. 또한, 상기 제 2 능동부하(33)의 2개의 트랜지스터(M16_1,M16_2)도 모두 턴-온된다. 다만, 상기 제 1 능동부하(32)의 2개의 트랜지스터(M15_1,M15_2)는 모두 턴-오프된다.

따라서, 입력부(31)로부터 양의 전원전압(V_{pos})은 출력 트랜지스터(M18) 및 트랜지스터(M19)의 게이트단자로 인가된다. 이때, 상기 스위칭부(34)는 턴-온되어 상기 제 1 능동부하(32)의 트랜지스터(M13)의 소스-게이트 전압($V_{gs_{M13}}$)을 0[V]로 만든다. 따라서, 상기 트랜지스터(M13)는 턴-오프되어 상기 능동부하(32)에서는 정적전류(static current)가 흐르지 않는다. 한편, 양의 전원전압(V_{pos})을 인가받은 출력 트랜지스터(M18) 및 트랜지스터(M19)는 턴-오프되고, 제 2 능동부하(33)의 다이오드 연결되는 트랜지스터(M17)에 의하여 발광제어신호는 음의 전원전압(V_{neg})에 문턱전압($V_{th_{M17}}$)을 합한 만큼의 로우레벨의 신호를 출력한다.

다음으로, 입력신호(IN1)가 하이레벨이고, 입력신호(IN2)가 로우레벨 이거나, 입력신호(IN1)가 로우레벨이고, 입력신호(IN2)가 하이레벨 일때 상기 논리 게이트의 상태는 다음과 같다.

상기 입력부(31)의 2개의 트랜지스터(M11, M12)중 어느 하나의 트랜지스터(M11 또는 M12)는 턴-오프되고, 상기 스위칭부(34)의 2개의 트랜지스터(M14_1,M14_2) 중 어느 하나의 트랜지스터(M14_1또는M14_2)도 턴-오프된다. 또한, 상기 제 2 능동부하(33)의 2개의 트랜지스터(M16_1,M16_2)중 어느 하나의 트랜지스터(M16_1또는M16_2)도 턴-오프된다. 다만, 상기 제 1 능동부하(32)의 병렬로 연결된 2개의 트랜지스터(M15_1,M15_2) 중 어느 하나의 트랜지스터(M15_1 또는M15_2)는 턴-온된다.

따라서, 입력부(31)와 스위칭부(34)는 턴-오프되고, 상기 제 1 능동부하(32)의 트랜지스터(M13)는 다이오드 연결되어 출력 트랜지스터(M18)의 게이트단자의 전압은 음의 전원전압(V_{pos})에 문턱전압($V_{th_{M13}}$)을 더한 만큼 로우레벨로 떨어지게 된다. 로우레벨의 전압을 인가받은 출력 트랜지스터(M18)는 턴-온되어 양의 전원전압(V_{pos})을 상기 발광제어라인(E1)에 출력한다. 이때, 상기 트랜지스터(M19)는 턴-온되어 상기 제 2 능동부하(33)의 트랜지스터(M17)의 소스-게이트 전압($V_{gs_{M17}}$)을 0[V]로 만든다. 따라서, 상기 트랜지스터(M17)는 턴-오프되어 상기 능동부하(33)에서는 정적전류(static current)가 흐르지 않는다. 결국, 발광제어라인(E1)에는 양의 전원전압(V_{pos})만큼의 하이레벨의 신호가 출력된다.

또한, 2개의 입력신호(IN1,IN2)가 모두 하이레벨일때, 발광제어신호(E1)는 하이레벨을 유지함을 알 수 있다.

상기와 같이 본 발명의 실시예에 따른 논리연산부(18)를 구성하는 논리 게이트는 추가의 신호없이 상기 이웃하는 플립플롭(FF1,FF2)에서 출력되는 4개의 신호(OUT1,OUTB1,OUT2,OUTB2)를 인가받아 이들 4개의 신호를 이용하여 상기 논리 게이트의 능동부하를 제어하며, 상기 2개의 출력신호(OUT1,OUT2)를 입력받아 논리합 연산을 수행하여 원하는 형태의 발광제어신호(E1)를 생성할 수 있다. 이때, 2개의 입력신호(IN1,IN2)가 로우레벨일 때 상기 논리 게이트의 능동부하(32,33)를 통하여 흐르는 정적전류(static current)를 차단할 수 있고, 상기 입력부(31)의 출력신호가 로우레벨일 때, 상기 제 2 능동부하(33)를 통하여 흐르는 정적전류(static current)를 차단할 수 있다.

도 9는 본 발명의 실시예에 따른 발광제어 구동부의 동작을 나타내는 각 신호들의 타이밍도이다.

도 9를 참조하면, 다수의 플립플롭($FF1-FF_{n+1}$)으로 구성된 시프트 레지스터는 클럭신호(CLK)와 반전된 클럭신호($CLKB$)를 공통으로 인가받으며, 이전 플립플롭의 출력신호를 입력신호로 인가받는다.

먼저, 개시펄스(SP)가 제 1 플립플롭($FF1$)의 입력으로 인가되면, 상기 클럭신호(CLK)의 하강에지에서 제 1 플립플롭($FF1$)은 하이레벨의 출력신호($OUT1$)와 로우레벨의 반전된 출력신호($OUTB1$)를 클럭 1주기 동안 출력한다.

다음으로, 상기 제 1 플립플롭($FF1$)의 출력신호($OUT1$)가 제 2 플립플롭($FF2$)의 입력으로 인가되면, 상기 클럭신호(CLK)의 2번째 하강에지에서 제 2 플립플롭($FF2$)은 하이레벨의 출력신호($OUT2$)와 로우레벨의 반전된 출력신호($OUTB2$)를 클럭 1 주기 동안 출력한다.

위와 같은 동작을 반복하여, 마지막으로 제 1 플립플롭(FF_n)의 출력신호(OUT_n)가 제 $n+1$ 플립플롭(FF_{n+1})의 입력으로 인가되면, 상기 클럭신호(CLK)의 $n+1$ 번째 하강에지에서 제 $n+1$ 플립플롭(FF_{n+1})은 하이레벨의 출력신호(OUT_{n+1})와 로우레벨의 반전된 출력신호($OUTB_{n+1}$)를 클럭 1 주기 동안 출력한다.

위와 같은 동작으로 본 발명에 따른 시프트 레지스터는 클럭 1주기 마다 시프트되는 2개의 신호(OUT , $OUTB$)를 출력한다.

또한, 다수의 논리 게이트($OR1-OR_n$)로 구성된 논리연산부는 상기 플립플롭($FF1-FF_{n+1}$)의 출력신호들을 인가받아 논리합 연산을 수행하여 발광제어 신호를 출력한다.

먼저, 제 1 논리 게이트($OR1$)는 상기 제 1 플립플롭($FF1$)의 2개의 출력신호($OUT1, OUTB1$)와 상기 제 2 플립플롭($FF2$)의 2개의 출력신호($OUT2, OUTB2$)를 입력으로 인가받는다. 따라서, 제 1 출력신호($OUT1$)와 제 2 출력신호($OUT2$)가 로우레벨이고, 반전된 제 1 출력신호($OUTB1$)와 반전된 제 2 출력신호($OUTB2$)가 하이레벨일 때만, 상기 제 1 논리 게이트($OR1$)는 로우레벨의 발광제어신호($E1$)를 출력하고, 그 이외의 레벨상태에서는 하이레벨의 발광제어신호($E1$)를 출력한다.

다음으로, 제 2 논리 게이트($OR2$)는 상기 제 2 플립플롭($FF2$)의 2개의 출력신호($OUT2, OUTB2$)와 상기 제 3 플립플롭($FF3$)의 2개의 출력신호($OUT3, OUTB3$)를 입력으로 인가받는다. 따라서, 제 2 출력신호($OUT2$)와 제 3 출력신호($OUT3$)가 로우레벨이고, 반전된 제 2 출력신호($OUTB2$)와 반전된 제 3 출력신호($OUTB3$)가 하이레벨일 때만, 상기 제 2 논리 게이트($OR2$)는 로우레벨의 발광제어신호($E2$)를 출력하고, 그 이외의 레벨상태에서는 하이레벨의 발광제어신호($E2$)를 출력한다. 상기 제 2 발광제어신호($E2$)는 상기 제 1 발광제어신호($E1$)보다 클럭 1 주기만큼 시프트(shift)되어 출력된다.

위와 같은 동작을 반복하여, 마지막으로 제 n 논리 게이트(OR_n)는 상기 제 n 플립플롭(FF_n)의 2개의 출력신호($OUT_n, OUTB_n$)와 상기 제 $n+1$ 플립플롭(FF_{n+1})의 2개의 출력신호($OUT_{n+1}, OUTB_{n+1}$)를 입력으로 인가받는다. 따라서, 제 n 출력신호(OUT_n)와 제 $n+1$ 출력신호(OUT_{n+1})가 로우레벨이고, 반전된 제 n 출력신호($OUTB_n$)와 반전된 제 $n+1$ 출력신호($OUTB_{n+1}$)가 하이레벨일 때만, 상기 제 n 논리 게이트(OR_n)는 로우레벨의 발광제어신호(E_n)를 출력하고, 그 이외의 레벨상태에서는 하이레벨의 발광제어신호(E_n)를 출력한다.

상기와 같은 본 발명의 실시예에 따른 유기 EL 표시장치의 발광제어 구동부는 패널내부에 직접 PMOS 트랜지스터들로 구성된 다수의 플립플롭과 다수의 논리 게이트를 형성함으로써, SOP(System On Panel)를 구현하는데 용이하다는 이점이 있다.

또한, 본 발명의 인접한 플립플롭들의 4개의 출력을 논리 게이트의 입력으로 사용함으로써, 추가적인 신호없이 상기 플립플롭의 출력을 이용함으로써, 소비전력을 줄일 수 있다,

나아가, 본 발명의 4입력 논리 게이트를 사용함으로써, 입력신호가 로우일때 발생하는 정적전류(static current)를 차단할 수 있어 누설전류에 따른 전력소비를 감소할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 패널내부에 직접 PMOS 트랜지스터들로 구성된 다수의 플립플롭과 다수의 논리 게이트를 형성함으로써, SOP(System On Panel)를 구현하는데 용이하다는 이점이 있다.

또한, 본 발명의 인접한 플립플롭들의 4개의 출력을 논리 게이트의 입력으로 사용함으로써, 추가적인 신호없이 상기 플립플롭의 출력을 이용함으로써, 소비전력을 줄일 수 있다,

더나아가, 본 발명의 4입력 논리 게이트를 사용함으로써, 입력신호가 로우일때 발생하는 정적전류(static current)를 차단할 수 있어 누설전류에 따른 전력소비를 감소할 수 있다.

따라서, 본 발명은 SOP용으로 최적의 발광제어 구동부를 제공하고, 그에 따라 소비전력을 최소화할 수 있는 유기 전계발광 표시장치를 제공한다는 효과가 있다.

(57) 청구의 범위

청구항 1.

소정의 영상을 디스플레이 하는 다수의 화소들을 가지는 화소부;

상기 다수의 화소들을 순차적으로 선택하기 위한 주사신호를 인가하는 주사 구동부;

상기 주사신호에 의해 선택된 화소들에 데이터 신호를 인가하는 데이터 구동부; 및

상기 다수의 화소들의 발광을 제어하기 위한 발광제어신호를 인가하는 발광제어 구동부를 포함하며,

상기 발광제어 구동부는,

개시펄스를 입력받고, 클럭신호와 반전된 클럭신호에 동기되어 출력신호를 생성하는 다수의 플립플롭을 가지는 시프트 레지스터; 및

상기 인접한 2개의 플립플롭으로부터 2개의 출력신호와 반전된 2개의 출력신호를 입력받아 상기 4개의 신호들을 이용하여 능동 부하를 제어하며, 상기 2개의 출력신호에 대한 논리합 연산을 통해 발광제어 신호를 출력하기 위한 논리 게이트를 가지는 논리연산부로 이루어진 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 2.

제 1 항에 있어서,

상기 각각의 플립플롭은,

상기 반전된 클럭신호의 하강에지에서 입력신호를 샘플링하기 위한 제 1 트랜지스터;

상기 제 1 트랜지스터의 출력신호를 반전하기 위한 제 1 인버터;

상기 클럭신호의 하강에지에서 상기 제 1 인버터의 출력신호를 샘플링하기 위한 제 2 트랜지스터; 및

상기 제 2 트랜지스터의 출력신호를 반전하기 위한 제 2 인버터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 3.

제 2 항에 있어서,

상기 각각의 인접한 플립플롭은 상기 제 2 트랜지스터의 출력신호와 상기 제 2 인버터의 출력신호를 상기 논리 게이트로 인가하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 4.

제 3 항에 있어서,

상기 각각의 인버터는,

양의 전원전압과 출력단자 사이에 연결되고, 상기 플립플롭의 제 1 또는 제 2 트랜지스터를 통하여 전달되는 신호에 따라 온/오프 동작을 수행하는 제 3 트랜지스터; 및

음의 전원전압과 상기 출력단자 사이에 연결되고, 상기 제 3 트랜지스터의 온/오프에 따라 출력 전류량을 제어하는 제 4 트랜지스터를 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 5.

제 4 항에 있어서,

상기 각각의 인버터는,

상기 제 4 트랜지스터의 게이트단자와 드레인단자 사이에 연결되고, 상기 제 4 트랜지스터의 게이트 전압을 제어하는 다이오드 연결된 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 6.

제 5 항에 있어서,

상기 제 3 트랜지스터의 턴-온 저항은 상기 제 4 트랜지스터의 턴-온 저항보다 적은 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 7.

제 6 항에 있어서,

상기 각각의 인버터는,

상기 제 4 트랜지스터의 소스단자와 게이트단자 사이에 연결되며, 상기 제 5 트랜지스터가 턴-오프 되었을 때, 상기 제 4 트랜지스터의 소스-게이트사이의 전압을 유지하는 커패시터를 더 포함하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 8.

제 7 항에 있어서,

상기 제 1 내지 제 5 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 9.

제 1 항에 있어서,

상기 화소부, 주사 구동부, 데이터 구동부 및 발광제어 구동부는 하나의 기판상에 형성되는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 10.

제 1 항에 있어서,

상기 유기 전계발광 표시장치는 다수개의 유기 전계발광 표시장치가 타일형태로 결합하여 하나의 영상을 표시하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 11.

개시 펄스를 입력받고, 클럭신호와 반전된 클럭신호에 동기된 출력신호를 생성하기 위한 제 1 플립플롭;

상기 제 1 플립플롭의 출력신호를 입력받고, 상기 클럭신호와 상기 반전된 클럭신호에 동기된 출력신호를 생성하기 위한 제 2 플립플롭; 및

상기 제 1 플립플롭의 출력신호와 반전된 출력신호, 상기 제 2 플립플롭의 출력신호와 반전된 출력신호를 입력받고, 상기 4개의 신호들을 이용하여 능동 부하를 제어하며, 상기 제1 플립플롭의 출력신호와 상기 제2 플립플롭의 출력신호에 대한 논리합 연산을 통해 발광제어 신호를 출력하기 위한 논리 게이트를 포함하는 발광제어 구동장치.

청구항 12.

제 11 항에 있어서,

상기 각각의 플립플롭은,

상기 반전된 클럭신호의 하강에지에서 입력신호를 샘플링하기 위한 제 1 트랜지스터;

상기 제 1 트랜지스터의 출력신호를 반전하기 위한 제 1 인버터;

상기 클럭신호의 하강에지에서 상기 제 1 인버터의 출력신호를 샘플링하기 위한 제 2 트랜지스터; 및

상기 제 2 트랜지스터의 출력신호를 반전하기 위한 제 2 인버터를 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 13.

제 12 항에 있어서,

상기 각각의 인버터는,

양의 전원전압과 출력단자 사이에 연결되고, 상기 플립플롭의 제 1 또는 제 2 트랜지스터를 통하여 전달되는 신호에 따라 온/오프 동작을 수행하는 제 3 트랜지스터; 및

음의 전원전압과 상기 출력단자 사이에 연결되고, 상기 제 3 트랜지스터의 온/오프에 따라 출력 전류량을 제어하는 제 4 트랜지스터를 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 14.

제 13 항에 있어서,

상기 각각의 인버터는,

상기 제 4 트랜지스터의 게이트단자와 드레인단자 사이에 연결되고, 상기 제 4 트랜지스터의 게이트 전압을 제어하는 다이오드 연결된 제 5 트랜지스터를 더 포함하는 것을 특징으로 하는 발광제어 구동장치.

청구항 15.

제 14 항에 있어서,

상기 제 3 트랜지스터의 턴-온 저항은 상기 제 4 트랜지스터의 턴-온 저항보다 적은 것을 특징으로 하는 발광제어 구동장치.

청구항 16.

제 15 항에 있어서,

상기 각각의 인버터는,

상기 제 4 트랜지스터의 소스단자와 게이트단자 사이에 연결되며, 상기 제 5 트랜지스터가 턴-오프 되었을 때, 상기 제 4 트랜지스터의 소스-게이트사이의 전압을 유지하는 커패시터를 더 포함하는 것을 특징으로 하는 발광제어 구동장치.

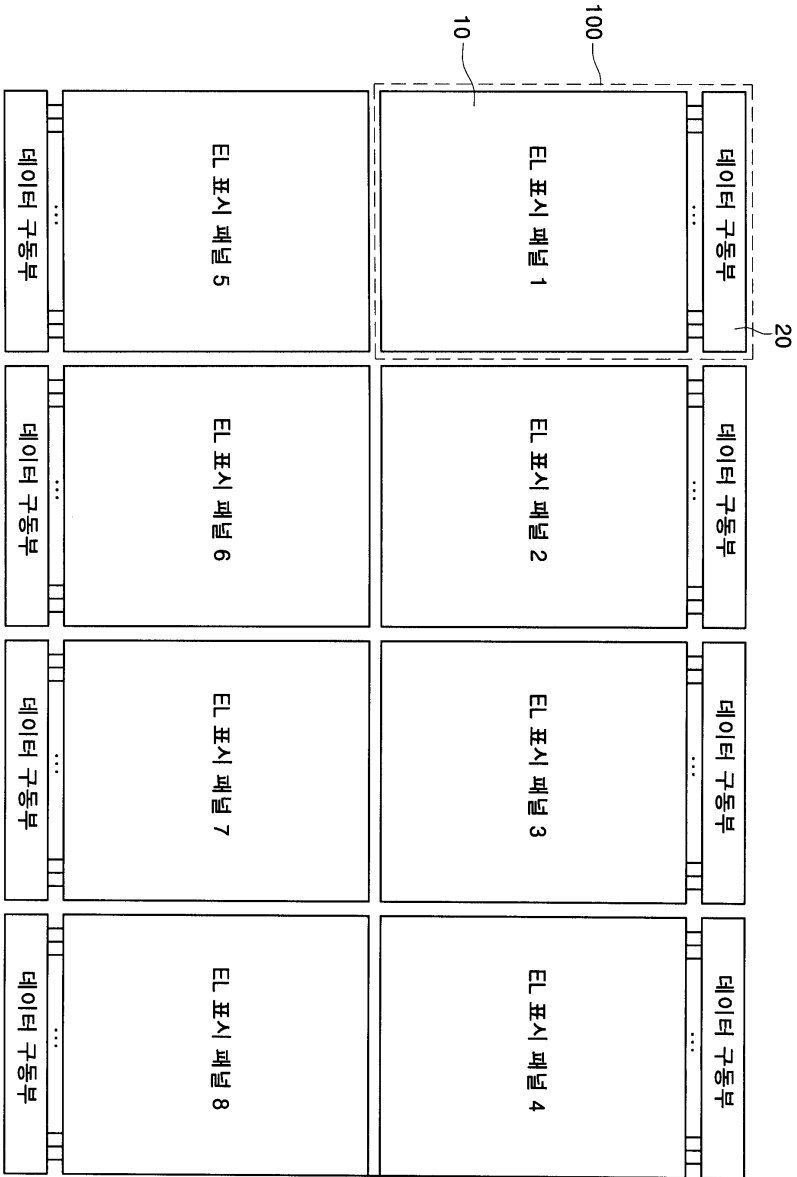
청구항 17.

제 16 항에 있어서,

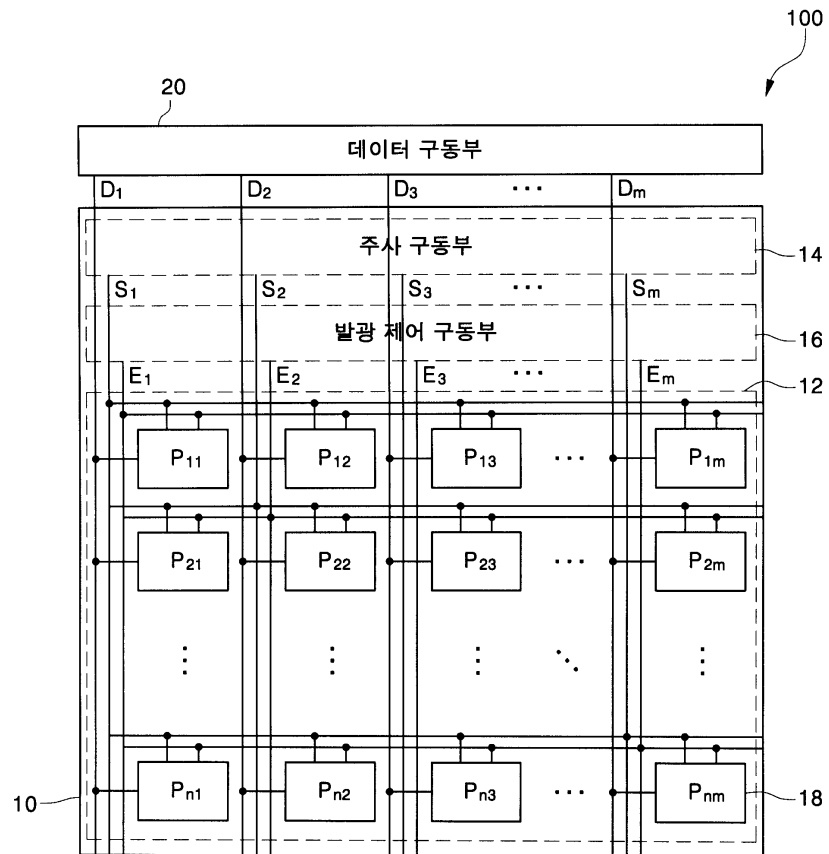
상기 제 1 내지 제 5 트랜지스터는 PMOS 트랜지스터인 것을 특징으로 하는 발광제어 구동장치.

도면

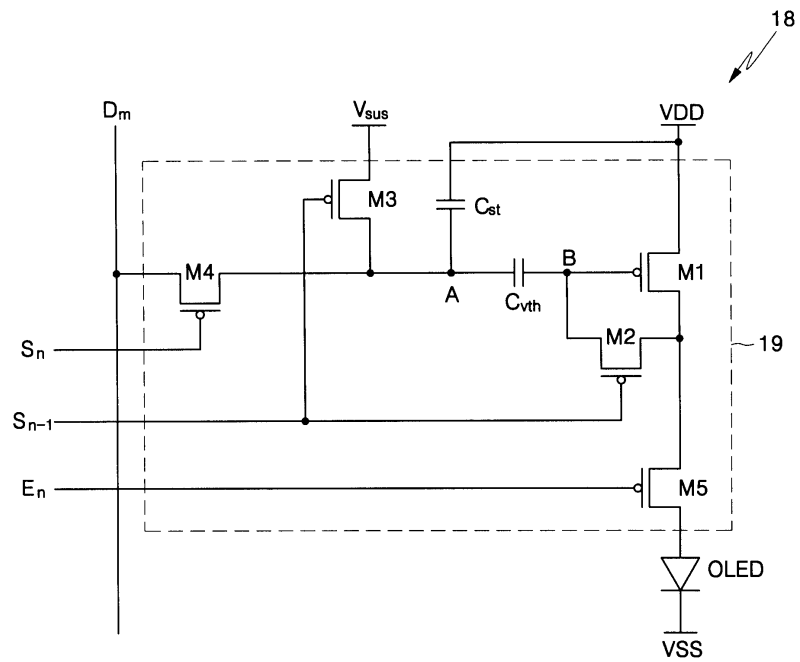
도면1



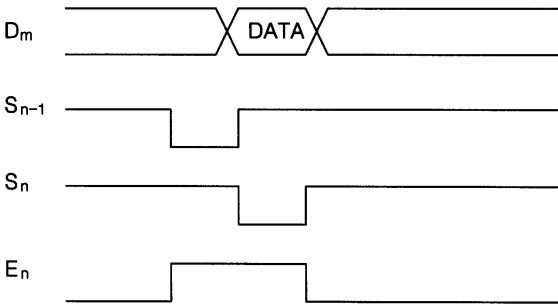
도면2



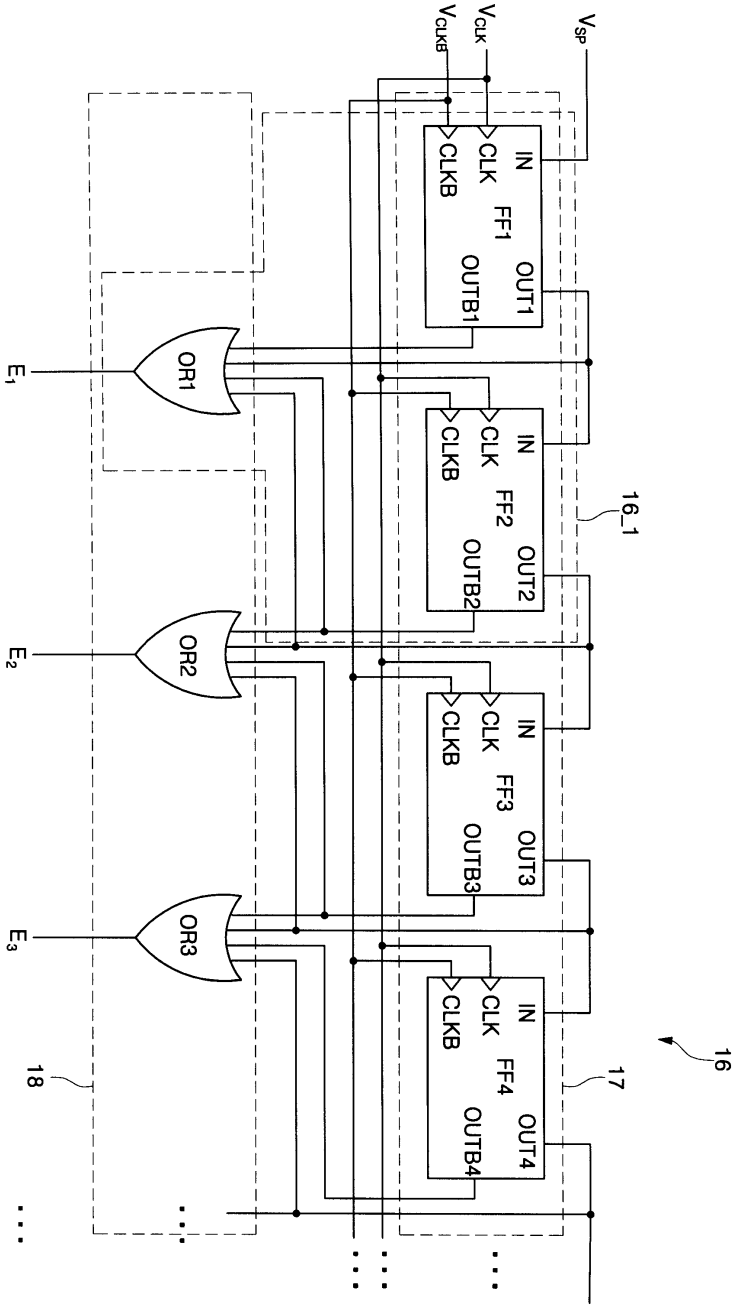
도면3



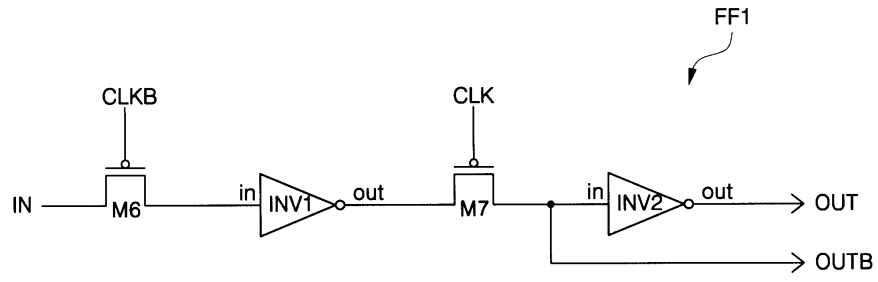
도면4



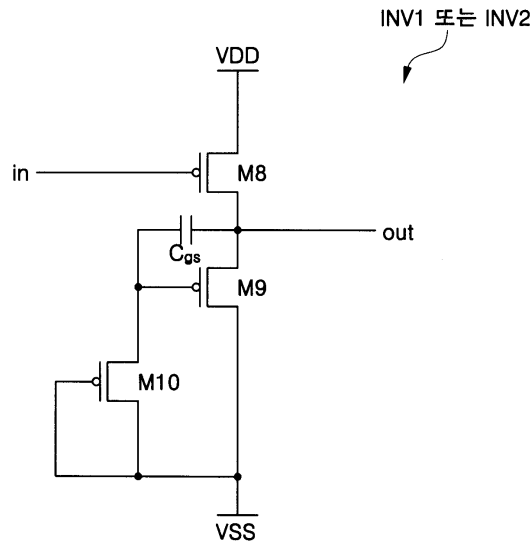
도면5



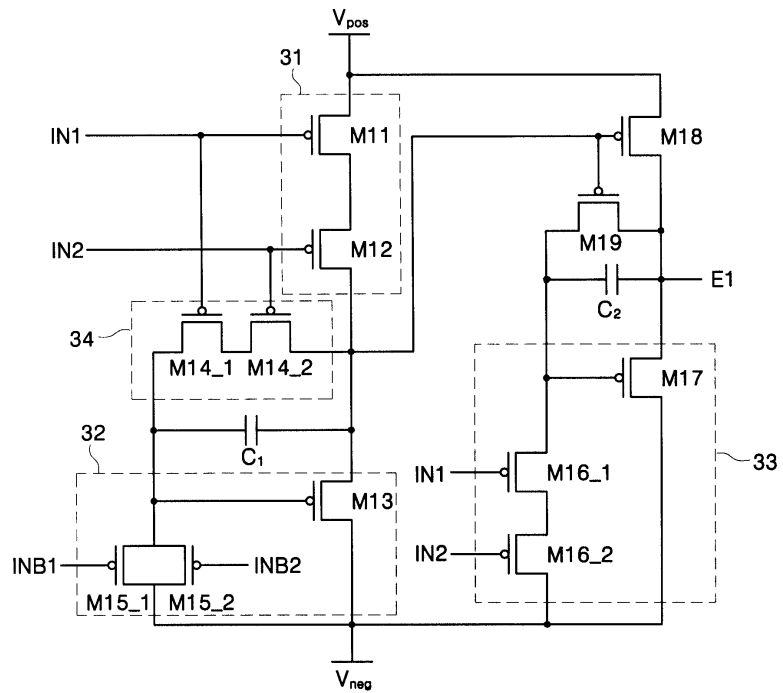
도면6



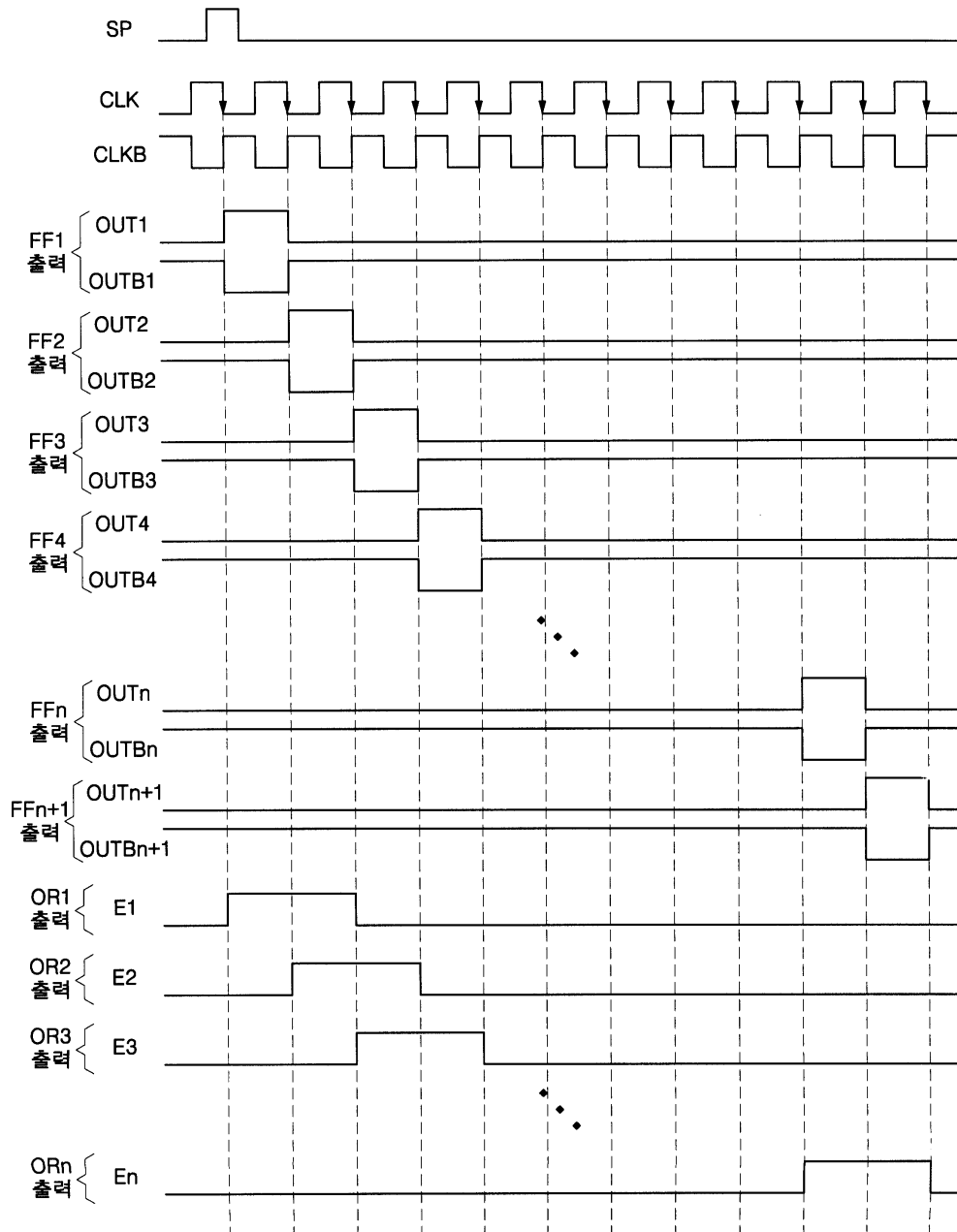
도면7



도면8



도면9



专利名称(译)	发光控制驱动器和包括该发光控制驱动器的有机发光显示器		
公开(公告)号	KR100624117B1	公开(公告)日	2006-09-15
申请号	KR1020050075428	申请日	2005-08-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BO YONG		
发明人	CHUNG BO YONG		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0408 G09G2300/0819 G11C19/184 H03K19/096		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

公开了一种使用拼接技术的有机电致发光显示装置。有机电致发光显示装置具有用于SOP (面板上系统) 的发光控制驱动器。发光控制驱动器包括逻辑运算单元, 该逻辑运算单元由移位寄存器构成, 该移位寄存器由多个触发器和多个逻辑门组成, 用于接收移位寄存器的输出信号并执行OR运算。两个相邻触发器的两个输出信号和反相的两个输出信号控制逻辑门的有效负载。逻辑门通过对从两个相邻触发器输出的两个输出信号执行“或”运算来输出发光控制信号。触发器包括PMOS晶体管。五指数方面 有机电致发光显示器, SOP (System On Panel)

