



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0090308
(43) 공개일자 2011년08월10일

(51) Int. Cl.

H01L 51/56 (2006.01) *H01L 29/786* (2006.01)

(21) 출원번호 10-2010-0010012

(22) 출원일자 2010년02월03일

심사청구일자 2010년02월03일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김종윤

경기도 용인시 기흥구 농서동 산 24번지

이일정

경기도 용인시 기흥구 농서동 산 24번지

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 23 항

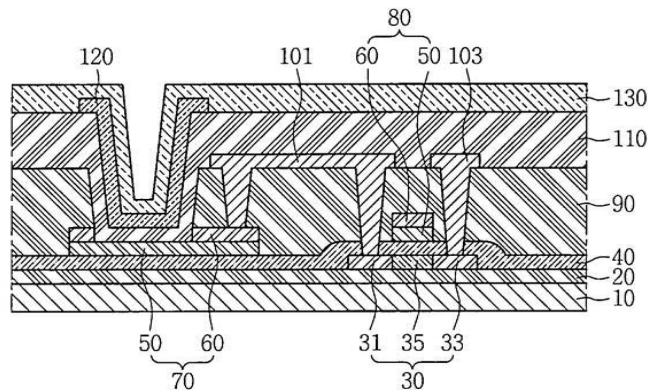
(54) 유기 발광 표시장치 및 그 제조방법

(57) 요약

본 발명은 공정을 단순화할 수 있고, 신뢰성을 확보할 수 있으며, 식각 공정을 용이하게 실시할 수 있는 유기 발광 표시장치 및 이의 제조방법에 관한 것이다.

유기 발광 표시장치는 기판, 상기 기판 상의 박막 트랜지스터 영역에 형성되는 반도체층, 상기 반도체층을 포함하는 상기 기판의 전면에 걸쳐 형성되는 게이트 절연막, 상기 게이트 절연막 상의 상기 기판의 화소 영역에 형성되는 하부 전극, 상기 게이트 절연막 상에 상기 반도체층과 대응되어 형성되는 게이트 전극, 상기 하부 전극 및 상기 게이트 전극을 포함하는 상기 게이트 절연막의 전면에 형성되며, 상기 하부 전극의 일부를 노출시키는 층간 절연막 및 상기 층간 절연막 상에 형성되며, 상기 반도체층과 접속되는 소스/드레인 전극을 포함하고, 상기 하부 전극 및 상기 게이트 전극은 제1 도전층 및 제2 도전층으로 형성되며, 상기 제2 도전층과 상기 소스/드레인 전극은 동일한 물질로 형성되는 단일막인 것을 특징으로 한다.

대표도 - 도1h



(72) 발명자

권도현

경기도 용인시 기흥구 농서동 산 24번지

여종모

경기도 용인시 기흥구 농서동 산 24번지

특허청구의 범위

청구항 1

기관;

상기 기관 상의 박막 트랜지스터 영역에 형성되는 반도체층;

상기 반도체층을 포함하는 상기 기관의 전면에 걸쳐 형성되는 게이트 절연막;

상기 게이트 절연막 상의 상기 기관의 화소 영역에 형성되는 하부 전극;

상기 게이트 절연막 상에 상기 반도체층과 대응되어 형성되는 게이트 전극;

상기 하부 전극 및 상기 게이트 전극을 포함하는 상기 게이트 절연막의 전면에 형성되며, 상기 하부 전극의 일부를 노출시키는 층간 절연막; 및

상기 층간 절연막 상에 형성되며, 상기 반도체층과 접속되는 소스/드레인 전극을 포함하고,

상기 하부 전극 및 상기 게이트 전극은 제1 도전층 및 제2 도전층으로 형성되며,

상기 제2 도전층과 상기 소스/드레인 전극은 동일한 물질로 형성되는 단일막인 것을 특징으로 하는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 도전층은 ITO, IZO, In2O3 및 Sn2O3 중 어느 하나의 재질로 형성되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 도전층 및 상기 소스/드레인 전극은 Co 및 Ni 중 어느 하나, Ge 및 Si 중 어느 하나와 La를 첨가한 Al 합금으로 형성되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 Co 및 Ni는 0.2 ~ 1.0at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 5

제 3 항에 있어서,

상기 Ge는 0.5 ~ 1.0at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 6

제 3 항에 있어서,

상기 Si는 0.3 ~ 1.0at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 7

제 3 항에 있어서,

상기 La는 0.1 ~ 0.5at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 하부 전극의 제2 도전층의 일부가 제거되어, 상기 하부 전극의 제1 도전층이 노출되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 9

제 1 항에 있어서,

상기 하부 전극과 상기 게이트 전극은 동일한 층에 형성되는 것을 특징으로 하는 유기 발광 표시장치.

청구항 10

제 1 항에 있어서,

상기 소스/드레인 전극을 포함하는 상기 층간 절연막 전면에 형성되며, 상기 노출되는 하부 전극의 일부를 노출시키는 화소 정의막;

상기 노출되는 하부 전극 상에 형성되는 유기막; 및

상기 유기막을 포함하는 상기 층간 절연막 전면에 형성되는 상부 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 11

제 8 항에 있어서,

상기 소스/드레인 전극을 포함하는 상기 층간 절연막 전면에 형성되며, 상기 노출되는 제1 도전층을 노출시키는 화소 정의막;

상기 노출되는 제1 도전층 상에 형성되는 유기막; 및

상기 유기막을 포함하는 상기 층간 절연막 전면에 형성되는 상부 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시장치.

청구항 12

기관 상의 박막 트랜지스터 영역에 반도체층을 형성하는 단계;

상기 반도체층을 포함하는 상기 기관의 전면에 걸쳐 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상의 상기 기관의 화소 영역에 하부 전극을 형성하고, 상기 기관의 상기 박막 트랜지스터 영역에 게이트 전극을 형성하는 단계;

상기 하부 전극 및 상기 게이트 전극을 포함하는 상기 게이트 절연막의 전면에 층간 절연막을 형성하고, 상기 하부 전극의 일부를 노출시키는 제1 및 제2 콘택 홀과 상기 반도체층의 소스/드레인 영역을 노출시키는 제3 및 제4 콘택 홀 형성하는 단계; 및

상기 층간 절연막 상에 소스/드레인 전극층을 형성하고, 마스크 공정을 통하여 소스/드레인 전극을 형성하는 단계를 포함하고,

상기 하부 전극 및 상기 게이트 전극은 제1 도전층 및 제2 도전층으로 형성되며,

상기 제2 도전층과 상기 소스/드레인 전극은 동일한 물질로 형성되는 단일막인 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 소스/드레인 전극을 형성하는 과정에서, 상기 하부 전극의 상기 제1 콘택 홀을 통해 노출되는 상기 제1 도전층도 함께 식각되어, 상기 하부 전극의 제2 도전층이 노출되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 14

제 12 항에 있어서,

상기 제1 도전층은 IT0, IZO, In2O3 및 Sn2O3 중 어느 하나의 제질로 형성되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 15

제 12 항에 있어서,

상기 제2 도전층 및 상기 소스/드레인 전극은 Co 및 Ni 중 어느 하나, Ge 및 Si 중 어느 하나와 La를 첨가한 Al 합금으로 형성되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 16

제 15 항에 있어서,

상기 Co 및 Ni은 0.2 ~ 1.0at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 17

제 15 항에 있어서,

상기 Ge는 0.5 ~ 1.0at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 18

제 15 항에 있어서,

상기 Si는 0.3 ~ 1.0at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 19

제 15 항에 있어서,

상기 La는 0.1 ~ 0.5at%로 첨가되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 20

제 12 항에 있어서,

상기 제2 콘택 홀을 통해 노출되는 상기 하부 전극의 영역과 상기 제3 콘택홀을 통해 노출되는 소스/드레인 영역은 하나의 소스/드레인 전극에 의해 전기적으로 연결되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 21

제 12 항에 있어서,

상기 하부 전극과 상기 게이트 전극은 동일한 마스크 공정을 통해 형성되는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 22

제 12 항에 있어서,

상기 소스/드레인 전극을 포함하는 상기 층간 절연막 전면에 화소 정의막을 형성하고, 상기 제1 콘택 홀을 통해 노출되는 상기 하부 전극을 노출시키는 개구부를 형성하는 단계;

상기 노출되는 하부 전극 상에 유기막을 형성하는 단계; 및

상기 유기막을 포함하는 상기 층간 절연막 전면에 상부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

청구항 23

제 20 항에 있어서,

상기 소스/드레인 전극을 포함하는 상기 층간 절연막 전면에 화소 정의막을 형성하고, 노출되는 상기 화소 전극의 제1 도전층을 노출시키는 개구부를 형성하는 단계;

상기 노출되는 제1 도전층 상에 유기막을 형성하는 단계; 및

상기 유기막을 포함하는 상기 층간 절연막 전면에 상부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 공정을 단순화할 수 있고, 신뢰성을 확보할 수 있으며, 식각 공정을 용이하게 실시할 수 있는 유기 발광 표시장치 및 그의 제조방법에 관한 것이다.

배경 기술

- [0002] 평판 표시 장치 중 하나인 유기 발광 표시장치는 전자(electron) 주입 전극(cathode)과 정공(hole) 주입 전극(anode)으로부터 각각 전자(electron)와 정공(hole)을 유기 발광층 내부로 주입시켜, 주입된 전자(electron)와 정공(hole)이 결합한 여기자가 여기 상태에서 기저 상태로 떨어질 때 발광하는 자발광 표시장치이다.
- [0003] 일반적으로, 유기 발광 표시장치는 대면하는 기관 사이에 형성되며, 제1 전극, 제2 전극 및 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함하는 유기 발광 소자를 포함한다.
- [0004] 또한, 유기 발광 표시장치는 유기 발광 소자의 발광을 제어하기 위한 박막 트랜지스터를 구비하는 능동형으로 형성될 수 있으며, 이때, 박막 트랜지스터를 형성하기 위한 다수의 전극이 필요하며, 이러한 전극은 증착 공정, 포토리소그래피 공정 및 식각 공정 등의 과정을 거쳐 패터닝되어 형성된다.
- [0005] 따라서, 패터닝된 전극을 형성하기 위해서는 다수의 공정이 추가되어야 하며, 이러한 공정 추가는 제품을 생산하는 시간을 지연시키며, 공정 진행 중의 오류 발생 확률을 증가시킨다.
- [0006] 이러한 문제를 해결하기 위하여, 최근에는 마스크를 사용하는 횟수를 줄이는 방법이 모색중이며, 그 일환으로 게이트 전극과 소스/드레인 전극을 동시에 식각하기 위한 다양한 방법이 연구되고 있다.
- [0007] 일반적으로, 게이트 전극과 소스/드레인 전극을 단일 물질을 사용하는 경우, 게이트 전극과 소스/드레인 전극을 각각 Mo/Al/Mo의 구조로 형성하는데, 이의 구조에서는 패드부에서의 Mo가 부식되어 신뢰성이 떨어지는 문제가 있다.
- [0008] 게이트 전극을 Mo/Al/Mo의 구조로 형성하고, 소스/드레인 전극을 Ti/Al/Ti의 구조로 형성하면, 신뢰성은 확보할 수 있지만, 재료가 서로 다르므로 부식액의 개발이 어렵다. 또한, 게이트 전극과 소스/드레인 전극의 식각을 별도로 진행하는 경우, 게이트 전극을 식각하기 위한 부식액에 의해 소스/드레인의 Al이 식각되는 문제가 발생한다.
- [0009] 또한, 게이트 전극과 소스/드레인 전극을 동일하게 Ti/Al/Ti의 구조로 형성하면, 패드부에서의 신뢰성을 확보할 수 있고, 일괄 식각이 가능하나, 소스/드레인 전극 성막 전의 콘택 홀 세정 시 게이트 전극의 상부 Ti가 HF에 의해 영향을 받는 문제가 있다.
- [0010] 따라서, 신뢰성을 확보할 수 있으며, 게이트 전극과 소스/드레인 전극을 동시에 식각할 수 있는 방법이 필요한 실정이다.

발명의 내용

해결하려는 과제

- [0011] 본 발명의 실시 예들은 공정을 단순화할 수 있고, 신뢰성을 확보할 수 있으며, 식각 공정을 용이하게 실시할 수 있는 유기 발광 표시장치를 제공한다.
- [0012] 또한, 본 발명의 실시 예들은 상기 유기 발광 표시장치의 제조방법을 제공한다.

과제의 해결 수단

- [0013] 본 발명의 실시예들에 따르면, 유기 발광 표시장치가 제공된다. 유기 발광 표시장치는 기관, 상기 기관 상의 박막 트랜지스터 영역에 형성되는 반도체층, 상기 반도체층을 포함하는 상기 기관의 전면에 걸쳐 형성되는 게이트 절연막, 상기 게이트 절연막 상의 상기 기관의 화소 영역에 형성되는 하부 전극, 상기 게이트 절연막 상에 상기 반도체층과 대응되어 형성되는 게이트 전극, 상기 하부 전극 및 상기 게이트 전극을 포함하는 상기 게이트 절연막의 전면에 형성되며, 상기 하부 전극의 일부를 노출시키는 층간 절연막 및 상기 층간 절연막 상에 형성되며, 상기 반도체층과 접속되는 소스/드레인 전극을 포함하고, 상기 하부 전극 및 상기 게이트 전극은 제1 도전층 및 제2 도전층으로 형성되며, 상기 제2 도전층과 상기 소스/드레인 전극은 동일한 물질로 형성되는 단일막인 것을 특징으로 한다.
- [0014] 또한, 본 발명의 실시예들에 따르면, 유기 발광 표시장치의 제조방법이 제공된다. 유기 발광 표시장치의 제조방

법은 기판 상의 박막 트랜지스터 영역에 반도체층을 형성하는 단계, 상기 반도체층을 포함하는 상기 기판의 전면에 걸쳐 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상의 상기 기판의 화소 영역에 하부 전극을 형성하고, 상기 기판의 상기 박막 트랜지스터 영역에 게이트 전극을 형성하는 단계, 상기 하부 전극 및 상기 게이트 전극을 포함하는 상기 게이트 절연막의 전면에 층간 절연막을 형성하고, 상기 하부 전극의 일부를 노출시키는 제1 및 제2 콘택 홀과 상기 반도체층의 소스/드레인 영역을 노출시키는 제3 및 제4 콘택 홀 형성하는 단계 및 상기 층간 절연막 상에 소스/드레인 전극층을 형성하고, 마스크 공정을 통하여 소스/드레인 전극을 형성하는 단계를 포함하고, 상기 하부 전극 및 상기 게이트 전극은 제1 도전층 및 제2 도전층으로 형성되며, 상기 제2 도전층과 상기 소스/드레인 전극은 동일한 물질로 형성되는 단일막인 것을 특징으로 한다.

[0015] 상기 제2 도전층 및 상기 소스/드레인 전극은 Co, Ge 및 La를 첨가한 Al 합금으로 형성되는 것을 특징으로 한다.

[0016] 상기 Co는 0.2 ~ 1.0at%로 첨가되고, 상기 Ge는 0.5 ~ 1.0at%로 첨가되며, 상기 La는 0.1 ~ 0.5at%로 첨가되는 것을 특징으로 한다.

발명의 효과

[0017] 본 발명의 실시 예들에 따르면, 하나의 마스크를 거쳐 제2 도전층 및 소스/드레인 전극을 식각할 수 있으므로, 마스크 공정을 줄일 수 있다.

[0018] 또한, 제2 도전층 및 소스/드레인 전극으로 알루미늄 합금 단일막을 사용하기 때문에 식각액을 개발하는 것이 용이하며, 종래의 식각액을 공용하여 사용할 수 있다.

[0019] 또한, 소스/드레인 전극과 소스/드레인 영역의 접촉 부위에서 발생하는 접합 스파이크 현상을 방지할 수 있다.

[0020] 또한, 열처리 공정에서의 알루미늄의 힐록(hillock) 현상을 방지할 수 있으며, 콘택 홀의 세정액에 의해 제2 도전층이 영향을 받지 않는다.

도면의 간단한 설명

[0021] 도 1a 내지 1h는 본 발명의 실시 예에 따른 유기 발광 표시장치의 제조공정을 설명하기 위한 단면도들이다.

도 2는 소스/드레인 전극 및 화소 정의막을 형성한 이후의 단면을 SEM으로 촬영한 사진이다.

도 3은 소스/드레인 성막 공정 및 화소 정의막 형성 공정을 진행한 후의 평면을 현미경으로 촬영한 사진이다.

도 4는 힐록(hillock)의 발생 여부를 확인하기 위하여 캐소드 접촉 부위를 현미경으로 촬영한 사진이다.

도 5는 화소 영역의 콘택 홀을 BOE 세정 후의 단면을 SEM으로 촬영한 사진이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 바람직한 실시 예를 도시한 도면들을 참조하여, 본 발명의 실시 예에 따른 유기 발광 표시장치 및 그 제조방법을 설명한다.

[0023] 도 1a 내지 1h는 본 발명의 실시 예에 따른 유기 발광 표시장치의 제조공정을 설명하기 위한 단면도들이다.

[0024] 도 1a에 도시된 바와 같이, 기판(10) 상의 전면에 버퍼층(20)을 형성하고, 버퍼층(20) 상에 패터닝된 반도체층(30)을 제1 마스크 공정을 통하여 형성한다. 상기 기판(10)으로는 유리 기판뿐만 아니라 아크릴과 같은 다양한 플라스틱재 기판을 사용할 수도 있고, 금속재 기판을 사용할 수도 있다.

[0025] 상기 버퍼층(20)은 반도체층(30)이 기판(10)에 의해 오염되는 것을 방지하며, 공정 환경 또는 당업자의 선택에 따라 버퍼층(20)은 형성되지 않을 수도 있다.

[0026] 상기 반도체층(30)은 버퍼층(20) 상에 PECVD, LPCVD 등의 증착 방법을 통하여 비정질 실리콘층을 형성한 후, 상기 비정질 실리콘층을 ELA(Excimer Laser Annealing), SLS(Sequential Lateral Solidification), MIC(Metal

Induced Crystallization) 또는 MILC(Metal Induced Lateral Crystallization)법을 사용하여 결정화하고, 식각 공정으로 패터닝하여 단위 화소 내의 박막 트랜지스터 영역(TFT 영역)에 형성된다.

- [0027] 상기 반도체층(30)은 소스/드레인 영역(31, 33) 및 소스/드레인 영역(31, 33)의 사이에 위치하는 채널 영역(35)을 포함하며, 소스/드레인 영역(31, 33)은 소정의 도전성을 가지는 불순물, 예를 들면 n형 또는 p형 불순물 중 하나를 이온 주입하여 형성되며, 채널 영역(35)은 박막 트랜지스터 구동 시 채널이 형성된다.
- [0028] 그리고 나서, 상기 반도체층(30)을 포함하는 기판(10) 전면에 걸쳐 게이트 절연막(40)을 형성한다. 상기 게이트 절연막(40)은 실리콘 산화물, 실리콘 질화물 또는 그 적층 구조로 형성될 수 있다.
- [0029] 이후, 도 1b에 도시된 바와 같이, 화소 영역 및 TFT 영역에 제1 도전층(50) 및 상기 제1 도전층(50) 상에 형성되는 제2 도전층(60)을 형성한다.
- [0030] 제1 도전층(50) 및 제2 도전층(60)은 제1 도전층(50) 재료를 게이트 절연막(40) 상에 증착하고, 제2 도전층(60) 재료를 제1 도전층(50) 상에 증착한 후, 제2 마스크 공정을 거쳐 패터닝하여 형성된다.
- [0031] 이때, 화소 영역에 형성된 제1 및 제2 도전층(50, 60)의 적층막은 유기 발광 소자의 하부 전극(70)의 역할을 하며, TFT 영역에 형성된 제1 도전층(50) 및 제2 도전층(60)의 적층막은 박막 트랜지스터의 게이트 전극(80)으로서 역할하며, 제1 및 제2 도전층(50, 60)의 적층 두께는 2000~5000Å으로 형성될 수 있다.
- [0032] 제1 도전층(50)의 재료로는 유기 발광 소자 분야에서 하부 전극의 재료로 사용되는 것이면 무관하며, ITO(Indium Tin Oxide), IZO, In2O3 또는 Sn2O3와 같이 투명한 금속 재질이 이용될 수 있다.
- [0033] 제2 도전층(60)의 재료로는 알루미늄(Al)에 Co, Ge 및 La를 첨가한 알루미늄 합금이 사용되며, 이에 대해서는 후술한다.
- [0034] 이후, 도 1c 및 1d에 도시된 바와 같이, 하부 전극(70) 및 게이트 전극(80)을 포함하는 게이트 절연막의 전면에 층간 절연막(90)을 형성한 후, 제3 마스크 공정을 통하여, 하부 전극(70)의 제2 도전층(60)을 각각 노출시키는 제1 및 제2 콘택 홀들(90a, 90b) 및 반도체층(30)의 소스/드레인 영역(31, 33)을 각각 노출시키는 제3 및 제4 콘택 홀들(90c, 90d)을 형성한다.
- [0035] 이후, 도 1e 및 1f에 도시된 바와 같이, 전체 표면 상부에 소스/드레인 전극 재료를 증착하여 소스/드레인 전극층(100)을 형성하고, 제4 마스크 공정을 통하여, 소스/드레인 전극(101, 103)을 형성하며, 소스/드레인 전극층(100)의 재료로는 알루미늄(Al)에 Co, Ge 및 La를 첨가한 알루미늄 합금이 사용되며, 소스/드레인 전극(101, 103) 및 제2 도전층(60)은 동일한 재료로 형성된다. 이때, 소스/드레인 전극(101, 103)의 두께는 3000~6000Å으로 형성될 수 있다.
- [0036] 따라서, 소스/드레인 전극(101, 103)과 제2 도전층(60)이 동일한 재료로 형성되기 때문에, 소스/드레인 전극(101, 103)을 형성하는 과정에서, 화소 영역의 제1 콘택 홀(90a)에 의해 노출되는 제2 도전층(60)도 함께 식각할 수 있다.
- [0037] 이때, 제2 도전층(60)이 식각되므로, 제2 도전층(60)의 하부에 위치하는 제1 도전층(50)이 제1 콘택 홀(90a)을 통하여 노출된다.
- [0038] 이후, 도 1g에 도시된 바와 같이, 전체 표면 상부에 화소를 정의하기 위한 화소 정의막(110)을 적층하고, 제5 마스크 공정을 거쳐, 하부 전극(70)의 제1 도전층(50)을 노출시키는 개구부(110a)를 형성한다.
- [0039] 이후, 도 1h에 도시된 바와 같이, 개구부(110a) 상에 발광층을 포함하는 유기막(120)을 형성하며, 이후, 유기막을 포함하는 층간 절연막(110) 전면 상부 전극(130)을 형성함으로써, 박막 트랜지스터에 의해 발광 여부가 제어되는 유기 발광 소자를 화소에 갖는 능동 구동형 유기 발광 표시장치를 제조한다.
- [0040] 본 발명의 실시 예에서와 같이, 제2 도전층(60)과 소스/드레인 전극(101, 103)의 재료로 알루미늄(Al)에 Co, Ge 및 La를 첨가한 알루미늄 합금으로 형성되는 단일막을 사용하면, 다음과 같은 효과가 있다.
- [0041] 우선, 상기와 같은 공정을 거쳐 유기 발광 표시장치를 제조하는 경우, 하나의 마스크 공정을 통하여, 화소 영역에서의 제2 도전층(60)과 소스/드레인 전극(100)을 동시에 식각하여, 유기 발광 소자의 하부 전극(70)의 제1 도전층(50)을 노출시킬 수 있으므로, 마스크 공정을 줄일 수 있다.
- [0042] 또한, 이중막/삼중막의 경우 막들 사이의 식각 속도가 다르므로 식각액 개발이 쉽지 않으나, 알루미늄 합금 단일막의 경우 인산/질산/초산 베이스의 식각액에 쉽게 식각되기 때문에 식각액을 개발하는 것이 용이하다.

- [0043] 또한, 도 2는 소스/드레인 전극 및 화소 정의막을 형성한 이후의 단면을 SEM으로 촬영한 사진으로, 이때, 소스/드레인 전극은 종전의 ITO/Ag/ITO 구조에서 사용되는 식각액에 의해 식각되어 형성되었으나, 사진의 A영역과 같이 식각이 정상적으로 이루어진 것을 확인할 수 있으므로, 종래의 구조에서 사용하는 식각액을 사용할 수 있으므로, 종래의 식각액을 공용하여 사용할 수 있는 이점이 있다.
- [0044] 한편, 알루미늄 합금 단일막은 Co(코발트)를 포함하고 있으므로, TFT 영역에서의 제1 도전층(50)과 제2 도전층(60)의 낮은 접촉 저항을 형성할 수 있으므로, 제1 도전층(50) 및 제2 도전층(60)의 적층 사이의 접촉 저항을 낮출 수 있다.
- [0045] 이때, Al과 Co의 결합에 의해 충분한 양의 Al_6Co 가 생성되어야 충분히 낮은 접촉 저항을 형성할 수 있고, Co가 너무 많이 첨가되면, 가격이 상승하게 되고, 합금의 양이 많아질수록 저항 특성이 나빠지므로, Co는 0.2~1.0at%로 첨가하는 것이 바람직하다.
- [0046] Co 대신에 제1 도전층(50)과의 접촉 부위에서 낮은 저항 가지는 물질이 사용될 수 있으며, 예를 들면, Ni이 사용될 수 있으며, 0.2~1.0at%로 첨가하는 것이 바람직하다.
- [0047] 또한, 알루미늄 합금 단일막은 Ge(게르마늄)을 포함하고 있으므로, TFT 영역에서의 소스/드레인 전극(101, 103)과 소스/드레인 영역(31, 33)의 접촉 부위에서 Al이 실리콘 내부로 침투하는 것을 방지할 수 있다.
- [0048] 이때, Ge이 충분하지 못하여, Al이 실리콘으로 침투할 경우 접합 스파이크(junction spike) 현상이 발생하게 되며, Ge가 너무 많이 첨가되면, 가격이 상승하게 되고, 합금의 양이 많아질수록 저항 특성이 나빠지므로, Ge는 0.5~1.0at%로 첨가하는 것이 바람직하다.
- [0049] 도 3은 소스/드레인 성막 공정 및 화소 정의막 형성 공정을 진행한 후의 평면을 현미경으로 촬영한 사진으로서, B영역과 같이, 접합 스파이크(junction spike) 현상이 발생하지 않은 것을 확인할 수 있다.
- [0050] Ge 대신에 Al이 실리콘으로 침투하는 것을 방지하기 위한 물질이 사용될 수 있으며, 예를 들면, Si가 사용될 수 있으며, Si는 0.3~1.0at%로 첨가하는 것이 바람직하다.
- [0051] 또한, 알루미늄 합금 단일막은 La(Lanthanum, 란탄)를 포함하고 있으므로, 열처리 공정에서의 Al의 힐록(hillock) 현상을 방지할 수 있으며, 이때, 0.1at% 이상의 La가 포함되지 않을 경우, 힐록(hillock) 현상이 다량 발생할 수 있으며, 0.5at% 이상이 포함될 경우, 가격이 상승하고, 합금의 양이 많아질수록 저항 특성이 나빠지게 되므로, La는 0.1~0.5at%로 첨가하는 것이 바람직하다.
- [0052] 도 4는 힐록(hillock)의 발생 여부를 확인하기 위하여 캐소드 접촉 부위를 현미경으로 촬영한 사진으로서, 힐록이 발생하는 경우, C영역에 다수의 점들이 형성되나, 이러한 점들이 형성되지 않은 것을 확인할 수 있으며, 따라서, 힐록이 발생하지 않았다는 것을 알 수 있다.
- [0053] 도 5는 화소 영역의 콘택 홀을 BOE 세정 후의 단면을 SEM으로 촬영한 사진으로서, 세정액에 영향을 받는 경우, 일부분이 녹아 없어지나, D영역과 같이, 세정액에 의해 제2 도전층이 영향을 받지 않은 것을 확인할 수 있다.
- [0054] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 다양한 변경 및 균등한 다른 실시 예가 가능하다는 것을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

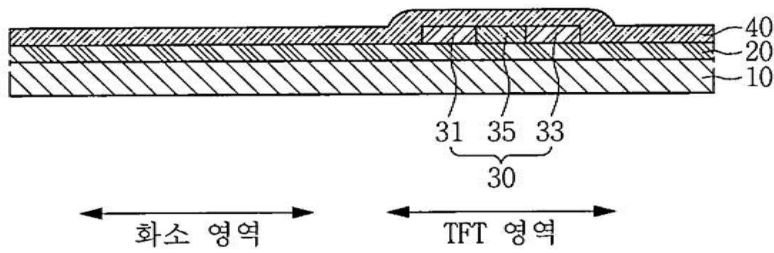
부호의 설명

- [0055]
- | | |
|-------------|--------------------|
| 10 : 기판 | 20 : 버퍼층 |
| 30 : 반도체층 | 31, 33 : 소스/드레인 영역 |
| 35 : 채널 영역 | 40 : 게이트 절연막 |
| 50 : 제1 도전층 | 60 : 제2 도전층 |
| 70 : 하부 전극 | 80 : 게이트 전극 |

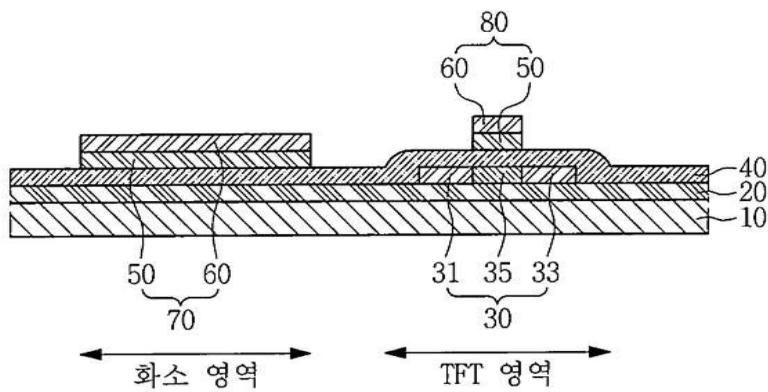
90 : 층간 절연막 90a, 90b, 90c, 90d : 콘택 홀
 101, 103 : 소스/드레인 전극 110 : 화소 정의막
 120 : 유기막 130 : 상부 전극

도면

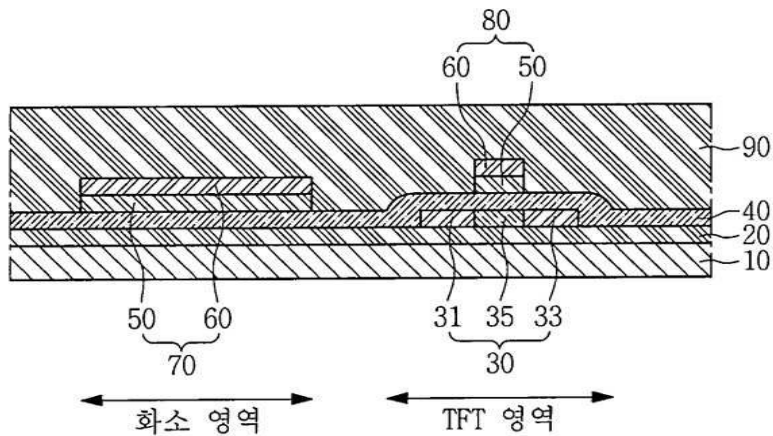
도면1a



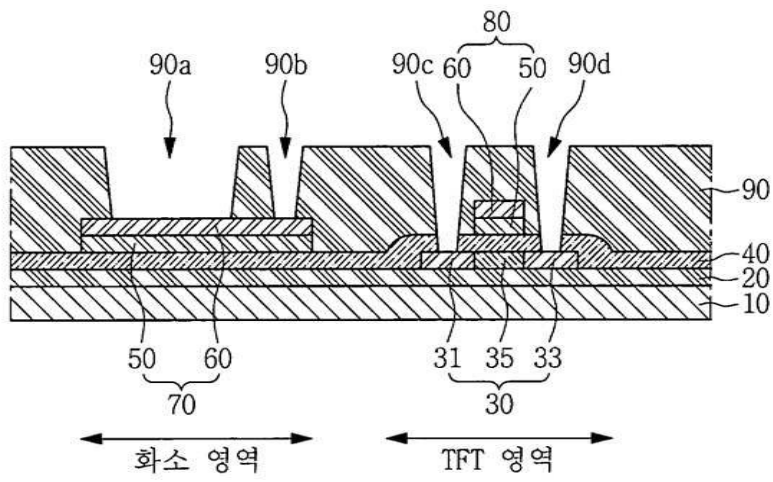
도면1b



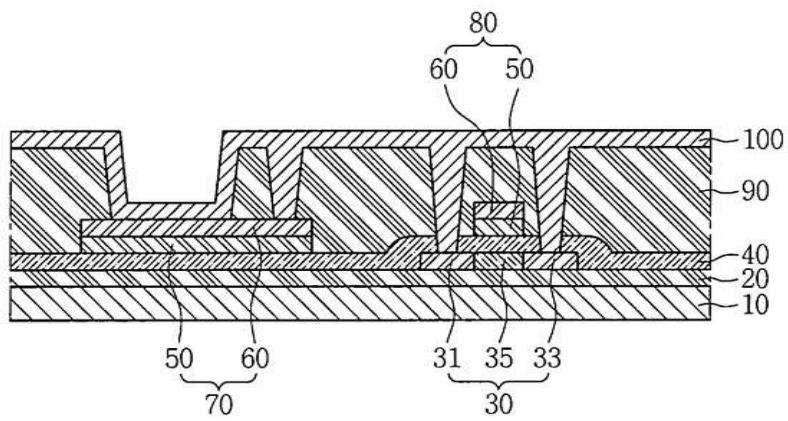
도면1c



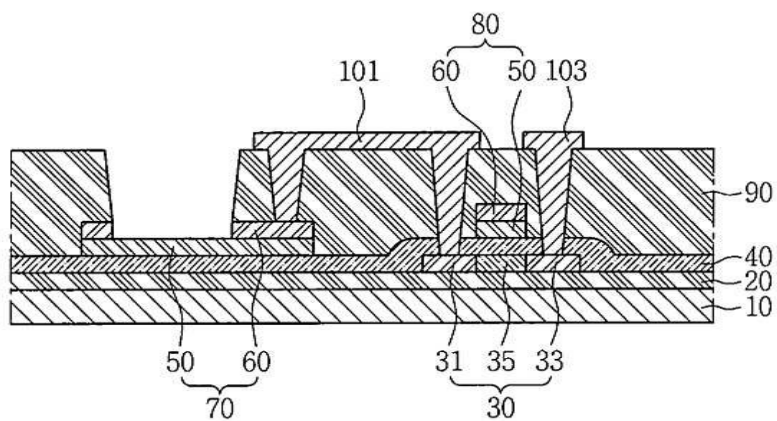
도면1d



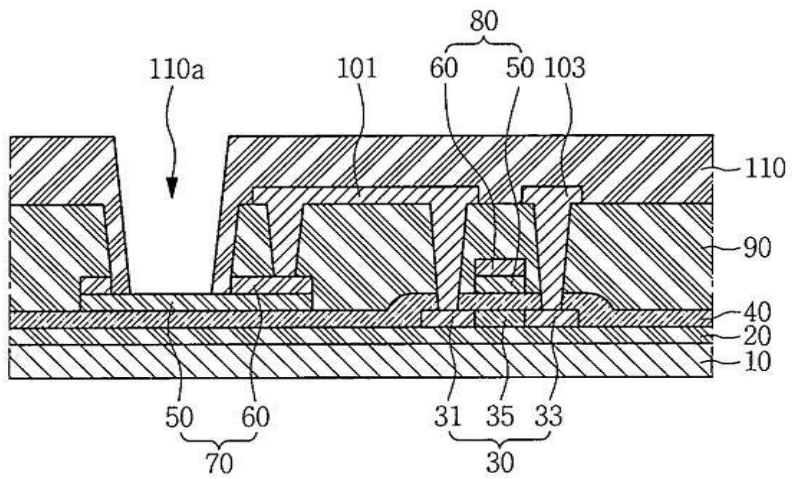
도면1e



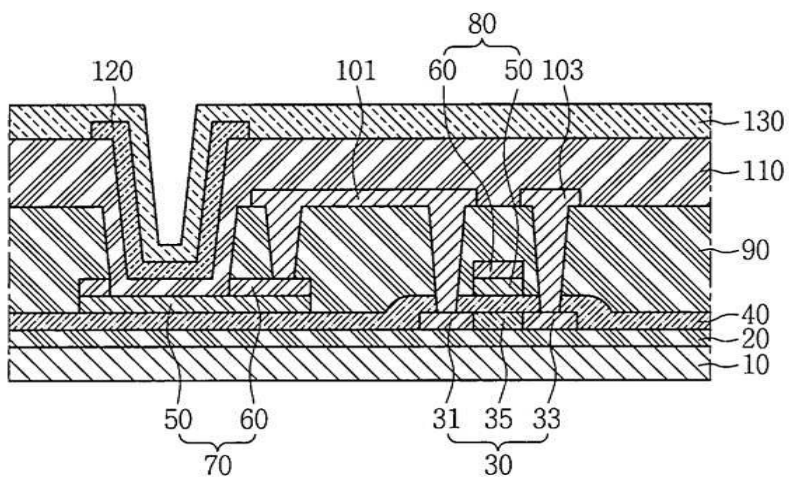
도면1f



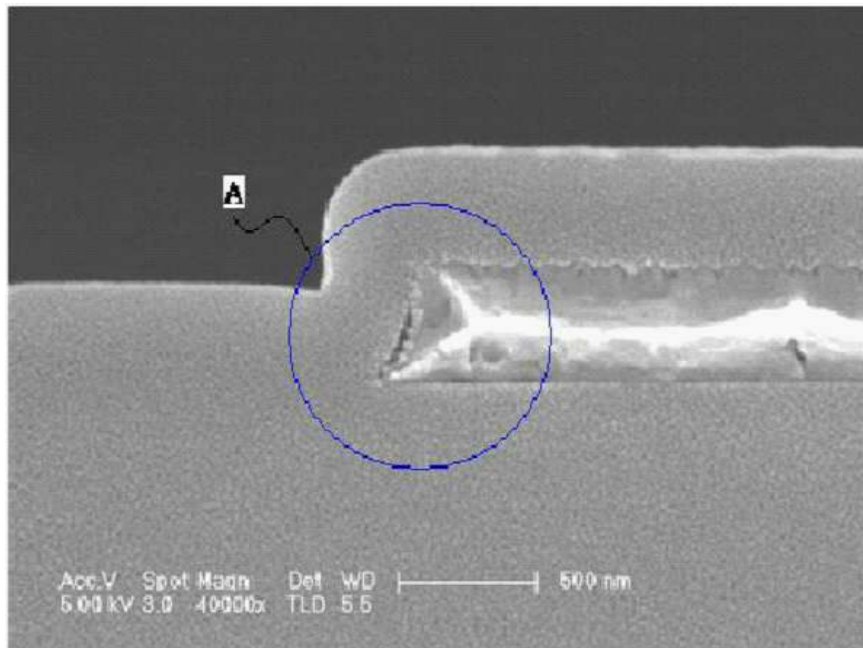
도면1g



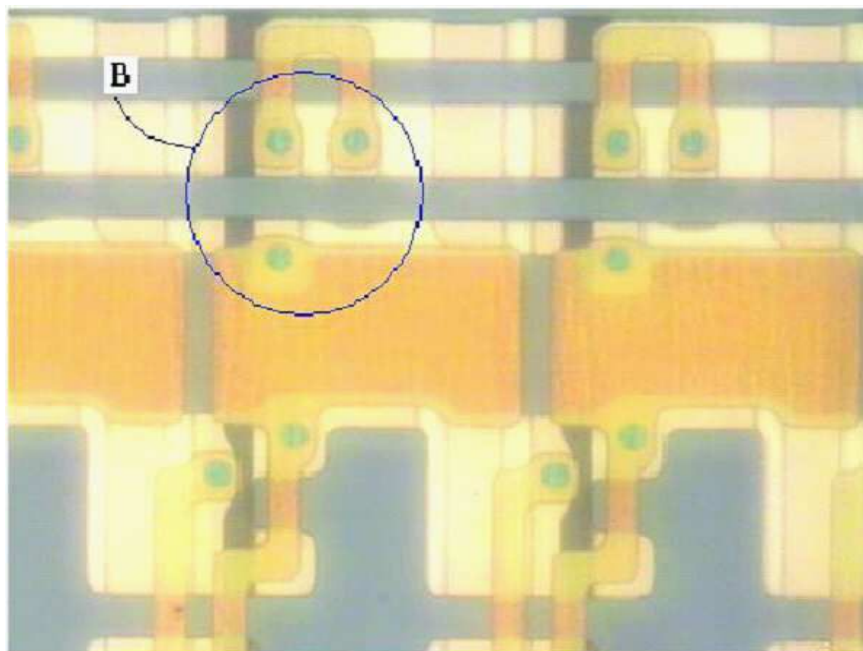
도면1h



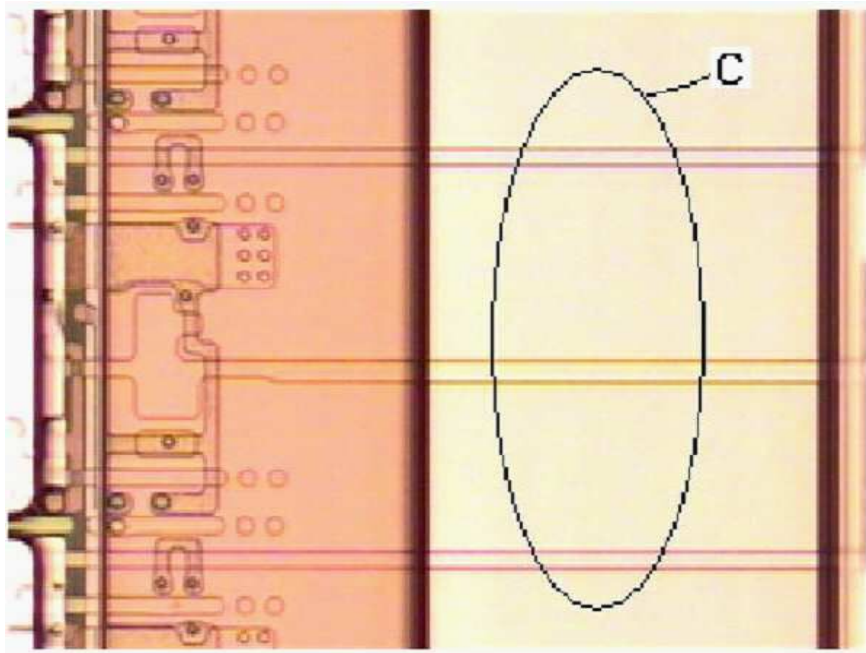
도면2



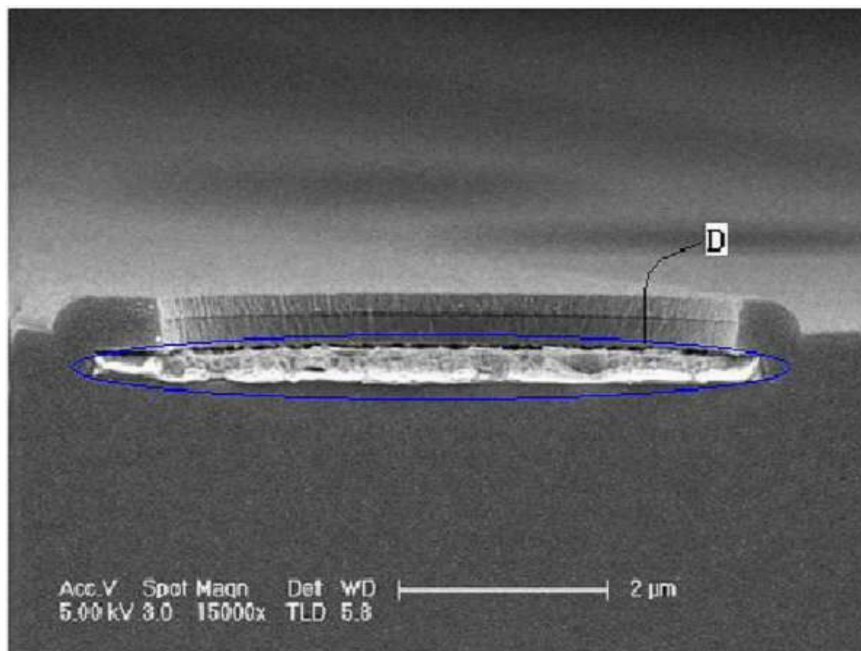
도면3



도면4



도면5



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020110090308A	公开(公告)日	2011-08-10
申请号	KR1020100010012	申请日	2010-02-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KIM JONG YUN 김종윤 LEE IL JEONG 이일정 KWON DO HYUN 권도현 YEO JONG MO 여종모		
发明人	김종윤 이일정 권도현 여종모		
IPC分类号	H01L51/56 H01L29/786		
CPC分类号	H01L51/56 H01L51/52 H01L27/1255 H01L29/4908 H01L27/3276 H01L27/3262 H01L27/3265		
其他公开文献	KR101084277B1		
外部链接	Espacenet		

摘要(译)

本发明涉及可以简化工艺并且可以确保可靠性并且可以容易地执行蚀刻工艺及其制造方法的有机发光显示装置。有机发光显示装置形成在形成在前面形成的栅极绝缘层的像素区域中的底部电极和栅极绝缘层上的衬底之间，并且栅极绝缘层的前侧包括栅电极，对应于并形成，以及底部电极和栅电极。并且底电极的部分可以被称为单层，其中其形成在层间绝缘膜和层间绝缘膜上，并且其包括与上述半导体层连接的源/漏电极和底电极和栅电极形成成为第一导电层和第二导电层，并且第二导电层和源/漏电极形成成为相同的材料。

