



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0049532  
(43) 공개일자 2011년05월12일

(51) Int. Cl.

H01L 51/50 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0106588

(22) 출원일자 2009년11월05일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

이영학

경북 구미시 진평동 주공미래아파트 106동 1506호

(74) 대리인

특허법인로얄

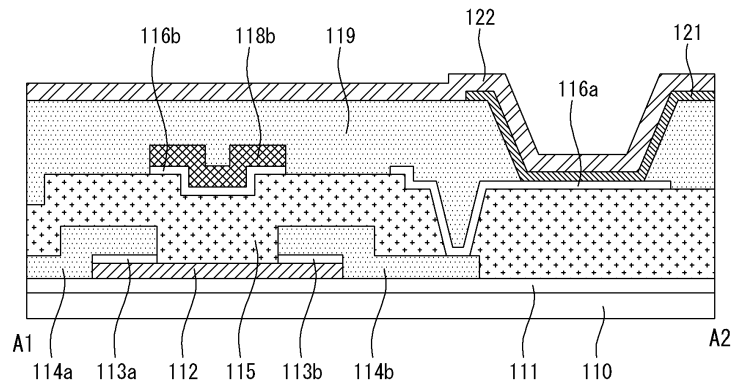
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치와 이의 제조방법

### (57) 요약

본 발명은, 기판; 기판 상에 위치하는 액티브층; 액티브층 상에 위치하는 소오스전극 및 드레인전극; 소오스전극 및 드레인전극 상에 위치하며 소오스전극 및 드레인전극 중 하나를 노출하는 절연막; 절연막 상에 위치하며 절연막을 통해 노출된 소오스전극 및 드레인전극 중 하나에 연결된 하부전극; 절연막 상에 위치하며 액티브층과 대응되는 영역에 위치하는 게이트전극; 절연막 상에 위치하며 게이트전극을 덮고 하부전극의 일부를 노출하는 बैं크층; 하부전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 상부전극을 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

기관;

상기 기관 상에 위치하는 액티브층;

상기 액티브층 상에 위치하는 소오스전극 및 드레인전극;

상기 소오스전극 및 상기 드레인전극 상에 위치하며 상기 소오스전극 및 상기 드레인전극 중 하나를 노출하는 절연막;

상기 절연막 상에 위치하며 상기 절연막을 통해 노출된 상기 소오스전극 및 상기 드레인전극 중 하나에 연결된 하부전극;

상기 절연막 상에 위치하며 상기 액티브층과 대응되는 영역에 위치하는 게이트전극;

상기 절연막 상에 위치하며 상기 게이트전극을 덮고 상기 하부전극의 일부를 노출하는 बैं크층;

상기 하부전극 상에 위치하는 유기 발광층; 및

상기 유기 발광층 상에 위치하는 상부전극을 포함하는 유기전계발광표시장치.

### 청구항 2

제1항에 있어서,

상기 게이트전극의 하부에 위치하고 상기 하부전극과 동일한 재료로 형성되며 상기 하부전극과 이격된 더미하부전극을 포함하는 유기전계발광표시장치.

### 청구항 3

제1항에 있어서,

상기 액티브층은,

상기 소오스전극의 영역 및 상기 드레인전극의 영역에 위치하는 오믹콘택층을 포함하는 유기전계발광표시장치.

### 청구항 4

상기 기관 상에 액티브층과 오믹콘택층을 형성하는 단계;

상기 기관 상에 형성된 상기 액티브층 및 상기 오믹콘택층 상에 소오스전극 및 드레인전극을 형성하는 단계;

상기 기관 상에 형성된 상기 소오스전극 및 상기 드레인전극을 덮고 이들 중 하나가 노출되도록 절연막을 형성하는 단계;

상기 절연막 상에 상기 소오스전극 및 상기 드레인전극 중 하나에 연결되는 하부전극과 상기 액티브층과 대응되는 영역에 위치하는 게이트전극을 형성하는 단계;

상기 절연막 상에 형성된 상기 게이트전극을 덮고 상기 하부전극의 일부를 노출하는 बैं크층을 형성하는 단계;

상기 하부전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

### 청구항 5

제4항에 있어서,

상기 게이트전극의 하부에는,

상기 하부전극과 동일한 재료로 형성되며 상기 하부전극과 이격된 더미하부전극을 포함하는 유기전계발광표시장치의 제조방법.

## 청구항 6

제4항에 있어서,

상기 액티브층과 상기 오믹콘택층은 연속 증착되는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 7

제4항에 있어서,

상기 하부전극 및 상기 게이트전극을 형성하는 단계에서는,

상기 하부전극으로 선택되는 하부전극금속과 상기 게이트전극으로 선택되는 게이트전극금속을 연속 증착하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 8

제7항에 있어서,

상기 하부전극 및 상기 게이트전극을 형성하는 단계에서는,

상기 하부전극의 영역과 상기 게이트전극의 영역에 포토레지스트를 형성하고 상기 하부전극금속과 상기 게이트전극금속을 연속 에칭하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 9

제8항에 있어서,

상기 하부전극 및 상기 게이트전극을 형성하는 단계에서는,

상기 하부전극의 영역에 위치하는 더미게이트전극금속을 제거하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 청구항 10

제4항에 있어서,

상기 절연막과 상기 बैं크층 중 적어도 하나는,

하부에 위치하는 전극을 노출하는 콘택홀을 갖는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 제조방법에 관한 것이다.

#### 배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태에서 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 상부발광(Top-Emission) 방식, 하부발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등으로 나누어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 서브 픽셀은 스위칭 트랜지스터, 구동 트랜지스터 및 커패시터를 포함하는 트랜지스터부와 트랜지스터부에 포함

된 구동 트랜지스터에 연결된 하부전극과 유기 발광층과 상부전극을 포함하는 유기 발광다이오드를 포함한다.

[0006] 종래 유기전계발광표시장치를 제조하는 방법의 경우, 트랜지스터부를 제작할 때 다수 예컨대 7 ~ 8개의 마스크를 사용해야 하므로 트랜지스터 제조 공정이 복잡하여 생산성 및 수율 향상에 어려움이 있었다. 또한 종래 제조 방법의 경우, 도핑 공정 및 고온 결정화 공정시 기판 수축 등의 문제가 있었다.

## 발명의 내용

### 해결 하고자하는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은, 마스크 수 절감, 재료비 절감 및 개발비 절감을 통한 생산성 향상 효과를 가질 수 있는 유기전계발광표시장치를 제공하는 것이다. 또한, 본 발명은 트랜지스터 공정 시 고온 결정화 방식에 문제가 되고 있는 기판 수축 등의 문제를 개선할 수 있는 탑 게이트형 트랜지스터를 제공하는 것이다.

### 과제 해결수단

[0008] 상술한 과제 해결 수단으로 본 발명은, 기판; 기판 상에 위치하는 액티브층; 액티브층 상에 위치하는 소오스전극 및 드레인전극; 소오스전극 및 드레인전극 상에 위치하며 소오스전극 및 드레인전극 중 하나를 노출하는 절연막; 절연막 상에 위치하며 절연막을 통해 노출된 소오스전극 및 드레인전극 중 하나에 연결된 하부전극; 절연막 상에 위치하며 액티브층과 대응되는 영역에 위치하는 게이트전극; 절연막 상에 위치하며 게이트전극을 덮고 하부전극의 일부를 노출하는 बैं크층; 하부전극 상에 위치하는 유기 발광층; 및 유기 발광층 상에 위치하는 상부전극을 포함하는 유기전계발광표시장치를 제공한다.

[0009] 게이트전극의 하부에 위치하고 하부전극과 동일한 재료로 형성되며 하부전극과 이격된 더미하부전극을 포함할 수 있다.

[0010] 액티브층은, 소오스전극의 영역 및 드레인전극의 영역에 위치하는 오믹콘택층을 포함할 수 있다.

[0011] 또한 다른 측면에서 본 발명은, 기판 상에 액티브층과 오믹콘택층을 형성하는 단계; 기판 상에 형성된 액티브층 및 오믹콘택층 상에 소오스전극 및 드레인전극을 형성하는 단계; 기판 상에 형성된 소오스전극 및 드레인전극을 덮고 이들 중 하나가 노출되도록 절연막을 형성하는 단계; 절연막 상에 소오스전극 및 드레인전극 중 하나에 연결되는 하부전극과 액티브층과 대응되는 영역에 위치하는 게이트전극을 형성하는 단계; 절연막 상에 형성된 게이트전극을 덮고 하부전극의 일부를 노출하는 बैं크층을 형성하는 단계; 하부전극 상에 유기 발광층을 형성하는 단계; 및 유기 발광층 상에 상부전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

[0012] 게이트전극의 하부에는, 하부전극과 동일한 재료로 형성되며 하부전극과 이격된 더미하부전극을 포함할 수 있다.

[0013] 액티브층과 오믹콘택층은 연속 증착될 수 있다.

[0014] 하부전극 및 게이트전극을 형성하는 단계에서는, 하부전극으로 선택되는 하부전극금속과 게이트전극으로 선택되는 게이트전극금속을 연속 증착할 수 있다.

[0015] 하부전극 및 게이트전극을 형성하는 단계에서는, 하부전극의 영역과 게이트전극의 영역에 포토레지스트를 형성하고 하부전극금속과 게이트전극금속을 연속 에칭할 수 있다.

[0016] 하부전극 및 게이트전극을 형성하는 단계에서는, 하부전극의 영역에 위치하는 더미게이트전극금속을 제거할 수 있다.

[0017] 절연막과 बैं크층 중 적어도 하나는, 하부에 위치하는 전극을 노출하는 콘택홀을 가질 수 있다.

## 효 과

[0018] 본 발명은, 종래 기술 대비 소수의 마스크로 트랜지스터를 제작할 수 있어 마스크 수 절감, 재료비 절감 및 개 발비 절감을 통한 생산성 향상 효과를 가질 수 있게 된다. 또한, 본 발명은 트랜지스터 공정 시 고온 결정화 방 식에 문제가 되고 있는 기판 수축 등의 문제를 개선할 수 있는 탑 게이트형 트랜지스터를 제공할 수 있는 효과 가 있다.

### 발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 평면도이고, 도 2는 도 1에 도시된 I1-I2 영역의 단면도이다.

[0021] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 매트릭스형태로 형성된 서브 픽 셀들(SP)에 의해 표시영역(AA)이 정의된 기판(110)과 기판(110) 상에 형성된 서브 픽셀들(SP)을 수분이나 산소 로부터 보호하기 위한 밀봉기관(140)을 포함한다. 서브 픽셀들(SP)은 스위칭 트랜지스터, 구동 트랜지스터, 커 패시터를 포함하는 트랜지스터부와 유기 발광다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되 거나 트랜지스터부에 트랜지스터 및 커패시터가 더 추가된 구조로 구성될 수도 있다.

[0022] 기판(110)과 밀봉기관(140)은 표시영역(AA)의 외곽에 위치하는 비표시영역(NA)에 형성된 접착부재(180)에 의해 합착 밀봉된다. 그러나, 밀봉기관(140)은 유기, 무기 또는 유무기복합물질로 구성된 멀티보호막에 의해 밀봉될 수도 있다. 한편, 도시된 유기전계발광표시장치는 외부로부터 각종 신호나 전원을 공급받도록 기판(110)의 외곽 에 패드부(170)가 마련되고, 하나의 칩으로 구성된 구동장치(160)에 의해 기판(110) 상에 형성된 소자들이 구동 되는 것을 일례로 한 것이다. 구동장치(160)는 데이터구동부와 스캔구동부를 포함하는 구조로 도시하였으나, 스 캔구동부의 경우 비표시영역(NA)에 구분되어 형성될 수도 있다.

[0023] 이하, 본 발명의 일 실시예에 따른 서브 픽셀의 구조에 대해 더욱 자세히 설명한다.

[0024] 도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 개략적인 평면도이고, 도 4는 도 3의 A1-A2 영역의 단면도이며, 도 5는 유기 발광층의 계층도 이다.

[0025] 도 3 및 도 4를 참조하면, 본 발명의 일 실시예에 따른 서브 픽셀은 데이터배선(124)과 교차하는 스캔배선(12 8)에 의해 정의되어 제n-1번째 서브 픽셀(SP[n-1])과 제n번째 서브 픽셀(SP[n])로 구분된다. 하나의 서브 픽셀 (SP[n])에는 데이터배선(124) 및 게이트배선(128)을 통해 공급된 신호들에 의해 구동하는 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 유기 발광다이오드가 포함될 수 있다. 그러나 실시예에서는 설명의 편의를 위해 구동 트랜지스터와 유기 발광다이오드만 도시하고 하기와 같이 서브 픽셀의 구조에 대해 더욱 상세히 설명한다.

[0026] 기판(110) 상에는 버퍼층(111)이 형성된다. 버퍼층(111)은 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순 물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성할 수 있다. 버퍼층(111)은 실리콘 산 화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>) 등을 사용할 수 있다.

[0027] 버퍼층(111) 상에는 액티브층(112)이 형성된다. 액티브층(112)은 비정질 실리콘 예컨대 아몰포스 실리콘(a-Si)을 포함할 수 있다. 여기서 도시하지는 않았지만, 액티브층(112)에는 채널 영역, 소오스 영역 및 드레인 영 역이 포함된다.

[0028] 액티브층(112)의 소오스 영역 및 드레인 영역에는 접촉 저항을 낮추기 위한 오믹콘택층(113a, 113b)이 형성된다. 오믹콘택층(113a, 113b)은 N+형 불순물이 포함된 층으로 형성될 수 있다.

[0029] 액티브층(112) 및 오믹콘택층(113a, 113b) 상에는 소오스전극(114a) 및 드레인전극(114b)이 형성된다. 소오스전 극(114a) 및 드레인전극(114b)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스전극(114a) 및 드레인전극 (114b)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴 (Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 이와 달리, 소 오스전극(114a) 및 드레인전극(114b)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루 미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

[0030] 소오스전극(114a) 및 드레인전극(114b) 상에는 소오스전극(114a) 및 드레인전극(114b) 중 하나를 노출하는 절연

막(115)이 형성된다. 절연막(115)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 절연막(115)은 패시베이션막일 수 있다.

[0031] 절연막(115) 상에는 절연막(115)을 통해 노출된 소오스전극(114a) 및 드레인전극(114b) 중 하나에 연결된 하부전극(116a)이 형성된다. 하부전극(116a)은 애노드 또는 캐소드로 선택될 수 있다. 애노드로 선택된 하부전극(116a)은 투명한 재료 예컨대, ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등을 사용할 수 있으나 이에 한정되지 않는다.

[0032] 절연막(115) 상에는 액티브층(112)과 대응되는 영역에 게이트전극(118b)이 형성된다. 게이트전극(118b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있으나 이에 한정되지 않는다. 한편, 게이트전극(118b)의 하부에는 하부전극(116a)과 동일한 재료로 형성되며 하부전극(116a)과 이격된 더미하부전극(116b)이 형성된다.

[0033] 절연막(115) 상에는 게이트전극(118b)을 덮고 하부전극(116a)의 일부를 노출하는 बैं크층(119)이 형성된다. बैं크층(119)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있으나 이에 한정되지 않는다.

[0034] बैं크층(119)에 의해 노출된 하부전극(116a) 상에는 유기 발광층(121)이 형성된다. 유기 발광층(121)은 도 5에 도시된 바와 같이 정공주입층(121a), 정공수송층(121b), 발광층(121c), 전자수송층(121d) 및 전자주입층(121e)을 포함한다. 정공주입층(121a)은 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4)-ethylenedioxythiophene), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 정공수송층(121b)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(또는 NPB)(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(121c)은 호스트와 도펀트를 포함한다. 발광층(121c)은 적색, 녹색, 청색 및 백색을 발광하는 물질을 포함할 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다. 발광층(121c)이 적색을 발광하는 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl))를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(121c)이 녹색을 발광하는 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 발광층(121c)이 청색을 발광하는 경우, CBP, 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic 를 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스트릴아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다. 전자수송층(121d)은 전자의 수송을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BALq 및 SALq로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다. 전자주입층(121e)은 전자의 주입을 원활하게 하는 역할을 하며, Alq3(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, LiF, spiro-PBD, BALq 또는 SALq를 사용할 수 있으나 이에 한정되지 않는다. 본 발명의 실시예는 도 5에 한정되는 것은 아니며, 정공주입층(121a), 정공수송층(121b), 전자수송층(121d) 및 전자주입층(121e) 중 적어도 어느 하나가 생략될 수도 있다.

[0035] 유기 발광층(121) 상에는 상부전극(122)이 형성된다. 상부전극(122)은 캐소드 또는 애노드로 선택될 수 있다. 캐소드로 선택된 상부전극(122)은 알루미늄(Al) 등을 사용할 수 있으나 이에 한정되지 않는다.

[0036] 이하, 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대해 설명한다.

[0037] 도 6 내지 도 16은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면이다.



- [0038] 도 6에 도시된 바와 같이, 기판(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 버퍼층(111)을 형성한다. 버퍼층(111)은 실리콘 산화물( $\text{SiO}_x$ ), 실리콘 질화물( $\text{SiN}_x$ ) 등을 사용할 수 있으나 이에 한정되지 않는다. 버퍼층(111) 상에 아몰포스 실리콘(a-Si)의 액티브층(112)을 형성하고 액티브층(112) 상에 N+이 포함된 오믹콘택층(113)을 형성한다.
- [0039] 도 7에 도시된 바와 같이, 기판(110) 상에 형성된 액티브층(112) 및 오믹콘택층(113a, 113b) 상에 소오스전극(114a) 및 드레인전극(114b)을 형성한다. 오믹콘택층(113a, 113b)은 소오스전극(114a) 및 드레인전극(114b)이 상호 구분 되도록 액티브층(112)과 대응되는 영역이 제거될 때 제1오믹콘택층(113a)과 제2오믹콘택층(113b)으로 구분된다. 소오스전극(114a) 및 드레인전극(114b)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스전극(114a) 및 드레인전극(114b)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 이와 달리, 소오스전극(114a) 및 드레인전극(114b)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- [0040] 도 8에 도시된 바와 같이, 기판(110) 상에 형성된 소오스전극(114a) 및 드레인전극(114b)을 덮고 이들 중 하나를 노출하는 제1콘택홀(CNT1)을 가지는 절연막(115)을 형성한다. 절연막(115)은 실리콘 산화막( $\text{SiO}_x$ ), 실리콘 질화막( $\text{SiN}_x$ ) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 절연막(115)의 경우 액티브층(112)과 소오스전극(114a) 및 드레인전극(114b) 간의 단차에 의해 함몰된 영역을 갖는다. 절연막(115)은 패시베이션막일 수 있다.
- [0041] 도 9에 도시된 바와 같이, 절연막(115) 상에 소오스전극(114a) 및 드레인전극(114b) 중 하나에 연결되는 하부전극(116a)과 액티브층(112)과 대응되는 영역에 위치하는 게이트전극(118b)을 형성한다. 여기서, 하부전극(116a)은 제1콘택홀(CNT1)을 통해 소오스전극(114a) 및 드레인전극(114b) 중 하나에 연결된다. 하부전극(116a)과 게이트전극(118b)을 형성하는 공정을 더욱 상세히 설명하면 다음과 같다. 먼저, 도 10과 같이 절연막(115) 상에 하부전극금속(116)과 게이트전극금속(118)을 연속 증착하고 게이트전극금속(118) 상에 제1포토리소그래피(PR1)와 제2포토리소그래피(PR2)를 형성한다. 이때, 제1 및 제2포토리소그래피(PR1, PR2)는 하부전극의 영역과 게이트전극의 영역으로 정의된 영역에 각각 형성한다. 다음, 도 11과 같이 하부전극의 영역과 게이트전극의 영역에 형성된 제1 및 제2포토리소그래피(PR1, PR2)를 이용하여 하부전극금속(116)과 게이트전극금속(118)을 연속 에칭(Etching)한다. 그러면, 제1포토리소그래피(PR1)의 하부에는 하부전극(116a)과 더미게이트전극(118a)이 형성되고 제2포토리소그래피(PR2)의 하부에는 더미하부전극(116b)과 게이트전극(118b)이 형성된다. 다음, 도 12와 같이 더미게이트전극(118a) 상에 위치하는 제1포토리소그래피(PR1)를 제거한다. 이때, 제1포토리소그래피(PR1)를 제거하기 위해 에싱(Ashing) 공정을 실시할 수 있으나 이에 한정되지 않는다. 다음, 도 13과 같이 하부전극(116a) 상에 위치하는 더미게이트전극(118a)을 제거한다. 이때, 더미게이트전극(118a)을 제거하기 위해 습식 에칭(Wet Etching) 공정을 실시할 수 있으나 이에 한정되지 않는다. 다음, 도 14와 같이 게이트전극(118b) 상에 위치하는 제2포토리소그래피(PR2)를 제거한다. 이때, 제2포토리소그래피(PR2)를 제거하기 위해 스트립(Strip) 공정을 실시할 수 있으나 이에 한정되지 않는다.
- [0042] 도 15에 도시된 바와 같이, 절연막(115) 상에 형성된 게이트전극(118b)을 덮고 하부전극(116a)의 일부를 노출하는 제2콘택홀(CNT2)을 가지는 뱅크층(119)을 형성한다. 뱅크층(119)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있으나 이에 한정되지 않는다.
- [0043] 도 16에 도시된 바와 같이, 뱅크층(119)의 제2콘택홀(CNT2)에 의해 노출된 하부전극(116a) 상에 유기 발광층(121)을 형성한다. 유기 발광층(121)은 도 5와 같이 정공주입층(121a), 정공수송층(121b), 발광층(121c), 전자수송층(121d) 및 전자주입층(121e)이 포함될 수 있으나 이 밖에 다른 기능층들이 더 포함될 수도 있다. 이후, 유기 발광층(121) 상에 상부전극(122)을 형성한다. 상부전극(122)은 캐소드 또는 애노드로 선택될 수 있다. 캐소드로 선택된 상부전극(122)은 알루미늄(Al) 등을 사용할 수 있으나 이에 한정되지 않는다.
- [0044] 실시예에 따르면, 액티브층(112)과 오믹콘택층(113a, 113b)을 형성하는 공정, 소오스전극(114a) 및 드레인전극(114b)을 형성하는 공정, 소오스전극(114a) 및 드레인전극(114b) 중 하나를 노출하는 제1콘택홀(CNT)을 가지는 절연막(115)을 형성하는 공정, 하부전극(116a)과 게이트전극(118b)을 형성하는 공정 및 하부전극(116a)의 일부를 노출하는 제2콘택홀(CNT2)을 가지는 뱅크층(119)을 형성하는 공정에서 총 5개의 마스크가 사용된다. 또한, 실시예의 경우 액티브층(112) 상에 오믹콘택층(113a, 113b)을 형성할 때 도핑 공정을 별도 실시하지 않고 불순

물이 포함된 층을 이용한다.

[0045] 그러므로, 본 발명은 종래 대비 소수의 마스크로 트랜지스터를 제작할 수 있어 마스크 수 절감, 재료비 절감 및 개발비 절감을 통한 생산성 향상 효과를 가질 수 있는 유기전계발광표시장치를 제공할 수 있게 된다. 또한, 본 발명은 트랜지스터부 제조 공정 시 고온 결정화 방식에 문제가 되고 있는 기판(예컨대, 글라스) 수축 등의 문제를 개선할 수 있는 탑 게이트형 트랜지스터를 제공할 수 있는 효과가 있다.

[0046] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 도면의 간단한 설명

[0047] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 평면도.

[0048] 도 2는 도 1에 도시된 I1-I2 영역의 단면도.

[0049] 도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 개략적인 평면도.

[0050] 도 4는 도 3의 A1-A2 영역의 단면도.

[0051] 도 5는 유기 발광층의 계층도.

[0052] 도 6 내지 도 16은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 도면.

[0053] <도면의 주요 부분에 관한 부호의 설명>

[0054] 110: 기판 112: 액티브층

[0055] 114a, 114b: 소오스전극 및 드레인전극 115: 절연막

[0056] 116a: 하부전극 116b: 더미하부전극

[0057] 118b: 게이트전극 119: बैं크층

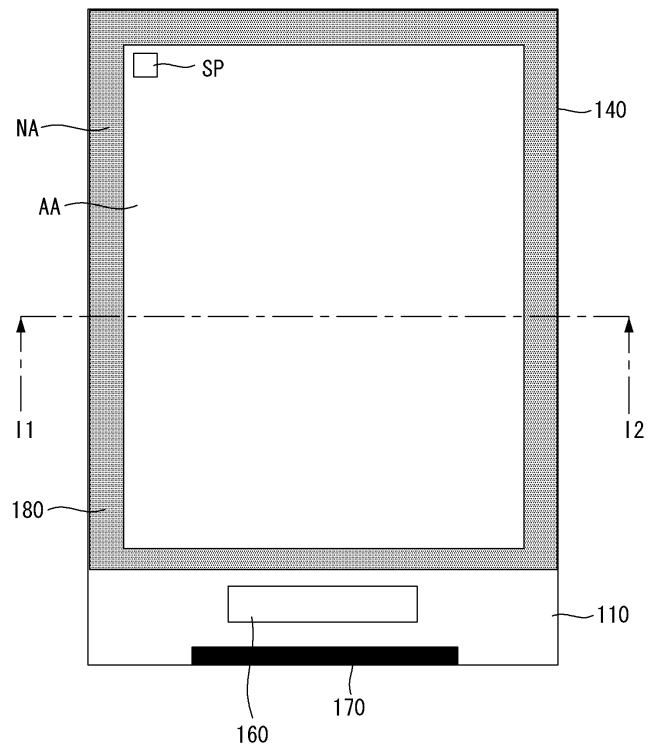
[0058] 121: 유기 발광층 122: 상부전극

[0059] CNT1: 제1콘택홀 CNT2: 제2콘택홀

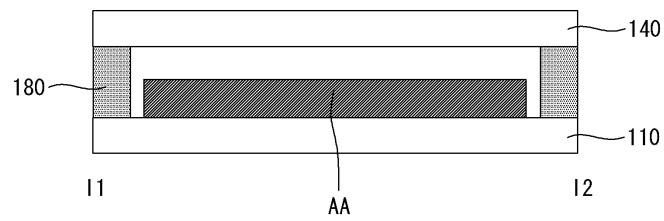


도면

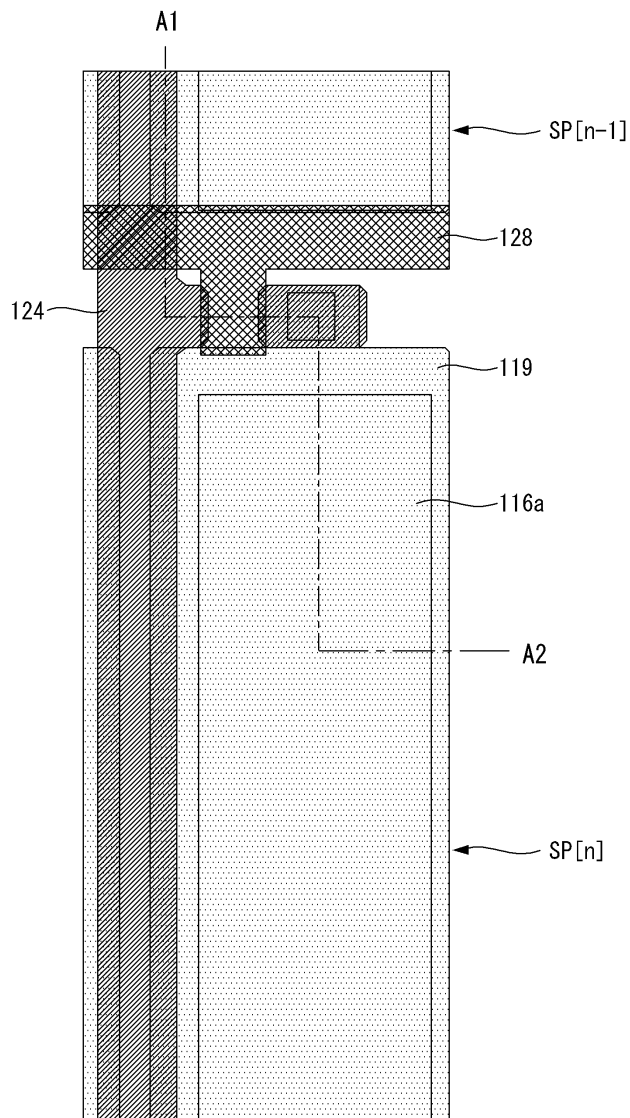
도면1



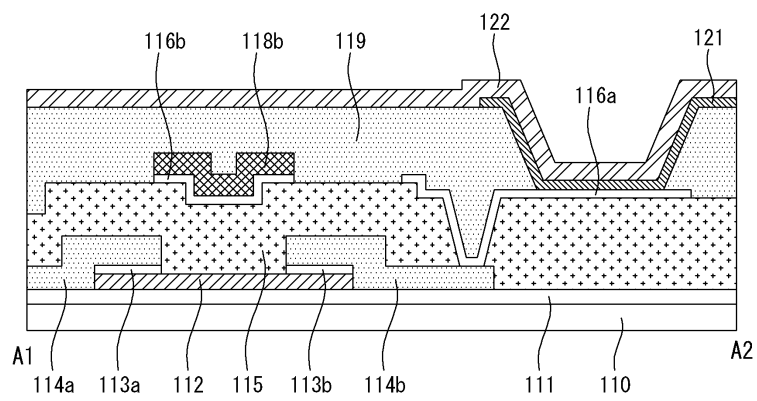
도면2



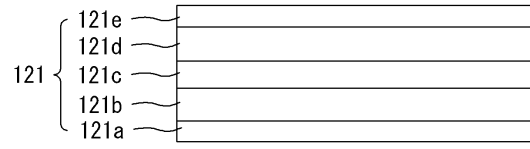
도면3



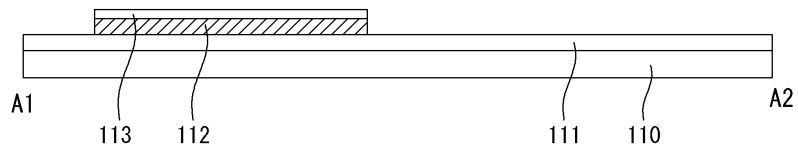
도면4



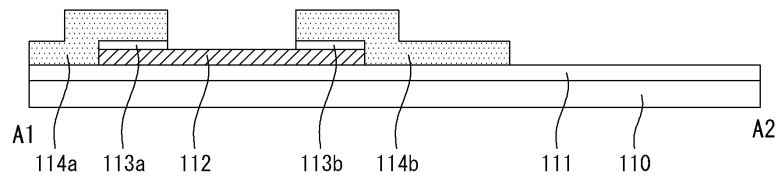
도면5



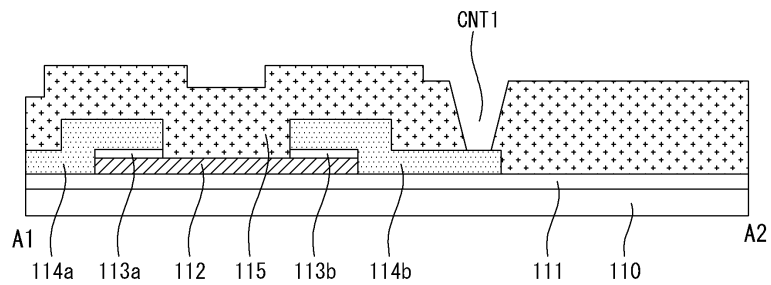
도면6



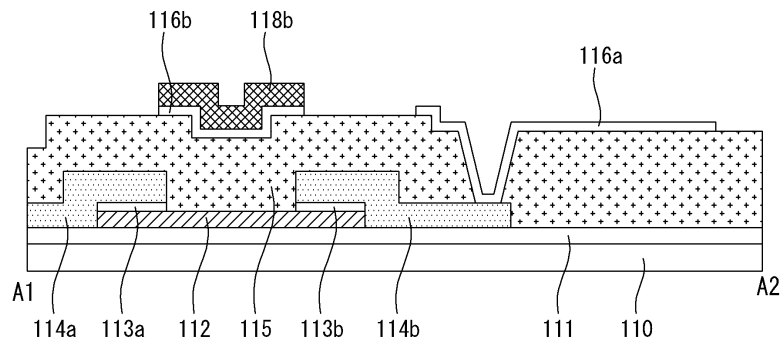
도면7



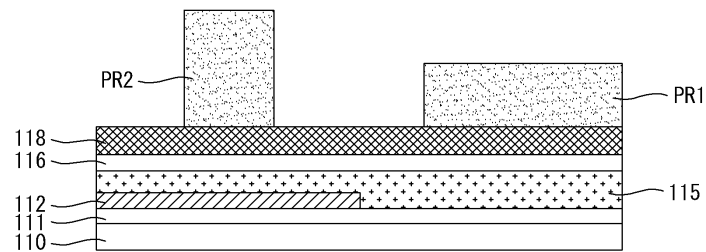
도면8



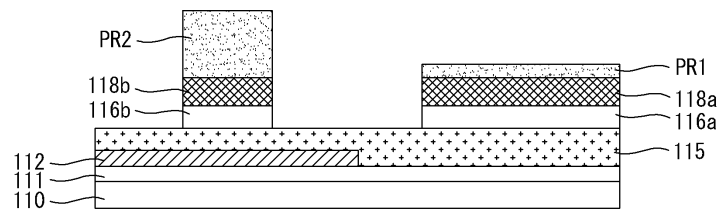
도면9



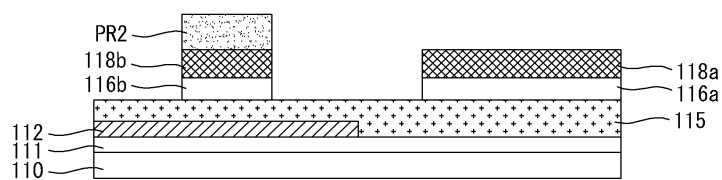
도면10



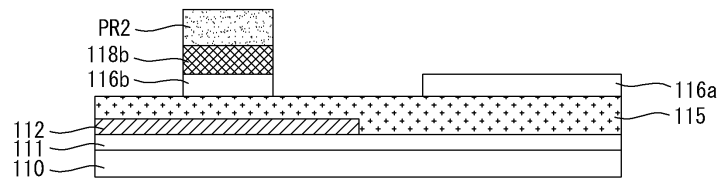
도면11



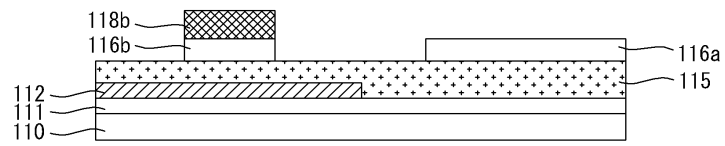
도면12



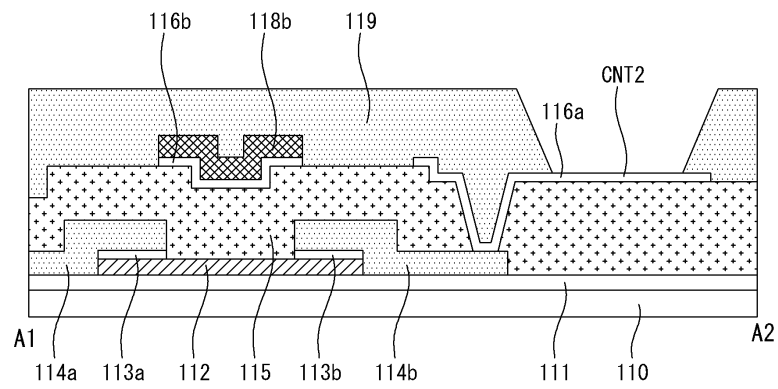
도면13



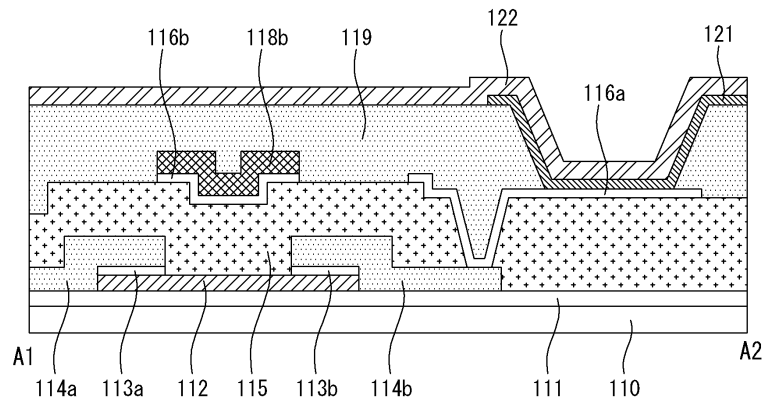
도면14



도면15



도면16



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020110049532A</a>	公开(公告)日	2011-05-12
申请号	KR1020090106588	申请日	2009-11-05
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE YOUNG HAK 이영학		
发明人	이영학		
IPC分类号	H01L51/50 H01L29/786		
CPC分类号	H01L27/3262 H01L27/3258 H01L27/3248		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

目的：提供一种有机发光显示装置及其制造方法，通过少量掩模制造顶栅型晶体管，从而提高生产率。结构：源电极和漏电极位于有源层上。绝缘膜（115）放置在源电极或漏电极上，并暴露源电极或漏电极中的任一个。下电极位于绝缘膜上并连接到源电极或漏电极中的任一个。栅电极（118b）位于绝缘膜上并位于与有源层对应的区域中。堤层（119）位于绝缘膜上，覆盖栅电极，并暴露下电极的一部分。有机发光层位于下电极上。上电极位于有机发光层的表面上。COPYRIGHT KIPO 2011

