



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0089940
(43) 공개일자 2009년08월25일

(51) Int. Cl.

H05B 33/02 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2008-0015113

(22) 출원일자 2008년02월20일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

고준철

서울 서대문구 홍제2동 한양아파트 102동 1003호

채중철

서울 마포구 염리동 LG자이아파트 106동 1902호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 20 항

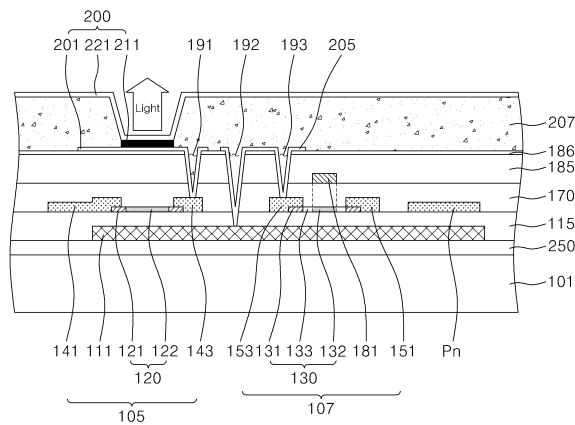
(54) 유기 발광 장치 및 그 제조 방법

(57) 요약

본 발명은 유기 발광 장치 및 그 제조 방법에 관한 것이다.

본 발명에 따른 유기 발광 장치는 광을 생성하는 유기 발광부, 유기 발광부를 구동하며, 제1 폴리 실리콘막 및 제1 폴리 실리콘막의 하측에 형성된 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 제1 박막 트랜지스터와 연결되며, 제2 폴리 실리콘막 및 제2 폴리 실리콘막의 상측에 형성된 제2 게이트 전극을 포함하는 제2 박막 트랜지스터를 포함하며, 제1 폴리 실리콘막과 제2 폴리 실리콘막은 동일층에 형성된다.

대표도 - 도2



(72) 발명자

최준후

서울 용산구 한강로1가 64번지 대우월드마크용산
101동 1804호

윤영수

경기 수원시 영통구 영통동 1007-5 203호

특허청구의 범위

청구항 1

광을 생성하는 유기 발광부;

상기 유기 발광부를 구동하며, 제1 폴리 실리콘막 및 상기 제1 폴리 실리콘막의 하측에 형성된 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 박막 트랜지스터와 연결되며, 제2 폴리 실리콘막 및 상기 제2 폴리 실리콘막의 상측에 형성된 제2 게이트 전극을 포함하는 제2 박막 트랜지스터를 포함하며,

상기 제1 폴리 실리콘막과 제2 폴리 실리콘막은 동일층에 형성된 유기 발광 장치.

청구항 2

제1 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제1 폴리 실리콘막 상부에 형성된 제1 소스 전극 및 제1 드레인 전극을 포함하고,

상기 제2 박막 트랜지스터는 상기 제2 폴리 실리콘막 상부에 형성된 제2 소스 전극 및 제2 드레인 전극을 포함하는 것을 특징으로 하는 유기 발광 장치.

청구항 3

제2 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제1 폴리 실리콘막과 제1 게이트 전극 사이에 형성된 제1 절연막을 포함하는 것을 특징으로 하는 유기 발광 장치.

청구항 4

제2 항에 있어서,

상기 제2 박막 트랜지스터는 상기 제2 폴리 실리콘막과 제2 게이트 전극 사이에 형성된 제2 절연막을 포함하는 것을 특징으로 하는 유기 발광 장치.

청구항 5

제2 항에 있어서,

상기 제2 폴리 실리콘막은 상기 제2 게이트 전극과 중첩된 채널 영역, 상기 제2 소스 전극 및 제2 드레인 전극과 중첩된 도핑 영역 및 이들 사이에 형성된 오프셋 영역을 포함하는 것을 특징으로 하는 유기 발광 장치.

청구항 6

제5 항에 있어서,

상기 오프셋 영역은 2 ~ 5 μ m의 폭으로 형성된 것을 특징으로 하는 유기 발광 장치.

청구항 7

제2 항에 있어서,

상기 제1 및 제2 박막 트랜지스터는 연결 전극을 통해 전기적으로 연결된 것을 특징으로 하는 유기 발광 장치.

청구항 8

제2 항에 있어서,

상기 제1 및 제2 박막 트랜지스터는 상기 제1 게이트 전극에 접속된 제2 드레인 전극을 통해 전기적으로 연결된 것을 특징으로 하는 유기 발광 장치.

청구항 9

제1 항에 있어서,

상기 제1 게이트 전극은 상기 제2 폴리 실리콘막과 중첩되게 형성되어 하부로부터 입사되는 광을 차단하는 것을 특징으로 하는 유기 발광 장치.

청구항 10

제1 항에 있어서,

상기 유기 발광부는 정공 주입 전극, 전자 주입 전극 및 유기 발광층을 포함하는 것을 특징으로 하는 유기 발광 장치.

청구항 11

기관 상에 제1 게이트 전극을 포함하는 제1 게이트 패턴을 형성하는 단계;

상기 제1 게이트 패턴의 상부에 제1 및 제2 폴리 실리콘막을 형성하는 단계;

상기 제1 및 제2 폴리 실리콘막의 상부에 각각 제1 및 제2 소스 전극과, 제1 및 제2 드레인 전극을 포함하는 데이터 패턴을 형성하는 단계;

상기 데이터 패턴의 상부에 제2 게이트 전극을 포함하는 제2 게이트 패턴을 형성하는 단계;

상기 제2 게이트 패턴의 상부에 보호층을 형성하는 단계; 및

상기 보호층의 상부에 유기 발광부를 형성하는 단계를 포함하는 유기 발광 장치의 제조 방법.

청구항 12

제11 항에 있어서,

상기 제1 게이트 패턴과 상기 제1 및 제2 폴리 실리콘막 사이에 제1 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 13

제12 항에 있어서,

상기 제2 게이트 패턴과 상기 제1 및 제2 폴리 실리콘막 사이에 제2 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 14

제11 항에 있어서,

상기 제1 및 제2 폴리 실리콘막을 형성하는 단계는

비정질 실리콘을 형성하는 단계;

상기 비정질 실리콘에 불순물을 주입하는 단계; 및

상기 비정질 실리콘을 결정화하는 단계를 포함하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 15

제14 항에 있어서,

상기 제2 폴리 실리콘막은 채널 영역, 오프셋 영역 및 도핑 영역으로 구분하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 16

제15 항에 있어서,

상기 제2 게이트 전극은 상기 제2 폴리 실리콘막의 채널 영역과 중첩되게 형성하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 17

제11 항에 있어서,

상기 데이터 패턴을 형성하는 단계에서

상기 제1 절연막에 콘택홀을 형성하여 상기 제2 드레인 전극을 제1 게이트 전극에 접속시키는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 18

제11 항에 있어서,

상기 유기 발광부를 형성하는 단계는

상기 보호층의 상부에 상기 제1 드레인 전극과 연결되는 정공 주입 전극을 형성하는 단계;

상기 정공 주입 전극의 일부를 노출하도록 화소 정의막을 형성하는 단계;

상기 정공 주입 전극의 상부에 유기 발광층을 형성하는 단계; 및

상기 화소 정의막 및 유기 발광층의 상부에 전자 주입 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 19

제18 항에 있어서,

상기 정공 주입 전극을 형성하는 단계는,

제1 게이트 전극과 상기 제2 드레인 전극을 연결하는 연결 전극을 더 형성하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

청구항 20

제19 항에 있어서,

상기 보호층을 형성하는 단계에서

상기 제1 드레인 전극, 상기 제1 게이트 전극 및 상기 제2 드레인 전극의 일부를 노출시키는 콘택홀을 형성하는 것을 특징으로 하는 유기 발광 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은 오프 전류 특성이 향상된 유기 발광 장치 및 그 제조 방법에 관한 것이다.

배경 기술

<2> 현대 사회에서는 정보 표시를 위한 표시 장치의 중요성이 대두되고 있다. 이에 최근 다양한 형태의 표시 장치들이 개발되어 다방면에서 광범위하게 이용되고 있다. 특히, 표시 장치 중에서 초박형이 가능하며 색재현 능력이 뛰어난 평판 표시 장치로 유기 발광 장치(Organic Light Emitting Display: OLED)가 주목받고 있다.

<3> 일반적으로 유기 발광 장치는 유기 물질을 전기적으로 여기 발광시켜 화상을 표시하는 표시 장치로서, 정공 주입 전극(애노드)와, 전자 주입 전극(캐소드) 및 이들 사이에 형성된 유기 발광층을 포함한다. 그리고, 유기 발광 장치는 유기 발광층의 구동을 위한 구동 박막 트랜지스터와, 구동 박막 트랜지스터를 제어하기 위한 스위치 박막 트랜지스터를 포함한다.

- <4> 유기 발광 장치는 레이저를 기반으로 하는 방법과, 열처리를 기반으로 하는 방법 등으로 구동 박막 트랜지스터의 반도체층을 폴리 실리콘(poly-Si)으로 형성하는데, 열처리를 기반으로 하는 방식으로는 고상 결정화(Solid Phase Crystallization: SPC) 방법이 있다.
- <5> 그런데, 고상 결정화 방법으로 형성된 폴리 실리콘은 오프(off) 전류 특성 저하로 스위치 박막 트랜지스터로의 사용이 어렵다. 그래서, 구동 박막 트랜지스터는 폴리 실리콘으로 형성하고, 스위치 박막 트랜지스터는 비정질 실리콘으로 형성하는 방식이 연구되어 왔으나, 비정질 실리콘으로 형성된 스위치 박막 트랜지스터는 고속 구동에 어려움이 있다.

발명의 내용

해결 하고자하는 과제

- <6> 본 발명이 해결하고자 하는 과제는 고속 구동이 가능하고, 오프 전류 특성이 향상된 유기 발광 장치 및 그 제조 방법을 제공하는 것이다.

과제 해결수단

- <7> 상술한 과제를 해결하기 위하여, 본 발명에 따른 유기 발광 장치는 광을 생성하는 유기 발광부; 상기 유기 발광부를 구동하며, 제1 폴리 실리콘막 및 상기 제1 폴리 실리콘막의 하측에 형성된 제1 게이트 전극을 포함하는 제1 박막 트랜지스터; 상기 제1 박막 트랜지스터와 연결되며, 제2 폴리 실리콘막 및 상기 제2 폴리 실리콘막의 상측에 형성된 제2 게이트 전극을 포함하는 제2 박막 트랜지스터를 포함하며, 상기 제1 폴리 실리콘막과 제2 폴리 실리콘막은 동일층에 형성된다.
- <8> 상기 제1 박막 트랜지스터는 상기 제1 폴리 실리콘막 상부에 형성된 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 박막 트랜지스터는 상기 제2 폴리 실리콘막 상부에 형성된 제2 소스 전극 및 제2 드레인 전극을 포함할 수 있다.
- <9> 상기 제1 박막 트랜지스터는 상기 제1 폴리 실리콘막과 제1 게이트 전극 사이에 형성된 제1 절연막을 포함할 수 있다. 이때, 상기 제1 절연막은 산화실리콘 및 질화실리콘 중 어느 하나를 포함하여 이루어질 수 있다.
- <10> 상기 제2 박막 트랜지스터는 상기 제2 폴리 실리콘막과 제2 게이트 전극 사이에 형성된 제2 절연막을 포함할 수 있다. 이때, 상기 제2 절연막은 질화실리콘을 포함하여 이루어질 수 있다.
- <11> 상기 제2 폴리 실리콘막은 상기 제2 게이트 전극과 중첩된 채널 영역, 상기 제2 소스 전극 및 제2 드레인 전극과 중첩된 도핑 영역 및 이들 사이에 형성된 오프셋 영역을 포함할 수 있다. 이때, 상기 오프셋 영역은 2 ~ 5 μm 의 폭으로 형성될 수 있다.
- <12> 상기 제1 및 제2 박막 트랜지스터는 연결 전극을 통해 전기적으로 연결될 수 있다.
- <13> 상기 제1 및 제2 박막 트랜지스터는 상기 제1 게이트 전극에 접속된 제2 소스 전극을 통해 전기적으로 연결될 수 있다.
- <14> 상기 제1 게이트 전극은 상기 제2 폴리 실리콘막과 중첩되게 형성되어 하부로부터 입사되는 광을 차단할 수 있다.
- <15> 상기 유기 발광부는 정공 주입 전극, 전자 주입 전극 및 유기 발광층을 포함할 수 있다.
- <16> 상술한 과제를 해결하기 위하여, 본 발명에 따른 유기 발광 장치의 제조 방법은 기판 상에 제1 게이트 전극을 포함하는 제1 게이트 패턴을 형성하는 단계; 상기 제1 게이트 패턴의 상부에 제1 절연막과, 제1 및 제2 폴리 실리콘막을 형성하는 단계; 상기 제1 및 제2 폴리 실리콘막의 상부에 각각 제1 및 제2 소스 전극과, 제1 및 제2 드레인 전극을 포함하는 데이터 패턴을 형성하는 단계; 상기 데이터 패턴의 상부에 제2 절연막과, 제2 게이트 전극을 포함하는 제2 게이트 패턴을 형성하는 단계; 상기 제2 게이트 패턴의 상부에 보호층을 형성하는 단계; 및 상기 보호층의 상부에 유기 발광부를 형성하는 단계를 포함한다.
- <17> 상기 유기 발광 장치의 제조 방법은 상기 제1 게이트 패턴과 상기 제1 및 제2 폴리 실리콘막 사이에 제1 절연막을 형성하는 단계를 더 포함할 수 있다. 또한, 상기 제2게이트 패턴과 상기 제1및 제2 폴리 실리콘막 사이에 제2 절연막을 형성하는 단계를 더 포함할 수 있다.

- <18> 상기 제1 및 제2 폴리 실리콘막을 형성하는 단계는 비정질 실리콘을 형성하는 단계; 상기 비정질 실리콘에 불순물을 주입하는 단계; 및 상기 비정질 실리콘을 결정화하는 단계를 포함할 수 있다.
- <19> 상기 제2 폴리 실리콘막은 채널 영역, 오프셋 영역 및 도핑 영역으로 구분할 수 있다.
- <20> 상기 제2 게이트 전극은 상기 제2 폴리 실리콘막의 채널 영역과 중첩되게 형성할 수 있다.
- <21> 상기 데이터 패턴을 형성하는 단계에서 상기 제1 절연막에 콘택홀을 형성하여 상기 제2 드레인 전극을 제1 게이트 전극에 접속시킬 수 있다.
- <22> 상기 유기 발광부를 형성하는 단계는 상기 보호층의 상부에 상기 제1 드레인 전극과 연결되는 정공 주입 전극을 형성하는 단계; 상기 정공 주입 전극의 일부를 노출하도록 화소 정의막을 형성하는 단계; 상기 정공 주입 전극의 상부에 유기 발광층을 형성하는 단계; 및 상기 화소 정의막 및 유기 발광층의 상부에 전자 주입 전극을 형성하는 단계를 포함할 수 있다.
- <23> 상기 유기 발광부를 형성하는 단계에서 제1 게이트 전극과 상기 제2 드레인 전극을 연결하는 연결 전극을 형성할 수 있다.
- <24> 상기 보호층을 형성하는 단계에서 상기 제1 드레인 전극, 상기 제1 게이트 전극 및 상기 제2 드레인 전극의 일부를 노출시키는 콘택홀을 형성할 수 있다.
- <25> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 설명을 통하여 명백하게 드러나게 될 것이다.

효 과

- <26> 본 발명에 따른 유기 발광 장치 및 그 제조방법은 고속 구동이 가능하고, 오프 전류 특성 향상이 가능하도록 한다.

발명의 실시를 위한 구체적인 내용

- <27> 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명에 따른 유기 발광 장치 및 그 제조 방법에 대한 실시 예를 첨부된 도면들을 참조하여 상세하게 설명한다. 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고, 명세서 전체에 걸쳐 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.
- <28> 도 1은 본 발명의 실시 예에 따른 유기 발광 장치의 등가 회로도이고, 도 2는 본 발명의 제1 실시 예에 따른 유기 발광 장치의 단면도이다.
- <29> 도 1 및 도 2를 참조하면, 본 발명의 제1 실시 예에 따른 유기 발광 장치는 기판(101) 상에 형성된 복수의 신호 라인(Gm, Dn, Pn), 제1 박막 트랜지스터(105), 제2 박막 트랜지스터(107), 유기 발광부(200) 및 커패시터(300)를 포함한다.
- <30> 신호 라인(Gm, Dn, Pn)은 게이트 신호를 전달하는 제m 행의 게이트 라인(Gm), 데이터 신호를 전달하는 제n 열의 데이터 라인(Dn) 및 구동 전원을 전달하는 제n 열의 구동 전원 라인(Pn)을 포함하여 구성된다.
- <31> 상기 제1 박막 트랜지스터(105)는 구동 전원 라인(Pn)과 제2 박막 트랜지스터(107)의 출력단에 연결되며, 제1 게이트 전극(111), 제1 폴리 실리콘막(120), 제1 소스 전극(141) 및 제1 드레인 전극(143)을 포함한다. 제1 박막 트랜지스터(105)는 제1 게이트 전극(111)과, 제1 소스 전극(141)에 인가된 전압을 전류로 변환하는 구동 트랜지스터로 동작한다. 제1 박막 트랜지스터(105)는 제1 게이트 전극(111)이 제1 폴리 실리콘막(120)의 하측에 위치하여 바텀 게이트(Bottom Gate) 구조로 형성된다. 이때, 제1 게이트 전극(111)은 제1 절연막(115)을 통해 제1 폴리 실리콘막(120), 제1 소스 전극(141) 및 제1 드레인 전극(143)과 절연된다. 제1 절연막(115)은 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 포함하여 형성될 수 있다.
- <32> 제1 게이트 전극(111)은 제2 박막 트랜지스터(107)와 중첩되도록 형성되어 일측으로부터 입사되는 광을 차단하는 광 차단막 역할을 할 수도 있다.
- <33> 상기 제2 박막 트랜지스터(107)는 게이트 라인(Gm)과 데이터 라인(Dn)에 연결되며, 제2 게이트 전극(181), 제2 폴리 실리콘막(130), 제2 소스 전극(151) 및 제2 드레인 전극(153)을 포함한다. 제2 박막 트랜지스터(107)는 게이트 라인에 인가되는 게이트 신호에 따라 데이터 라인에 인가되는 데이터 전압을 제1 박막 트랜지스터(105)

에 인가하는 스위치 박막 트랜지스터로 동작한다. 제2 박막 트랜지스터(107)는 제2 게이트 전극(181)이 제2 폴리 실리콘막(130)의 상층에 위치하여 탑 게이트(Top Gate) 구조로 형성된다. 이때, 제2 게이트 전극(181)은 제2 절연막(170)을 통해 제2 폴리 실리콘막(130), 제2 소스 전극(151) 및 제2 드레인 전극(153)과 절연된다. 제2 절연막(170)은 질화실리콘(SiNx)을 포함하여 형성될 수 있다.

<34> 여기서, 제1 및 제2 폴리 실리콘막(120,130)은 고상 결정화(Solid Phase Crystallization) 방법으로 동일층에 형성된다. 제1 및 제2 폴리 실리콘막(120,130)은 각각 제1 및 제2 도핑 영역(121,131)을 포함한다. 제1 및 제2 도핑 영역(121,131)은 다결정 실리콘에 N형 불순물을 도핑하여 형성한다. 제1 및 제2 도핑 영역(121,131)은 제1 및 제2 폴리 실리콘막(120,130), 제1 및 제2 소스 전극(141,151), 제1 및 제2 드레인 전극(143,153)의 옴믹 접촉을 위한 옴믹 콘택 영역(ohmic contact area)이다.

<35> 제1 폴리 실리콘막(120)은 제1 도핑 영역(121)과 제1 채널 영역(122)으로 구분된다. 제2 폴리 실리콘막(130)은 제2 게이트 전극(181)에 중첩되는 제2 채널 영역(132)과, 제2 도핑 영역(131)과, 이들 사이에 위치하는 오프셋(offset) 영역(133)으로 구분된다. 오프셋 영역(133)은 제2 박막 트랜지스터(107)의 스위치 동작이 가능하도록 오프 전류 특성을 향상시키기 위해 형성된다. 이때, 오프셋 영역(133)은 제2 도핑 영역(131)과 제2 채널 영역(132) 사이에서 2 ~ 5 μ m의 폭으로 형성될 수 있다. 제2 폴리 실리콘막(130)은 오프셋 영역(133)을 2 μ m 미만으로 형성할 경우 제조 공정의 오차로 인해 정렬 불량 발생 가능성이 발생할 수 있고, 5 μ m 초과로 형성할 경우 온 전류 특성의 저하가 발생할 수 있다.

<36> 한편, 제1 및 제2 박막 트랜지스터(105,107)는 연결 전극(205)으로 연결된다. 연결 전극(205)은 보호막(185) 및 평탄화막(186)을 포함하는 보호층(185,186) 상부에 형성된다. 그리고, 연결 전극(205)은 제2 및 제3 컨택홀(192,193)을 통해 제1 게이트 전극(111)과 제2 드레인 전극(153)을 전기적으로 연결한다. 연결 전극(205)은 투명한 도전성 물질로 형성된다. 예를 들어, 연결 전극(205)은 인듐 주석 산화물(Indium Tin Oxide: ITO), 인듐 아연 산화물(Indium Zinc Oxide: IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide: ITZO)들 중 어느 하나로 형성될 수 있다.

<37> 상기 유기 발광부(200)는 보호층(185,186)의 상부에 형성되어 제1 박막 트랜지스터(105)와 연결된 정공 주입 전극(201)과, 정공 주입 전극(201)에 대응하는 전자 주입 전극(221) 및 이들 사이에 개재된 유기 발광층(211)으로 구성된다. 정공 주입 전극(201)은 제1 컨택홀(191)을 통해 제1 드레인 전극(143)에 접속된다. 유기 발광층(211)은 정공 주입 전극(201)을 노출시키는 화소 정의막(207)의 패턴 부분에 주입되며, 정공수송층(HTL), 발광층(EM), 전자수송층(ETL)을 포함한다. 전자 주입 전극(221)은 유기 발광부(211) 및 화소 정의막(207)의 상부에 도전성 재질로 형성된다.

<38> 유기 발광부(200)는 일측 방향으로 광을 방출한다. 이때, 유기 발광부(200)는 광의 방출 방향에 따라 정공 주입 전극(201)과 전자 주입 전극(221)의 재질이 변경된다. 예를 들어, 유기 발광부(200)의 광이 전면으로 방출되면, 정공 주입 전극(201)은 반사형 도전성 재질로 형성되고, 전자 주입 전극(221)은 투과형 도전성 재질로 형성된다. 그리고, 유기 발광부(200)의 광이 배면으로 방출되면, 정공 주입 전극(201)은 투과형 도전성 재질로 형성되고, 전자 주입 전극(221)은 반사형 도전성 재질로 형성된다.

<39> 상기 커패시터(300)는 일측 전극이 구동 전원 라인(Pn)에 접속되고, 타측 전극이 제1 드레인 전극(143) 및 제2 게이트 전극(181)에 공통 접속된다. 커패시터(300)는 구동 전원 라인(Pn)과 제1 게이트 전극(111)이 중첩되어 형성될 수 있다. 커패시터(300)는 제m 행 게이트 라인(Gm)에 게이트 신호가 공급된 후 다시 게이트 신호가 공급될 때까지 이전에 공급된 게이트 신호를 충전하여 유기 발광부(200)의 발광을 유지시키는 역할을 한다.

<40> 한편, 제1 게이트 전극(111)의 하부에는 버퍼층(250)이 형성될 수 있다. 버퍼층(250)은 기판(101)의 전체면에 걸쳐 형성된다. 이때, 버퍼층(250)은 산화실리콘으로 형성될 수 있다.

<41> 도 3은 도 1에 도시된 제2 박막 트랜지스터의 전압 전류 특성을 설명하기 위해 도시한 그래프이다. 여기서, 도 3에 도시된 그래프의 가로축은 전압을, 세로축은 전류를 각각 나타낸다.

<42> 제2 박막 트랜지스터는 스위치 소자로 동작하기 위해 도 3에 도시된 바와 같은 전압(VGS)-전류(IDS) 특성 곡선(400)을 보인다. 제2 박막 트랜지스터는 제2 폴리 실리콘막의 채널의 폭과 길이가 각각 약 5 μ m이고, 오프셋 영역이 약 2 μ m으로 형성된다. 그리고, 제2 박막 트랜지스터는 질화실리콘을 포함하여 형성된 제2 절연막에 의해 제2 게이트 전극과 제2 폴리 실리콘막이 절연된다.

<43> 여기서, 제2 박막 트랜지스터는 제2 폴리 실리콘막의 채널 영역 폭이 바텀 게이트 구조에 비해 줄어든다. 특성 곡선(400)은 문턱 전압(Vth)이 높아지고 오프(off) 전류가 스위치 동작에 적합한 수준인 것을 보여준다. 여기

서, 제2 박막 트랜지스터는 오프셋 영역의 전자들이 게이트 전극의 음의 전압으로 인해 반발력이 발생하여 원래 전자 농도보다 적어진다. 이를 통해 제2 박막 트랜지스터는 전자 농도의 감소로 오프셋 영역과 함께 누설 전류를 감소시켜 오프 전류의 수준을 낮춘다.

- <44> 한편, 제2 박막 트랜지스터는 화소 내에 많은 스위치 소자들을 사용해야 하는 보상 회로 구조에서 제2 폴리 실리콘막으로 인해 적은 면적으로 형성될 수 있다. 구체적으로, 제2 박막 트랜지스터는 이동도가 향상되어 작은 면적으로도 스위치 동작이 가능하다. 제2 박막 트랜지스터는 보상 회로 구조에서 스위치 소자의 전체 면적을 감소시킨다. 이에 따라, 배면 발광의 유기 발광 장치에서 제2 박막 트랜지스터는 개구율을 향상시킬 수 있다.
- <45> 도 4는 본 발명의 제2 실시 예에 따른 유기 발광 장치의 단면도이다.
- <46> 도 1 및 도 4를 참조하면, 본 발명의 제2 실시 예에 따른 유기 발광 장치는 제1 및 제2 박막 트랜지스터(105,107)가 직접 연결된다.
- <47> 제1 및 제2 박막 트랜지스터(105,107)는 각각 제1 및 제2 게이트 전극(111,181), 제1 및 제2 폴리 실리콘막(120,130), 제1 및 제2 소스 전극(141,151), 제1 및 제2 드레인 전극(143,153)을 포함한다. 제1 및 제2 게이트 전극(111,181)은 각각 제1 및 제2 절연막(115,170)으로 절연된다.
- <48> 제2 박막 트랜지스터(107)의 제2 드레인 전극(153)은 제4 컨택홀(194)을 통해 제1 박막 트랜지스터(105)의 제1 게이트 전극(111)에 접속된다. 이러한 제1 및 제2 박막 트랜지스터(105,107)는 연결 전극을 사용하지 않고 직접 전기적으로 연결된다.
- <49> 여기서, 본 발명의 제2 실시 예에 따른 유기 발광 장치를 도 2와 비교하여 동일한 구성 요소에 대한 상세 설명은 생략한다.
- <50> 도 5는 본 발명의 제3 실시 예에 따른 유기 발광 장치의 단면도이다.
- <51> 도 1 및 도 5를 참조하면, 본 발명의 제3 실시 예에 따른 유기 발광 장치는 제2 박막 트랜지스터(107)의 하측에 광 차단막이 제거되어 형성된다.
- <52> 제1 박막 트랜지스터(105)는 제1 폴리 실리콘막(120)의 하부에 제1 게이트 전극(111)이 위치하는 바텀 게이트 구조로 형성된다. 이때, 제1 게이트 전극(111)은 제2 박막 트랜지스터(107)의 제2 폴리 실리콘막(130)과 중첩되지 않게 형성된다. 이러한 제2 박막 트랜지스터(107)는 제1 게이트 전극(111)으로 인한 제2 폴리 실리콘막(130)의 특성 저하를 방지할 수 있다.
- <53> 스토리지 전극(117)은 제1 게이트 전극(111)과 동일층에 형성된다. 스토리지 전극(117)은 제1 절연막(115)을 사이에 두고 구동 전원 라인(Pn)과 중첩된다.
- <54> 여기서, 본 발명의 제3 실시 예에 따른 유기 발광 장치를 도 2와 비교하여 동일한 구성 요소에 대한 상세 설명은 생략한다.
- <55> 도 6은 본 발명의 제1 실시 예에 따른 유기 발광 장치의 제조 방법을 설명하기 위한 순서도이다.
- <56> 도 6을 참조하면, 본 발명의 제1 실시 예에 따른 유기 발광 장치의 제조 방법은 제1 게이트 패터를 형성하는 단계(S11), 제1 절연막과, 제1 및 제2 폴리 실리콘막을 형성하는 단계(S21), 데이터 패터를 형성하는 단계(S31), 제2 절연막과 제2 게이트 패터를 형성하는 단계(S41), 보호층을 형성하는 단계(S51) 및 유기 발광부를 형성하는 단계(S61)를 포함한다.
- <57> 도 7a 내지 도 7f는 도 6에 도시된 유기 발광 장치의 제조 방법을 설명하기 위한 단면도이다.
- <58> 제1 게이트 패터를 형성하는 단계(S11)는 기판(101) 상부에 게이트 금속을 증착한 뒤 포토 공정 및 식각 공정을 거쳐 제1 게이트 라인(미도시) 및 제1 게이트 전극(111)을 형성한다(도 7a 참조). 버퍼층(250)은 산화실리콘으로 미리 기판(101)의 전체면에 걸쳐 형성한다. 제1 게이트 패터는 기판(101) 상에 증착된 버퍼층(250)의 상부에 형성할 수도 있다.
- <59> 제1 절연막과, 제1 및 제2 폴리 실리콘막을 형성하는 단계(S21)는 제1 게이트 전극(111)의 상부에 산화실리콘을 증착하여 제1 절연막(115)을 형성한다(도 7b 참조). 다음, 제1 절연막(115)의 상부에 비정질 실리콘을 증착한다. 그리고, 비정질 실리콘에 n형 불순물을 주입하여 제1 및 제2 도핑 영역(121,131)을 형성한다. 다음, 비정질 실리콘을 포토 공정 및 식각 공정을 거쳐 패터닝한다. 그리고, 패터닝된 비정질 실리콘을 고상 결정화 방법으로 결정화하여 제1 및 제2 폴리 실리콘막(120,130)을 형성한다.

- <60> 데이터 패턴을 형성하는 단계(S31)는 제1 및 제2 폴리 실리콘막(120,130)의 상부에 데이터 금속을 증착하고 포토 공정 및 식각 공정을 거쳐 데이터 라인(미도시), 구동 전원 라인(Pn), 제1 및 제2 소스 전극(141,151), 제1 및 제2 드레인 전극(143,153)을 형성한다(도 7c 참조). 제1 소스 전극(141) 및 제1 드레인 전극(143)은 제1 폴리 실리콘막(120)의 제1 도핑 영역(121)에 각각 접속된다. 그리고, 제2 소스 전극(151) 및 제2 드레인 전극(153)은 제2 폴리 실리콘막(130)의 제2 도핑 영역(131)에 각각 접속되도록 형성한다.
- <61> 제2 절연막과 제2 게이트 패턴을 형성하는 단계(S41)는 데이터 패턴의 상부에 기판(101)의 전체면에 걸쳐 질화 실리콘을 증착하여 제2 절연막(170)을 형성한다(도 7d 참조). 다음, 제2 절연막(170)의 상부에 게이트 금속을 증착하고 게이트 금속을 증착한 뒤 포토 공정 및 식각 공정을 거쳐 제2 게이트 전극(181)을 형성한다. 이때, 제2 게이트 전극(181)은 제2 폴리 실리콘막(130)이 제2 채널 영역(132)과 오프셋 영역(133)으로 구분되도록 형성한다. 예를 들어, 제2 게이트 전극(181)이 제2 도핑 영역(131)에서 약 2~5 μ m 이격되어 중첩되도록 형성한다.
- <62> 보호층을 형성하는 단계(S51)는 제2 게이트 전극(181)과 제2 절연막(170)의 상부에 질화실리콘 등의 물질을 증착하여 보호막(185)을 형성한다(도 7e 참조). 이때, 보호막(185) 표면의 평탄함을 고려하여 보호막(185)의 상부에 평탄화막(186)을 더 형성할 수 있다. 평탄화막(186)은 보호막(185)의 상부에 유기물을 코팅하여 형성한다. 다음, 평탄화막(186)과 보호막(185)에 제1 내지 제3 콘택홀(191,192,193)을 형성한다. 제1 내지 제3 콘택홀(191,192,193)은 제1 드레인 전극(143)과 제1 게이트 전극(111) 및 제2 드레인 전극(153)의 일부를 노출시키도록 형성한다. 이를 위해, 제1 내지 제3 콘택홀(191,192,193)은 평탄화막(186), 보호막(185), 제2 절연막(170) 및 제1 절연막(115)를 선택적으로 식각할 수 있다.
- <63> 여기서, 제1 내지 제3 콘택홀(191,192,193)은 평탄화막(186)과 보호막(185)을 한꺼번에 식각하여 형성하거나, 평탄화막(186)을 식각한 후 보호막(185)을 식각하여 형성할 수 있다.
- <64> 유기 발광부를 형성하는 단계(S61)는 우선 제1 콘택홀(191)을 통해 제1 드레인 전극(143)에 접속하는 정공 주입 전극(201)과, 제2 콘택홀(192)을 통해 제1 게이트 전극(111)과 제2 드레인 전극(153)에 접속하는 연결 전극(205)을 형성한다(도 7f 참조). 정공 주입 전극(201)과 연결 전극(205)은 유기 발광부(200)의 발광 방향에 따라 투명 도전성 재질과 반사형 도전성 재질 중 선택된 하나로 형성할 수 있다.
- <65> 다음, 평탄화막(186)과 정공 주입 전극(201) 및 연결 전극(205)의 상부에 화소 정의막(207)을 형성한다. 이때, 화소 정의막(207)은 정공 주입 전극(201)의 일부가 노출되도록 형성한다. 화소 정의막(207)은 무기 또는 유기 물질을 사용하여 투명 또는 불투명하게 형성할 수 있다. 다음, 정공 주입 전극(201)의 상부에 유기 발광 물질을 주입하여 유기 발광층(211)을 형성한다. 마지막으로 화소 정의막(207)과 유기 발광층(211)의 상부에 전자 주입 전극(221)을 형성한다. 전자 주입 전극(221)은 유기 발광부(200)의 발광 방향에 따라 반사형 도전성 재질과 투명 도전성 재질 중 선택된 하나로 형성할 수 있다.
- <66> 한편, 본 발명의 제2 실시 예에 따른 유기 발광 장치의 제조 방법은 데이터 패턴을 형성하는 단계(S31)에서 제1 절연막(115)에 제4 콘택홀(194)을 형성하여 제2 드레인 전극(153)을 제1 게이트 전극(111)에 접속하도록 형성한다. 그리고, 보호층을 형성하는 단계(S51)와 유기 발광부를 형성하는 단계(S61)에서 제1 콘택홀(191)과 정공 주입 전극(201)만 형성한다. 즉, 본 발명의 제2 실시 예에 따른 유기 발광 장치의 제조 방법은 제1 게이트 전극(111)과 제2 드레인 전극(153)이 직접 연결되어 연결 전극(205)을 형성하지 않는다.
- <67> 이상에서 상술한 본 발명은 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면 후술될 특허 청구 범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있을 것이다.

도면의 간단한 설명

- <68> 도 1은 본 발명의 실시 예에 따른 유기 발광 장치의 등가 회로도이다.
- <69> 도 2는 본 발명의 제1 실시 예에 따른 유기 발광 장치의 단면도이다.
- <70> 도 3은 도 1에 도시된 제2 박막 트랜지스터의 전압 전류 특성을 설명하기 위해 도시한 그래프이다.
- <71> 도 4는 본 발명의 제2 실시 예에 따른 유기 발광 장치의 단면도이다.
- <72> 도 5는 본 발명의 제3 실시 예에 따른 유기 발광 장치의 단면도이다.
- <73> 도 6은 본 발명의 제1 실시 예에 따른 유기 발광 장치의 제조 방법을 설명하기 위한 순서도이다.

<74> 도 7a 내지 도 7f는 도 6에 도시된 유기 발광 장치의 제조 방법을 설명하기 위한 단면도이다.

<75> <도면 부호의 간단한 설명>

<76> 105, 107: 제1 및 제2 박막 트랜지스터 111, 181: 제1 및 제2 게이트 전극

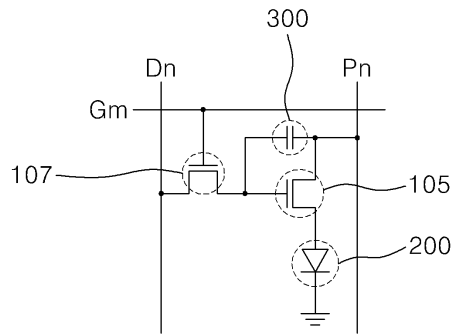
<77> 120, 130: 제1 및 제2 폴리 실리콘막 115, 170: 제1 및 제2 절연막

<78> 185, 189: 보호층 191, 192, 193, 194: 컨택홀

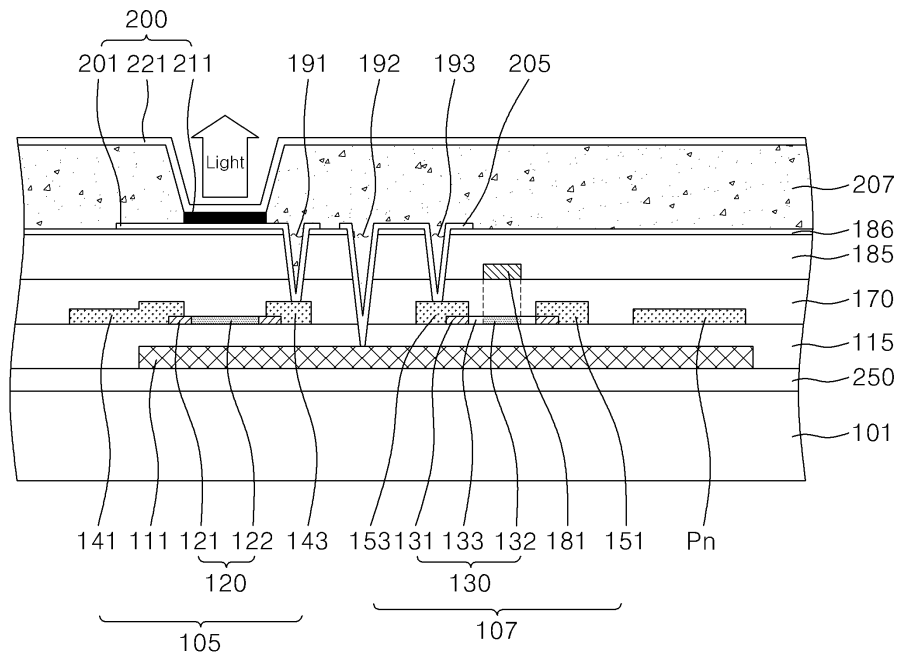
<79> 200: 유기 발광부 300: 커패시터

도면

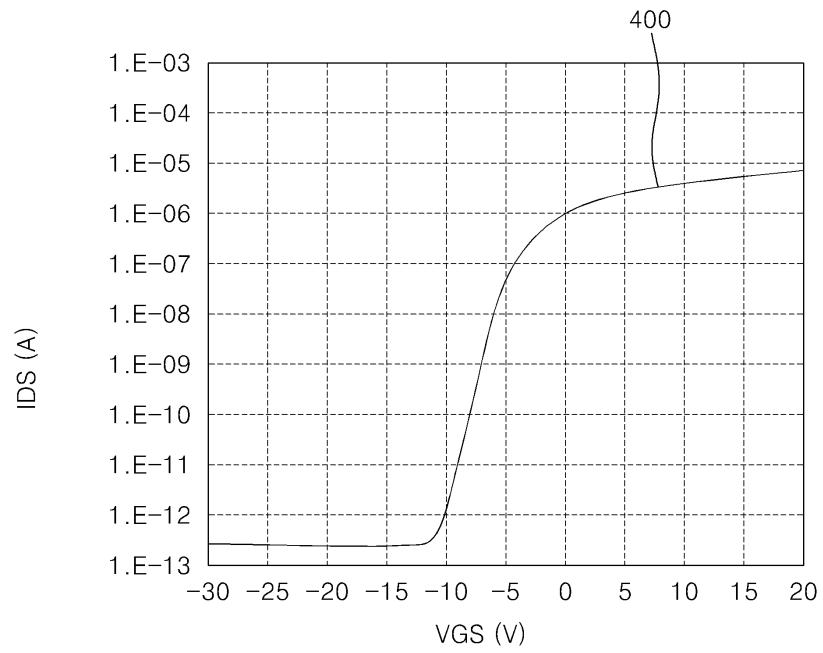
도면1



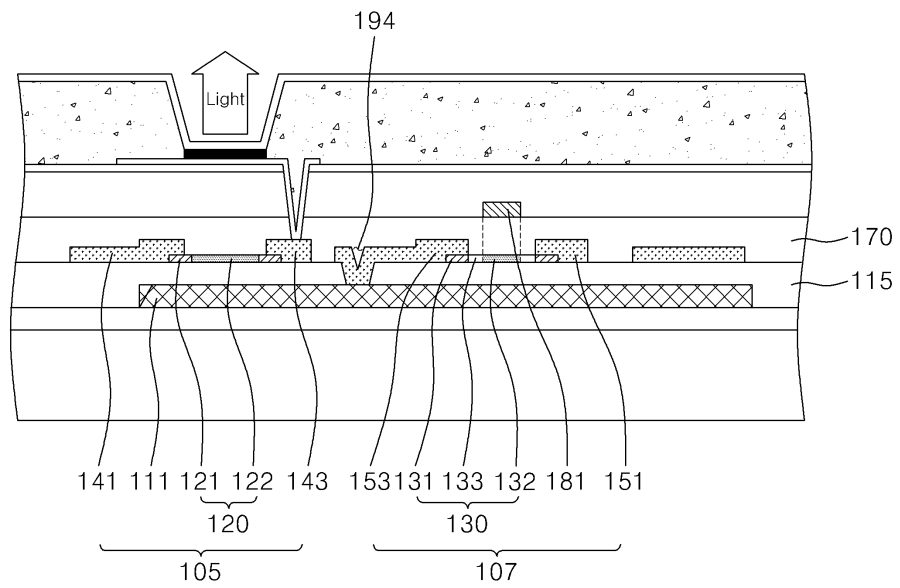
도면2



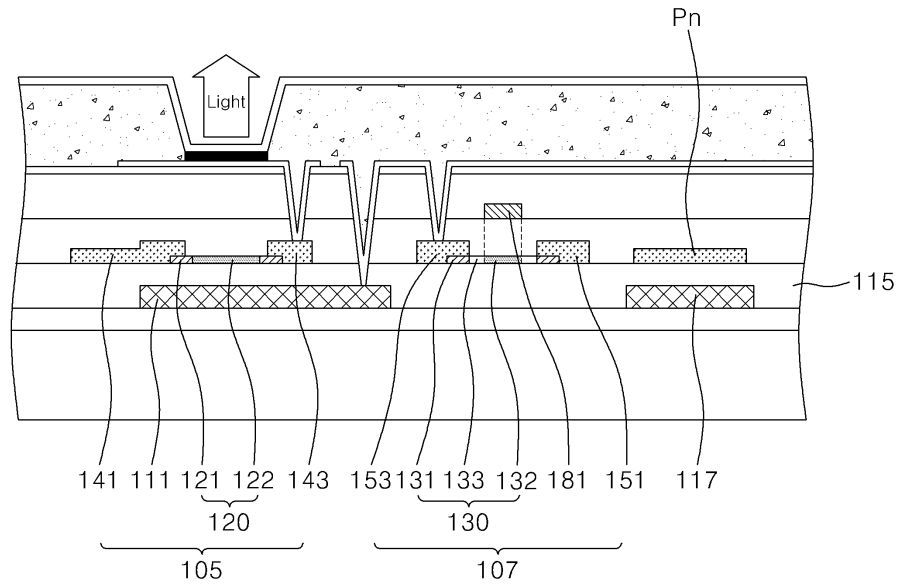
도면3



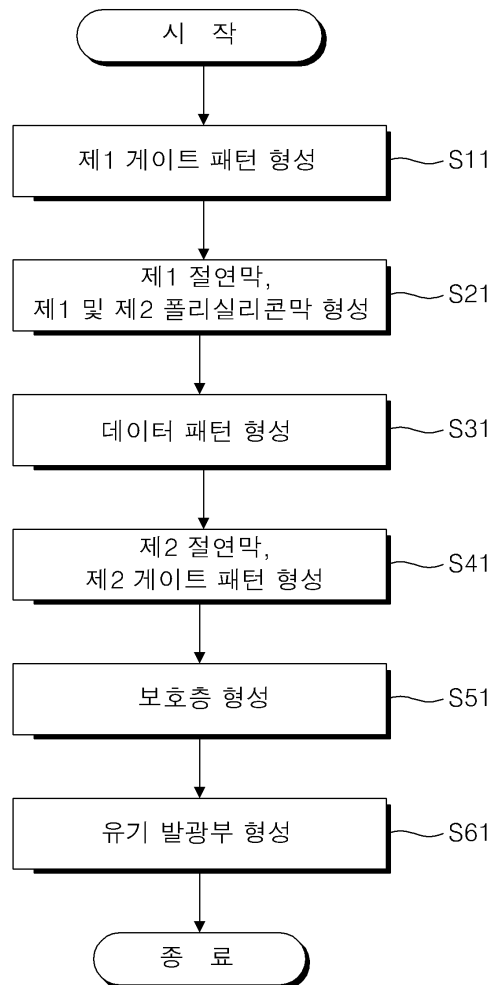
도면4



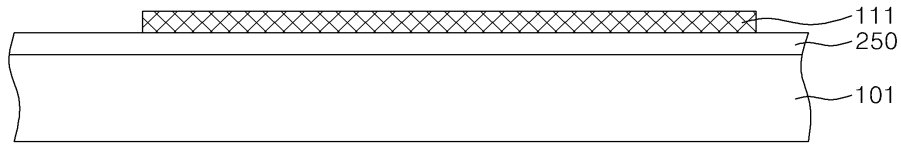
도면5



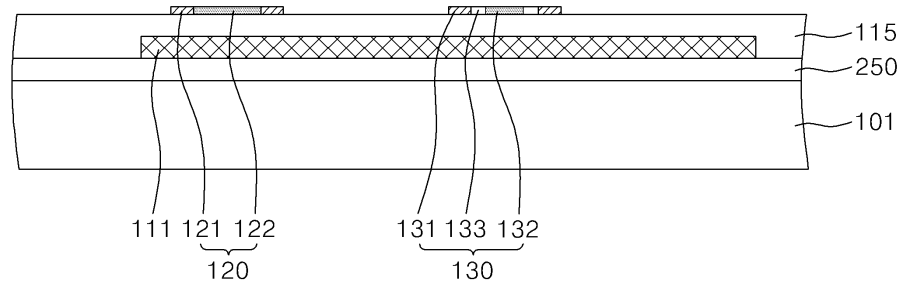
도면6



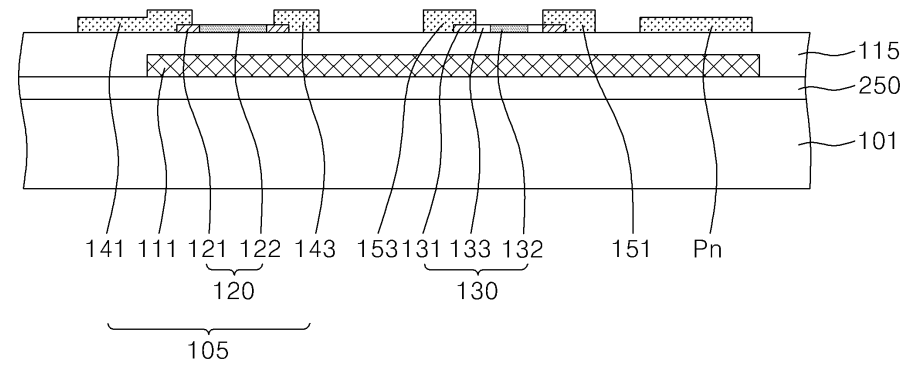
도면7a



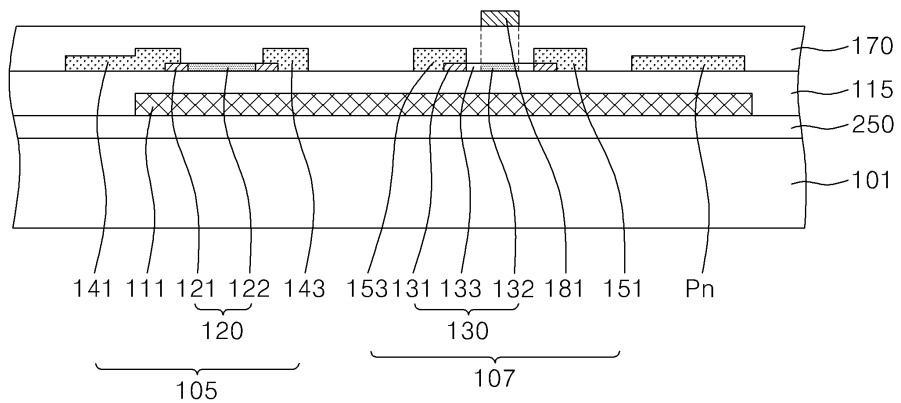
도면7b



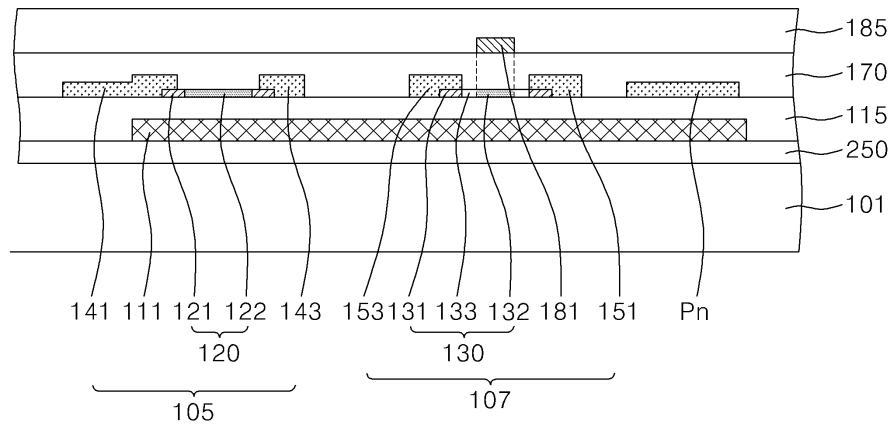
도면7c



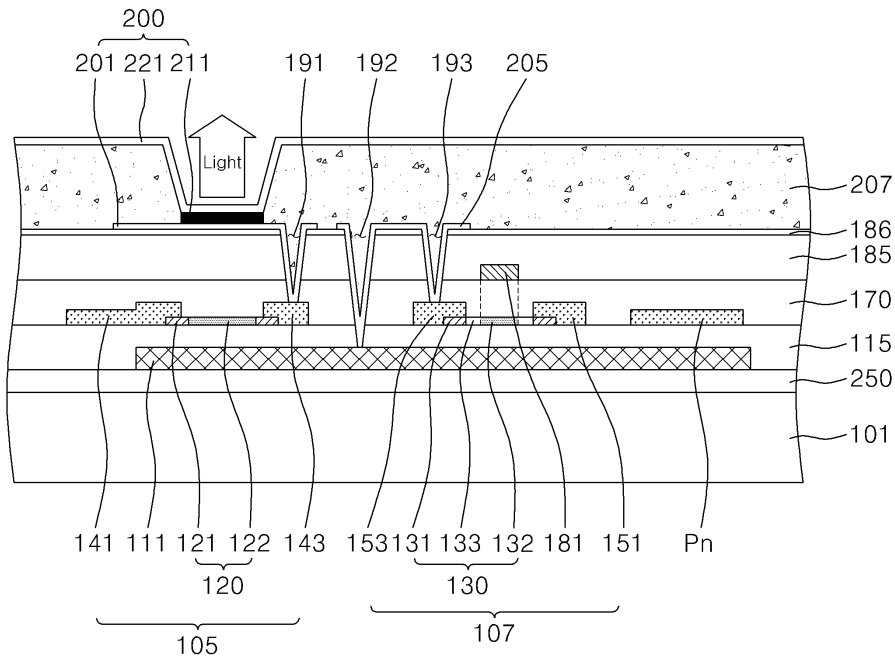
도면7d



도면7e



도면7f



专利名称(译)	有机发光器件及其制造方法		
公开(公告)号	KR1020090089940A	公开(公告)日	2009-08-25
申请号	KR1020080015113	申请日	2008-02-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	GOH JOON CHUL 고준철 CHAI CHONG CHUL 채종철 CHOI JOON HOO 최준후 YOON YOUNG SOO 윤영수		
发明人	고준철 채종철 최준후 윤영수		
IPC分类号	H05B33/02 H01L29/786		
CPC分类号	H01L27/1251 H01L27/1214 H01L27/3262 H01L27/3244		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋, 云何		
其他公开文献	KR101506671B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光器件及其制造方法。根据本发明的有机发光装置包括第二薄膜晶体管，其意味着形成在第二多晶硅层的上侧的第二栅电极和第二多晶硅层，其连接到薄膜晶体管。并且，薄膜晶体管形成在有机辐射单元的下侧的第一栅电极产生光，并且第一多晶硅层和第一多晶硅层被驱动有机辐射单元。并且第一多晶硅层和第二多晶硅层可以形成在同一层上。

