



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0111410
(43) 공개일자 2007년11월21일

- (51) Int. Cl.
H05B 33/02 (2006.01) H05B 33/26 (2006.01)
H01L 31/12 (2006.01) H05B 33/26 (2006.01)
H01L 31/12 (2006.01)
- (21) 출원번호 10-2007-0095766(분할)
(22) 출원일자 2007년09월20일
심사청구일자 2007년09월20일
- (62) 원출원 특허 10-2000-0052096
원출원일자 2000년09월04일
심사청구일자 2005년09월03일
- (30) 우선권주장
JP-P-1999-00250965 1999년09월03일 일본(JP)
JP-P-1999-00336249 1999년11월26일 일본(JP)
- (71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
야마자키, 순페이
일본국 가나가와켄 아쓰기시 하세 398 가부시키가
이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
이병호

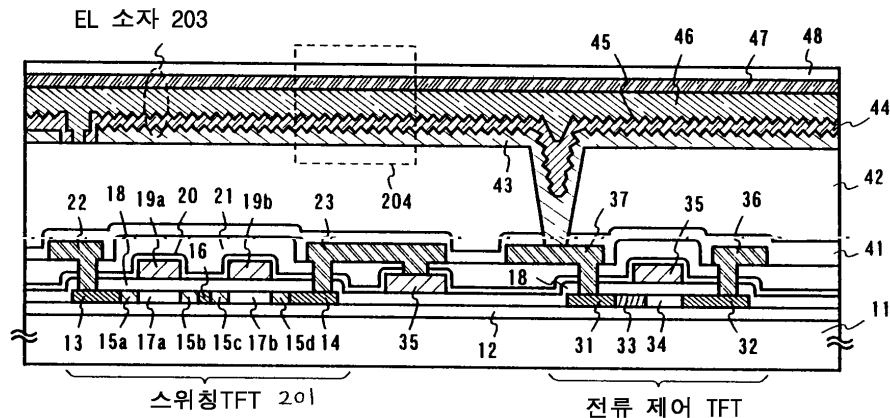
전체 청구항 수 : 총 12 항

(54) EL 디스플레이 디바이스 및 그 제조 방법

(57) 요약

EL 디스플레이 디바이스 및 EL 디스플레이 디바이스가 구비된 전자 디바이스의 제작 비용을 감소시키는 것이 목적이다. 돌출부들이 캐소드 표면에 형성된 텍스처 구조(textured structure)가 사용된다. 외부 미광(external stray light)은 상기 캐소드 표면에 의해 반사될 때, 돌출부들의 작용에 의해 난반사(불규칙적으로)되며, 그러므로 관찰자의 얼굴 또는 주위 경치가 캐소드 표면에서 반사되는 결점이 방지될 수 있다. 이것은 일반적으로 필요한 높은 가격의 원형 편광막(circular polarizing film)을 사용하지 않고 완성될 수 있으며, 그러므로 EL 디스플레이 디바이스의 제작 비용을 감소시키는 것이 가능하다.

대표도 - 도1



특허청구의 범위

청구항 1

디스플레이 디바이스에 있어서:

절연 표면 상에 제공된 실리콘을 포함하는 단결정 반도체막;

상기 단결정 반도체막에 제공된 소스 영역 및 드레인 영역;

상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역;

상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극;

상기 게이트 전극 위에 제공된 층간 절연막; 및

상기 층간 절연막 위에 제공되고, 상기 소스 영역 및 상기 드레인 영역 중 하나와 전기적으로 접속되는 발광층을 포함하는, 디스플레이 디바이스.

청구항 2

디스플레이 디바이스에 있어서:

절연 표면 상에 제공된 실리콘을 포함하는 단결정 반도체막;

상기 단결정 반도체막에 제공된 소스 영역 및 드레인 영역;

상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역;

상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극;

상기 게이트 전극 위에 제공된 층간 절연막;

상기 층간 절연막 위에 제공되고 상기 소스 영역 및 상기 드레인 영역 중 하나와 전기적으로 접속되는 캐소드로서, 상기 캐소드의 상부 표면은 텍스처 구조(textured structure)를 가지는, 상기 캐소드; 및

상기 캐소드의 상부 표면 위에 제공된 발광층을 포함하는, 디스플레이 디바이스.

청구항 3

디스플레이 디바이스에 있어서:

절연 표면 상에 제공된 실리콘을 포함하는 단결정 반도체막;

상기 단결정 반도체막에 제공된 소스 영역 및 드레인 영역;

상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역;

상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극;

상기 게이트 전극 위에 제공된 층간 절연막;

상기 층간 절연막 위에 제공되고 상기 소스 영역 및 상기 드레인 영역 중 하나와 전기적으로 접속되는 캐소드로서, 상기 캐소드의 상부 표면은 텍스처 구조를 가지는, 상기 캐소드; 및

상기 캐소드의 상부 표면 위에 제공된 발광층을 포함하고,

상기 텍스처 구조는 돌출부들을 포함하고, 상기 돌출부들 사이의 피치가 0.05 내지 1 μ m인, 디스플레이 디바이스.

청구항 4

디스플레이 디바이스에 있어서:

절연 표면 상에 제공된 실리콘을 포함하는 단결정 반도체막;

상기 단결정 반도체막에 제공된 소스 영역 및 드레인 영역;

상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역;
 상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극;
 상기 게이트 전극 위에 제공된 층간 절연막;
 상기 층간 절연막 위에 제공되고 상기 소스 영역 및 상기 드레인 영역 중 하나와 전기적으로 접속되는 캐소드로서, 상기 캐소드의 반사하는 상부 표면은 텍스처 구조를 가지는, 상기 캐소드; 및
 상기 캐소드의 상부 표면 위에 제공된 발광층을 포함하고,
 상기 텍스처 구조는 돌출부들을 포함하고, 상기 돌출부들 사이의 피치가 0.05 내지 1 μ m인, 디스플레이 디바이스.

청구항 5

디스플레이 디바이스에 있어서:
 유리 기판 위에 제공된 실리콘을 포함하는 단결정 반도체막;
 상기 단결정 반도체막에 제공된 소스 영역 및 드레인 영역;
 상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역;
 상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극;
 상기 게이트 전극 위에 제공된 층간 절연막; 및
 상기 층간 절연막 위에 제공되고 상기 소스 영역 및 상기 드레인 영역 중 하나와 전기적으로 접속되는 발광층을 포함하는, 디스플레이 디바이스.

청구항 6

디스플레이 디바이스에 있어서:
 기판;
 상기 기판 위의 픽셀부에 제공된 EL 소자; 및
 구동 회로에 제공된 트랜지스터를 포함하고,
 상기 트랜지스터는:
 상기 기판 위에 제공된 실리콘을 포함하는 단결정 반도체막에 제공된 소스 영역 및 드레인 영역과;
 상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역과;
 상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극을 포함하는, 디스플레이 디바이스.

청구항 7

디스플레이 디바이스에 있어서:
 유리 기판;
 상기 유리 기판 위의 픽셀부에 제공된 EL 소자; 및
 구동 회로에 제공된 트랜지스터를 포함하고,
 상기 트랜지스터는:
 상기 유리 기판 위에 제공된 실리콘을 포함하는 단결정 반도체막에 제공된 소스 영역 및 드레인 영역과;
 상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역과;
 상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극을 포

합하는, 디스플레이 디바이스.

청구항 8

디스플레이 디바이스에 있어서:

유리 기판;

상기 유리 기판 위의 픽셀부에 제공된 캐소드로서, 상기 캐소드의 상부 표면은 텍스처 구조인, 상기 캐소드;

상기 캐소드의 상부 표면 위에 제공된 발광층; 및

구동 회로에 제공된 트랜지스터를 포함하고,

상기 트랜지스터는:

상기 유리 기판 위에 제공된 실리콘을 포함하는 단결정 반도체막에 제공된 소스 영역 및 드레인 영역과;

상기 소스 영역과 상기 드레인 영역 사이 및 상기 단결정 반도체막에 제공된 채널 영역과;

상기 채널 영역 위에 제공된 게이트 전극으로서, 그 사이에 게이트 절연막이 구비되는, 상기 게이트 전극을 포함하고,

상기 텍스처 구조는 돌출부들을 포함하고, 상기 돌출부들 사이의 피치가 0.05 내지 1 μ m인, 디스플레이 디바이스.

청구항 9

제 2 항 내지 제 4 항, 제 8 항 중 어느 한 항에 있어서,

상기 발광층 위에 제공된 애노드를 더 포함하는, 디스플레이 디바이스.

청구항 10

제 9 항에 있어서,

상기 애노드는 투명 도전막을 포함하는, 디스플레이 디바이스.

청구항 11

제 2 항 내지 제 4 항, 제 8 항 중 어느 한 항에 있어서,

상기 캐소드는 마그네슘, 리튬 및 칼슘으로 구성된 그룹으로부터 선택된 하나를 포함하는, 디스플레이 디바이스.

청구항 12

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 디스플레이 디바이스는 개인용 컴퓨터, 카메라, 기록 매체가 제공된 이미지 재생 디바이스 및 이동 컴퓨터로 구성된 그룹으로부터 선택된 하나에 통합되는, 디스플레이 디바이스.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 일반적으로 EL(전계 발광) 디스플레이 디바이스인 전자-광학 디바이스, 및 디스플레이로써 상기 전자 광학 디바이스를 구비한 전자 디바이스(전자 디바이스)에 관한 것이다.

배경 기술

<2> 전형적으로는 전계 발광을 위해 유기 재료를 사용하는 EL(전계 발광) 디스플레이 디바이스인, 전기 광학 디바이스의 발전은 최근 몇 년간 빠른 속도로 진전되고 있다. 수동 매트릭스형 EL 디스플레이 디바이스 및 액티브 매트릭스형 EL 디스플레이 디바이스가 있다.

트릭스형 EL 디스플레이 디바이스의 두 가지 형태의 EL 디스플레이 디바이스가 있다.

- <3> 수동 매트릭스형인지 액티브 매트릭스형인지 여부에 상관없이, EL 디스플레이 디바이스는 캐소드와 애노드 사이에 끼워진 EL층이 있는 커패시터 구조(이러한 형태의 구조를 가지는 소자는 본 명세서 전체에서 EL 소자라고 부른다)를 가지며, EL 디스플레이 디바이스는 전류의 흐름에 의해 EL층이 발광하는 원리로 동작한다. 금속 전극은 일반적으로 전자 공급원인 캐소드에 사용되며, 그리고 투명한 도전막은 일반적으로 정공 공급원인 애노드에 사용된다. 이는, 전극들의 쌍 중 하나가 투명하지 않다면, 발광층으로부터 방사된 광이 추출될 수 없기 때문이다.
- <4> 이러한 경우에, EL층에 의해 방사되는 광은 직접 애노드측으로 출력되고, 그리고 캐소드측으로 유도된 광은 캐소드에 의해 반사된 후에 애노드측으로 출력이 된다. 바꾸어 말하면, 관찰자가 애노드측으로부터 디스플레이 디바이스를 관찰(view)하는 것이 필요하다.
- <5> 그러나, 광을 방사하는 상기 EL층의 일부분으로부터, 발광층의 재료에 대응하는 파장을 갖는 광이 보여질 수 있으나, 광을 방사하지 않는 EL층의 부분에서, 캐소드의 후면(발광층 측)의 표면이 애노드 및 EL층을 통해 보여질 수 있다. 그러므로, 이것은 상기 전극의 뒷표면이 거울같은 기능을 하는 것을 의미하며, 상기 관찰자의 얼굴이 반사되는 것을 의미한다.
- <6> 이것을 피하기 위해, 관찰자의 얼굴이 반사되지 않도록 원형 편광막을 상기 EL 디스플레이에 부착시키는 방법이 사용되지만, 원형 편광막은 극히 높은 비용이 들고, 그러므로 제조 비용을 증가시키는 문제가 있다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명은 상기 문제들을 고려하여 이루어지며, 본 발명의 목적은 EL 디스플레이 디바이스가 거울로 되는 것을 막는 것이며, 또한 EL 디스플레이 디바이스 제조 비용이 감소된 저비용 EL 디스플레이 디바이스를 제공하기 위한 것이다. 덧붙여서, 본 발명의 목적은 EL 디스플레이 디바이스를 이용하는 디스플레이를 구비한 전자 디바이스의 비용을 감소시키는 것이다.

과제 해결수단

- <8> 본 발명은 돌출부(projecting portion)가 캐소드의 반사표면 상에 형성되고(발광층 측과 접촉하는 표면), 그리고 캐소드의 반사 표면에 의해 반사된 빛이 산란되는 것을 특징으로 한다. 즉, 본 발명은 캐소드의 반사 표면을 사용하여 애노드측으로부터 입사하는 가시광(외부광)을 난반사(불규칙하게)함으로써, 관찰자에게 캐소드의 반사 표면이 보이지 않게 되는 것을 특징으로 한다.
- <9> 캐소드의 반사 표면상에 형성되는 텍스처(textured) 부분은 오목한 모양의 함몰부(depressions)에 의해 형성되거나, 볼록한 모양의 돌출부에 의해 형성될 수 있다. 또한, 비균일이 반복되는 물결 모양의 표면이 역시 사용될 수 있다. 돌출부는 포토리소그래피 또는 홀로그래피와 같은 기술에 의해 형성될 수 있고(예를 들어, 비균일 반사 구조를 형성하는 기술은 샤프 테크놀로지 리포트, 제 74, PP. 16-9, 1999, 8월호에 기록되어 있다.), 또한 플라즈마 처리 또는 에칭과 같은, 표면 처리에 의해 형성될 수 있다. 또한, 돌출부는 캐소드(또는 베이스 전극)의 막 침착 조건들을 사용하여 표면에 자연적으로 발생될 수도 있다.
- <10> 바꾸어 말하면, 돌출부의 형성은 조절될 수도 있고 조절되지 않을 수도 있으나, 그것은 픽셀의 표면 내의 평균적으로 난반사를(불규칙한 반사) 위해 형성되어야 한다. 상술된 것처럼 돌출부가 형성되는 구조는 본 명세서 전체에서 텍스처 구조로 불린다.
- <11> 또한, 캐소드와 접촉하는 다른 박막들내에 돌출부를 형성하고, 그 후 상부에 캐소드를 형성하는 것에 의해, 돌출부는 캐소드의 반사 표면 내에 형성될 수 있다. 특히, 일본 특개평 제 9-69642호 및 일본 특개평 제 10-144927호는 알루미늄막내에 돌출부를 형성하는 수단에 대해 참조될 수 있다. 즉, 상기 특허 출원에 기초하여 알루미늄막을 형성하고, 알루미늄막의 상부에 캐소드를 적층하는 것에 의해, 돌출부를 구비한 캐소드를 얻는 것이 가능하다.

효 과

- <12> 캐소드 표면에 의해 EL층으로부터 방사된 반사광은 본 발명을 구현하여 확산 반사되고, EL 디스플레이 디바이스

의 이미지 디스플레이부에 반영되는 관찰자의 얼굴 또는 주변 환경의 문제가 해결될 수 있다.

<13> 또한, 원형 편광막과 같은 고가인 막을 이용할 필요가 없고, 이에 의해, EL 디스플레이 디바이스 및 EL 디스플레이 디바이스를 이용하는 전자 디바이스들의 비용을 감소시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<14> 실시 형태 1

<15> 본 발명의 제 1 실시예는 도 1 내지 3b를 사용해서 설명될 것이다. 도 1에 도시된 것은 본 발명의 EL 디스플레이 디바이스의 픽셀부의 단면도이고, 도 2는 도 1의 부분 확대를 도시한다. 도 3a는 EL 디스플레이 디바이스의 상면도이고, 도 3b는 EL 디스플레이 디바이스의 회로도이다. 실제로는 매트릭스 형상으로 배열된 다수의 픽셀이 픽셀부로서(이미지 디스플레이 부분) 형성된다. 공통 기호들이 도 1 내지 3b에서 사용되며, 그러므로 각각의 도면들이 적절하게 참조될 수 있다. 또한, 두 개의 픽셀들이 도 3a의 상면도에 도시되지만, 두 개 모두는 동일한 구조를 구비하므로, 단지 하나만 설명된다.

<16> 도 1에서, 참조 번호(11)는 기판; 참조 번호(12)는 언더 코팅(undercoating)되는 절연막(이하에, 하부막이라 부른다)을 나타낸다. 유리 기판, 유리 세라믹 기판, 석영 기판, 실리콘 기판, 세라믹 기판, 금속 기판, 또는 플라스틱 기판(플라스틱막도 포함)은 기판(11)으로서 사용될 수 있다.

<17> 하부막(12)으로는, 실리콘을 포함하는 절연막이 사용될 수 있다. 본 명세서에서, "실리콘을 포함하는 절연막(insulating film containing silicon)"은, 예를 들어, 실리콘 산화물막, 실리콘 질화물막, 또는 실리콘 질화 산화막(silicon nitride oxide film)(SiOxNy으로 나타냄)과 같이, 미리 결정된 비율로 실리콘, 산소 및 질소를 포함하는 절연막을 나타낸다.

<18> 여기에서, 두 개의 TFT들이 픽셀 내에 형성된다. 참조 번호(201)는 스위칭 소자로 기능하는 TFT를(이하에서, 스위칭 TFT라 부른다) 나타내며; 202는 EL 소자로 흐르는 전류의 양을 제어는 전류 제어 소자로 기능하는 TFT(이하에 전류 제어 TFT라 부른다)를 나타낸다. 두 개 모두 n-채널 TFT로부터 형성되나, p-채널 TFT가 사용될 수도 있다.

<19> 스위칭 TFT (201)는; 소스 영역(13), 드레인 영역(14), LDD 영역들(15a 내지 15d), 고농도 집중 불순물 영역(16), 및 채널 형성 영역(17a 과 17b)을 포함하는 액티브층; 게이트 절연막(18); 게이트 전극들(19a, 19b); 실리콘 질화 산화물막으로 만들어진 보호막(20); 제 1 층간 절연막(21); 소스 배선(22); 및 드레인 배선(23)을 가진다. 드레인 영역(14)은 드레인 배선(23)을 통해 전류 제어 TFT(202)의 게이트 전극(35)에 전기적으로 접속되는 것을 주목한다.

<20> 또한, 상기 게이트 전극들(19a 및 19b)은 이중 게이트 구조이며, 또한 이중 게이트 구조에 더하여, 삼중 게이트 구조와 같은 소위 다중 게이트 구조(각각 직렬로 접속된 둘 이상의 채널 형성 영역들을 가지는 액티브층을 포함하는 구조)가 채택될 수 있다. 다중 게이트 구조는 오프 전류값을 감소시키는데 있어서 극히 효과적이며, 픽셀의 스위칭 소자로서 극히 효과적인 구조이다.

<21> 상기 액티브층은 결정 구조를 포함하는 반도체막으로부터 형성된다. 즉, 단결정 반도체막이 사용될 수 있고, 다결정 반도체막 또는 미세결정 반도체막이 사용될 수 있다. 상기 게이트 절연막(18), 보호막(20) 및 제 1 층간 절연막(21)은 실리콘을 함유하는 절연막으로부터 형성될 수 있다. 또한, 임의의 도전막이 게이트 전극들(19a 및 19b), 소스 배선(21), 또는 드레인 배선(22)에 사용될 수 있다.

<22> 또한, 스위칭 TFT(201)에 있어서, LDD 영역들과 게이트 전극들 사이에 게이트 절연막(18)이 배치되어, LDD 영역들(15a 내지 15d)은 게이트 전극들(17a, 17b)과 중첩하지 않는다. 상기 구조는 오프 전류값을 감소시키는데 있어서 매우 효과적이다.

<23> 오프 전류를 감소시키기 위해, 채널 형성 영역과 LDD 영역 사이에 오프셋 영역(상기 채널 형성 영역과 같은 조성을 갖는 반도체층으로 만들어지며, 게이트 전압이 인가되지 않은 영역)을 제공하는 것이 더 바람직하다는 것을 주목한다. 두 개 이상의 게이트 전극들을 구비한 다중 게이트 구조의 경우, 채널 형성 영역들 사이에 제공된 고농도 불순물 영역이 오프 전류값을 감소시키는데 있어서 효과적이다.

<24> 상술한 바와 같이, 상기 픽셀의 스위칭 소자(201)로써 다중 게이트 구조의 TFT를 사용하는 것에 의해, 충분히 낮은 오프 전류값을 가지는 스위칭 소자를 실현하는 것이 가능하다. 그러므로, 일본 특개평 제 10-189252호의 도 2에 도시된 콘텐츠가 제공되지 않을지라도, 전류 제어 TFT의 게이트 전압은 충분한 시간(선택된 지점과 다음

에 선택된 지점 사이의 기간) 동안 유지될 수 있다.

- <25> 즉, 유효 발광 영역(effective light emitting area)을 좁아지게 하는, 종래의 요인이었던 콘덴서를 제거하는 것이 가능하며, 유효 발광 영역을 넓히는 것이 가능하다. 이것은 EL 디스플레이 디바이스의 화질이 밝게 되는 것을 의미한다.
- <26> 다음, 전류 제어 TFT(202)는 소스 영역(31), 드레인 영역(32), LDD 영역(33) 및 채널 형성 영역(34)을 포함하는 액티브층, 게이트 절연막(18), 게이트 전극(35), 보호막(20), 제 1 층간 절연막(21), 소스 배선(36), 및 드레인 배선(37)을 포함한다. 게이트 전극(35)이 단일 게이트 구조이지만, 다중 게이트 구조가 채택될 수 있다.
- <27> 도 1에 도시한 것처럼, 스위칭 TFT의 상기 드레인은 전류 제어 TFT의 게이트와 접속한다. 구체적으로, 전류 제어 TFT(202)의 게이트 전극(35)은 드레인 배선(23)(접속 배선이라 부를 수 있다.)을 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기적으로 접속된다. 상기 소스 배선(36)은 전류 공급선(211)과 접속된다.
- <28> 상기 전류 제어 TFT(202)는 EL 소자(203)에 주입되는 전류의 양을 제어하는 소자이지만, EL 소자의 열화를 고려할 때, 많은 전류 양을 공급하는 것은 바람직하지 않다. 그러므로 과도한 전류가 전류 제어 TFT(202)에 흐르는 것을 막기 위해, 채널 길이(L)를 길게 설계하는 것이 더 양호하다. 바람직하게는, 상기 전류는 픽셀 당 0.5 내지 $2\mu\text{A}$ (양호하게는 1 내지 $1.5\mu\text{A}$)가 되도록 설계된다.
- <29> 상기를 고려할 때, 도 9에 도시한 바와 같이, 스위칭 TFT의 채널 길이가 $L1(L1=L1a + L1b)$ 이고, 상기 채널의 폭이 $W1$ 이고, 전류 제어 TFT의 채널 길이가 $L2$ 이고, 그 채널 폭은 $W2$ 일 때, $W1$ 는 0.1 내지 $5\mu\text{m}$ (전형적으로는 0.5 내지 $2\mu\text{m}$)로, $W2$ 는 0.5 내지 $10\mu\text{m}$ (전형적으로는 2 내지 $5\mu\text{m}$)로 만드는 것이 바람직하다. 또한, $L1$ 은 0.2 내지 $18\mu\text{m}$ (전형적으로는 2 내지 $15\mu\text{m}$), $L2$ 는 1 내지 $50\mu\text{m}$ (전형적으로는 10 내지 $30\mu\text{m}$)로 만드는 것이 바람직하다. 그러나 본 발명은 상기 수치에 제한되지 않는다.
- <30> 게다가, 스위칭 TFT(201)내에 형성되는 상기 LDD 영역의 길이(폭)는 0.5 내지 $3.5\mu\text{m}$, 전형적으로는 2.0 내지 $2.5\mu\text{m}$ 로 만드는 것이 적당하다.
- <31> 또한, 도 1에서 도시된 상기 EL 디스플레이 디바이스는, 전류 제어 TFT(202)내에서 LDD 영역(33)이 드레인 영역(31)과 채널 형성 영역(34) 사이에 제공되고, 상기 LDD 영역(33)은, 그 사이에 놓인 게이트 절연막(18)을 통하여, 게이트 전극(35)과 중첩하는 영역 및 중첩하지 않는 영역을 포함한다.
- <32> 상기 전류 제어 TFT(202)는 EL 소자(203)가 발광하도록 하는 전류를 공급하며, 계조(gradation) 디스플레이를 가능케 하도록 공급량을 제어한다. 그러므로 전류가 공급되더라도 열화가 발생하지 않도록 핫 캐리어 주입에 기인하는 열화에 대한 대책이 필요하다. 검은색이 디스플레이될 때, 상기 전류 제어 TFT(202)가 턴 오프되더라도, 그때의 오프 전류값이 높다면, 선명한 검은색 디스플레이가 불가능하고, 콘트라스트의 저하 등이 유발된다. 그러므로, 오프 전류값을 억제하는 것이 필요하다.
- <33> 핫 캐리어 주입에 기인한 열화에 관하여, LDD 영역이 게이트 전극과 중첩하는 구조는 매우 효과적이라는 것이 알려져 있다. 그러나, 모든 LDD 영역이 게이트 전극과 중첩하도록 만든다면, 오프 전류값은 증가된다. 그러므로, 본 출원인은 게이트 전극과 겹치지 않는 상기 LDD 영역이 직렬로 제공되는 새로운 구조를 고안하여, 핫 캐리어 대책 및 오프 전류값 대책의 문제들을 동시에 해결하였다.
- <34> 이때에, 게이트 전극과 중첩하는 LDD 영역의 길이는 0.1 내지 $3\mu\text{m}$ (바람직하게는 0.3 내지 $1.5\mu\text{m}$)로 만드는 것이 적당하다. 만일 상기 길이가 너무 길면, 기생 용량(parasitic capacity)이 커지며, 또한 길이가 짧다면, 핫 캐리어를 막는 효과가 약해진다. 또한, 게이트 전극과 중첩하지 않는 LDD 영역의 길이가 1.0 내지 $3.5\mu\text{m}$ (바람직하게는 1.5 내지 $2.0\mu\text{m}$)로 만드는 것이 적합하다. 만일 그 길이가 너무 길면, 충분한 전류가 흐르는 것이 불가능하며, 또한 너무 짧으면, 오프 전류값을 낮추는 효과 약해진다.
- <35> 알려진 구조에 있어서, 기생 용량은 게이트 전극 및 LDD 영역이 서로 중첩하는 영역에서 형성된다. 그러므로, 상기 소스 영역(31)과 채널 형성 영역(34) 사이의 그러한 영역을 제공하지 않는 것이 바람직하다. 전류 제어 TFT에서, 캐리어들(여기에서 전자)의 흐름 방향이 항상 같기 때문에, LDD 영역이 드레인 영역측에만 제공된다면 충분하다.
- <36> 또한, 전류 흐름의 양을 제어하는 관점으로 보면, 전류 제어 TFT(202)의 액티브층(특히 채널 형성 영역)의 막의 두께를 더 얇게 만드는 것이 또한 효과적이다(바람직하게는 20 내지 50nm, 30 내지 35nm가 더 바람직하다). 이와 같이, 전류 흐름값을 줄이는 것은 또한 스위칭 TFT(201)에 대해 바람직한 효과를 일으킨다.

- <37> 다음에, 참조 번호(41)는 제 1 패시베이션막을 나타내고, 또한 막의 두께는 200 내지 500nm이다(바람직하게는 300 내지 400nm). 실리콘을 포함하는 절연막(실리콘 질화 산화물막 또는 실리콘 질화물막은 특히 양호하다)은 제 1 패시베이션막(41) 재료로서 사용될 수 있으며, 형성된 TFT들을 보호하는 역할을 한다. 알칼리성 금속들과 같은 이동 이온들은 TFT상에 마지막으로 형성된 EL층에 자주 포함되며, 또한 제 1 패시베이션막(41)은 이동하는 이온들이 TFT층으로 들어가지 못하도록 보호막으로써 작용한다.
- <38> 또한, 제 1 패시베이션막(41)이 열 방사 효과를 갖도록 하면, EL 및 TFT들의 열화에 의한 특성 열화를 방지할 수 있다. 열 방사 효과를 구비한 재료로서: B(붕소), C(탄소), 및 N(질소)으로 구성된 그룹으로부터 선택된 최소한 한 가지 원소, 및 Al(알루미늄), Si(실리콘), 및 P(인)로 구성된 그룹으로부터 선택된 최소한 하나의 원소를 포함하는 절연막을 들 수 있다.
- <39> 예를 들어, 질화 알루미늄(Al_xNy)으로 대표되는 알루미늄의 질화물, 탄화 실리콘(Si_xCy)으로 대표되는 실리콘의 탄화물, 질화 실리콘(Si_xNy)에 의해 대표되는 실리콘의 질화물, 또는 질화 붕소(B_xNy)로 대표되는 붕소의 질화물, 인화 붕소(B_xPy)로 대표되는 붕소의 인화물을 사용하는 것이 가능하다. 산화 알루미늄(Al_xO_y)에 의해 대표되는 알루미늄의 산화물은 $20Wm^{-1}K$ 의 열도전성을 가지며, 양호한 재료들 중 하나로써 언급될 수 있다. 이러한 재료들은 상술된 효과들뿐만 아니라 습기의 침입을 막는데 효과적이다. 상술된 재료들에 있어서, x 및 y는 각각 임의의 정수들인 것을 주의하라.
- <40> 다른 원소와 상기 화합물을 결합시키는 것이 또한 가능하다는 것을 주목한다. 예를 들어, 알루미늄 산화물에 질소를 첨가하는 것에 의해 AlN_xO_y 으로 표시되는 질산화 알루미늄을 사용하는 것이 또한 가능하다. 이러한 재료는 또한 습기 또는 열 방사 효과 외에 알칼리 금속의 침투를 막는 효과를 가진다. 상기 질산화 알루미늄에서, x 및 y는 각각 임의의 정수들이라는 것을 주의하라.
- <41> 또한, 일본 특개소 제 62-90260호에서 개시된 재료들을 사용하는 것이 가능하다. 즉, Si, Al, N, O, 또는 M(M은 최소한 한 종류의 희토류 원소이며, Ce(세륨), Yb(이트륨), Sm(사마륨), Er(에르븀), Y(이트륨), La(라렌), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)으로부터 선택된 최소한 하나의 원소인 것이 바람직하다). 이러한 재료들은 습기의 침투 및 열 방사 효과 외에 알칼리 금속의 침투를 막는데 효과적이다.
- <42> 또한, 최소한 하나의 다이아몬드 박막 또는 비정질 탄소막을(특히 다이아몬드에 가까운 특성을 갖는 막으로, 및 다이아몬드형 탄소 또는 그와 비슷한 것으로 불리는 막) 포함하고 있는 탄소막을 사용하는 것이 가능하다. 이러한 것들은 매우 높은 열전도를 가지고 있으며 또한 열 방사층으로써 매우 효과적이다.
- <43> 제 1 패시베이션막(41)의 주된 목적이 알칼리성 금속들에 대하여 TFT를 보호하는 것이고, 막이 상기 효과를 손상하지 말아야 하는 것을 주의한다. 이와 같이, 알려진 열 방사 효과를 가지고 있는 재료로 만들어진 박막이 홀로 사용됨에도 불구하고, 상기 박막 및 절연막(전형적으로 질화 실리콘(Si_xNy)막 또는 질산화 실리콘(SiO_xNy)막)을 적층하는 것이 효과적이다. 질화 실리콘막 또는 질산화 실리콘막에 있어서, x 및 y는 각각 임의의 정수이다.
- <44> 레벨링(leveling)막으로 참조되는 제 2 층간 절연막은 제 1 패시베이션막(41) 위에 형성되고, 상기 TFT에 기인하는 단차의 레벨링(평탄화)이 실행된다. 제 2 층간 절연막(42)으로서, 유기 수지막을 사용하는 것이 바람직하며, 폴리이미드, 폴리아미드, 아크릴, 및 BCB(벤조사이클로부탄)와 같은 재료들이 사용될 수도 있다. 충분한 레벨링이 가능하다면, 무기막 또한 사용될 수 있다.
- <45> 또한, 참조 번호(43)는 주성분으로서 알루미늄을 가지는 재료(50과 99.9% 사이의 알루미늄 조성비)로부터 만들어진 픽셀 전극을 나타내며, 돌출부들은 표면에 형성된다. 참조 번호(44)는 알칼리성 금속 또는 알칼리 토금속을 포함하는 금속막으로부터 만들어진 캐소드를 나타낸다. 상기 캐소드(44)는 이때, 픽셀 전극(43)의 돌출부들을 따라가면서 형성되며, 그러므로 돌출부들(45)은 또한 캐소드(44)의 표면에서 형성된다.
- <46> 실리콘(Si), 니켈(Ni), 또는 구리(Cu) 중 하나를 0.1 내지 6.0 중량%(바람직하게는 0.5 내지 2.0 중량%)를 포함하는 알루미늄막은 픽셀 전극(43)으로서 사용될 수도 있다.
- <47> 캐소드(44)로서, 낮은 일함수를 가지며 마그네슘(Mg), 리튬(Li), 또는 칼슘(Ca)을 포함하는 재료가 사용된다. 양호하게는, MgAg로 만들어진 전극(Mg:Ag=10:1의 비율로 혼합된 Mg 및 Ag의 재료)이 사용된다. 또한, MgAg/Al 전극, Li/Al 전극, 및 LiF/Al 전극이 열거될 수 있다.
- <48> 돌출부들(45)이 자세히 설명된다. 도 1에서 참조 번호(204)에 의해 나타내는 영역의 확대도가 도 2에서 도시된다. 도 2에서 도시된 것처럼, 돌출부들(45) 사이의 간격(피치(pitch))을 X라 하면, $X=0.05$ 내지 $1\mu m$ (바람직하게

는 0.3 내지 0.8 μ m)로 설정하는 것이 바람직하다. 바꾸어 말하면, 가시 광선의 파장과 거의 같도록 돌출부(45)의 피치를 설정하는 것에 의해, 반사되는 광의 난반사(불규칙 반사)가 효과적으로 발생하도록 만들 수 있다.

<49> 또한, 돌출부(45)가 도 2에서 도시된 바와 같이 산 모양으로 만들어질 때, 기관 표면(박막이 형성된 기관의 표면)에 평행한 선과 돌출부들에 의해 형성되는 각 θ 는, 30 내지 70°(양호하게는 50 내지 60°)로 설정하는 것이 바람직하다.

<50> 게다가, EL층(46)은 돌출부(45)를 구비한 캐소드(44)에서 형성된다. 상기 EL막(46)은 알려진 재료들 및 구조들을 사용하여 형성된다. 즉, EL층은 발광층으로만 형성될 수 있으며, 또한 정공 전송층과 발광층을 포함하는 구조, 또는 정공 전송층, 발광층 및 전자 전송층을 포함하는 구조를 사용하여 형성될 수 있다.

<51> 또한, EL층(46) 재료는 저분자 중량 재료 또는 고분자 중량 재료(중합체)일 수 있다. 그러나, 스핀 코팅과 같은 용이한 막 침착 방법(easy film deposition method)에 의해 형성될 수 있는 고분자 중량 재료를 사용하는 것이 효과적이다.

<52> 도 1의 구조는 RGB중의 어느 하나에 상응하는 한 종류의 EL 소자가 형성되는 단색의 발광 시스템을 사용하는 경우의 예이다. 도 2는 단지 하나의 픽셀만을 도시하지만, 동일 구조를 가지는 복수의 픽셀들이 픽셀부에서 매트릭스 형태로 정렬된다. 알려진 재료가 RGB 중 어느 하나에 상응하는 EL층에 인가될 수 있다는 것을 주목한다.

<53> 상기 시스템에 덧붙여서, 백색 발광의 EL 소자와 컬러 필터가 결합된 시스템, 청 또는 청록 발광의 EL 소자와 형광 재료(형광 컬러 변환층: CCM)가 결합된 시스템, RGB에 상응하는 EL 소자들이 적층된 시스템 등을 사용하여 컬러 디스플레이를 할 수 있다. 물론, 백색 발광 EL층을 단일층에 형성하여 흑백 디스플레이를 할 수 있다.

<54> 애노드(47)는 투명 도전막층으로부터 만들어지며, 또한 제 2 패시베이션막(48)이 EL층(46)상에서 형성된다. 투명 도전막으로서, 인듐 산화물 및 주석 산화물(ITO 막으로써 참조)의 화합물막 또는 인듐 산화물 및 아연 산화물의 화합물막을 사용할 수 있다. 주석 산화물 또는 아연 산화물은 인듐 산화물에 대하여 5 내지 20 중량%의 비율로 혼합될 수 있다. 또한 제 1 패시베이션막(41)과 동일한 재료가 제 2 패시베이션막(48)으로 사용될 수도 있다.

<55> 상기 실시예의 EL 디스플레이 디바이스는 도 1과 같은 구조를 가지는 픽셀을 포함하며, 기능에 따라 다른 구조들을 가지는 TFT가 픽셀 내에서 배치된다. 이것에 의해, 오프 전류값이 충분히 낮은 스위칭 TFT, 및 핫 캐리어 주입에 대해 강한 전류 제어 TFT를 동일 픽셀 내에 형성할 수 있고, 또한 신뢰도가 높고 우수한 영상 디스플레이(고성능)가 가능한 EL 디스플레이 디바이스를 달성할 수 있다.

<56> 실시 형태 2

<57> 단일 매트릭스형 EL 디스플레이 디바이스에서 본 발명의 실시예는 실시 형태 2에서 도 16에 도시된다. 도 16에서, 참고 번호(1601)는 기관을 나타내며, 참고 번호(1602a)는 실리콘을 첨가한 알루미늄막들을 나타내고, 또한 (1602b)는 알루미늄막들(1602a) 상에서 연속해서 형성하는 리튬 불화물막들로부터 만들어지는 캐소드들이다. 적층 구조물(lamination)에 있어서 이러한 막들로 구성된 전극들(1602)이 스트라이프형으로 정렬되어 형성된다. 상기 전극들(1602)은 제 1 전극들로서 인가된다.

<58> 실시 형태 2에서, 막 침착시의 단계들 때문에, 표면에서 형성된 돌출부들을 가지도록 알루미늄막들(1602a)이 침착되며, 돌출부들(1603)은 베이스막 알루미늄막들(1602a)에서 형성된 돌출부들을 따라 리튬 불소막 캐소드들(1602b)의 표면에 형성된다.

<59> EL층(1604)은 상기 전극들(1602)상의 저분자 중량 유기 재료 또는 고분자 중량 유기 재료에 의해 형성되며, 투명한 도전막들로부터 만들어진 복수의 애노드들(1605)은 EL층(1604)상에 형성된다. 상기 애노드들(1605)은 제 1 전극들(1602)과 상관없이 수직으로 형성되며, 스트라이프형으로 형성된다. 상기 전극들(1605)은 제 2 전극들로서 인가된다.

<60> 그러므로, 매트릭스는 제 1 전극들(1602) 및 제 2 전극들(1605)에 의해 형성되고, EL 소자들은 제 1 전극들(캐소드들), EL층 및 제 2 전극들(애노드들)에 의한 교차 부분들에서 형성된다. 미리 결정된 전압이 제 1 전극들(1602) 및 제 2 전극들(1605)에 인가되고, EL층(1604)은 발광하게 된다.

<61> 발광하지 않는 부분들에서, 캐소드들(1602b)의 표면은 이 지점에서 볼 수 있으나, 외부 광이 돌출부들(1603)에 의해 난반사(불규칙하게)되고, 따라서 관찰자(observer)의 얼굴 및 배경(scenery)이 반사되지 않는다. 바꾸어 말하면, 타원의 막 등을 사용할 필요가 없으며, 그러므로 EL 디스플레이 디바이스의 제조 비용을 감소시키는 것

이 가능하다.

<62> 실시예 1

- <63> 본 발명의 실시예들은 도 4a에서 6c를 사용하여 도시된다. 픽셀부의 동시의 제조 방법, 및 드라이버 회로 부분의 TFT들이 픽셀부의 주위에 형성되며, 여기에서 도시된다. 상기 설명을 단순화하기 위해, CMOS 회로는 드라이버 회로들에 대한 기본 회로로서 도시된다는 것을 주목해라.
- <64> 도 4a에서 도시된 것처럼, 제 1 베이스막(301)은 유리 기판(300) 상에 300nm 두께를 구비하여 형성된다. 산화된 실리콘 질화물막들은 실시 1에서 베이스막(301)으로서 적층된다. 유리 기판(300)과 접촉하는 막에서 10 내지 25 wt%로 농도를 설정하는 것이 좋다.
- <65> 또한, 하부막(301)의 부분으로써, 도 2에서 도시되는 제 1 패시베이션막(41)과 비슷한 재료로 만든 절연막을 제공하는 것이 효과적이다. 상기 전류 제어 TFT는 많은 전류가 흐르기 때문에 열을 발생시키기 쉽고, 또한 가능한 한 가까운 곳에 열 발생 효과를 가지는 절연막을 제공하는 것이 효과적이다.
- <66> 상기 도면에서 도시되지 않은 비정질의 실리콘막은 침착 방법에서 알려진 것에 의해 베이스 막(301)상의 두께 50nm를 구비하여 형성된다. 이러한 방법은 비정질 실리콘막을 제한하는 것이 불필요하며, 다른 막은 비정질 구조를 포함하는 반도체막(미정질 반도체막)을 제공하여 형성될 수 있다. 또한, 비정질 실리콘 게르마늄막과 같은, 비정질 구조를 포함하는 합성 반도체막은 또한 사용될 수 있다. 상기 막의 두께는 20에서 100nm로 만들어질 수 있다.
- <67> 상기 비정질 실리콘막은 알려진 방법, 다결정 실리콘막 또는 실리콘막으로 부르는, 결정 실리콘막(302)을 형성한다. 전기로를 사용하는 열 결정화(thermal crystalline), 레이저를 사용한 레이저 어닐링 결정화(laser annealing crystallization), 및 적외선 램프를 사용하는 램프 어닐링 결정화(lamp annealing crystallization)는 알려진 결정화 방법들으로써 존재한다. 결정화는 XeCl 가스를 사용하는 엑시머 레이저로부터의 광을 사용하는 실시 1에서 실행된다.
- <68> 선형으로 형성된 펄스 방사형 엑시머 레이저 광선은 실시예 1에서 사용되며, 직각 모양이 또한 사용되고, 또한 연속적인 방사 아르곤 레이저 광선 및 연속적인 이미션 엑시머 레이저 광선이 사용될 수 있다는 것을 주목한다.
- <69> 상기 실시예에서, 결정 실리콘막은 상기 TFT의 액티브층으로써 사용될지라도, 비정질의 실리콘막을 사용하는 것이 또한 가능하다. 그러나, 가능한 작게 전류 제어 TFT의 영역을 만드는 것에 의해 픽셀의 개구율을 증가시키기 위해, 전류가 쉽게 흐를 수 있음에도 불구하고 상기 결정 실리콘막을 사용하는 것이 유리하다.
- <70> 스위칭 TFT의 비정질 실리콘막에 의해 액티브층을 형성하는 것이 효과적이며, 오프 전류를 감소, 및 결정 실리콘막에 의해 전류 제어 TFT의 액티브층을 형성하는 것이 유리하다. 전류는 캐리어 이동도가 낮기 때문에, 비정질 실리콘막에서 어렵게 흐르며, 또한 오프 전류가 쉽게 흐르지 못한다. 바꾸어 말하면, 대부분은 전류가 쉽게 흐르지 못하는 비정질 실리콘막과 전류가 쉽게 흐르는 결정 실리콘막 둘 다의 장점으로 만들어질 수 있다.
- <71> 다음에 도 4b에서 도시된 것처럼, 보호막(303)은 130nm의 두께를 가지는 실리콘 산화물막을 구비한 결정 실리콘(302)상에서 형성된다. 이러한 두께는 100 내지 200nm(바람직하게는, 130과 170 사이)의 범위 내에서 선택되어질 수 있다. 또한, 다른 막들은 실리콘을 포함한 절연막이 있는 것을 제공하여 사용할 수 있다. 보호막(303)은 결정화 실리콘막이 불순물 첨가 동안 직접적으로 플라즈마를 쏘이지 않도록 형성되며, 또한 불순물의 정밀한 농도 조절을 하는 것이 가능하게 하도록 형성된다.
- <72> 그 후에 저항 마스크들(304a 및 304b)이 보호막(303)상에서 형성되며, 또한 여기에서 n형 불순물 원소로 인가된 n형 도전을 첨가한 불순물 원소가 첨가된다. 주기 테이블 그룹(15)에서 존재하는 원소들은 일반적으로 n형 불순물 원소로써 사용되며, 또한 대체로 인 또는 비소가 사용될 수 있다는 것을 주목한다. 플라즈마 도핑 방법이 포스핀(PH₃)이 질량의 분리 없이 활성화되며, 또한 인은 실시예 1에서 1×10^{18} atoms/cm³의 농도에서 첨가되어 사용될 수 있다는 것을 주목한다. 질량 분리가 실행되는데 있어서, 이온 주입법이 또한 사용될 수도 있다.
- <73> 상기 도즈(dose) 양은 n형 불순물 원소가 n형 영역들(305 및 306)에 포함되도록 조절되며, 그러므로 2×10^{16} atoms/cm³ 내지 5×10^{19} atoms/cm³의 농도(전형적으로 5×10^{17} atoms/cm³ 내지 5×10^{18} atoms/cm³의 농도)로 이러한 공정에 의해 형성된다.
- <74> 도 4c에서 알려진 것처럼, 보호막(303)이 제거되고, 첨가된 주기 테이블 그룹(periodic table group)(15) 원소

들의 활성화가 실행된다. 알려진 활성화 기술은 활성화 수단들으로써 사용될 수 있으며, 또한 활성화는 엑시머 레이저 광선의 조사에 의해 실시예 1에서 실행된다. 물론 펄스 방사형 엑시머 레이저 및 연속 방사형 엑시머 레이저 모두 사용될 수 있으며, 또한 엑시머 레이저 광선의 사용상 어느 한계에 놓는 것이 불필요하다. 상기 목적은 첨가된 불순물 원소의 활성화이며, 또한 조사는 결정 실리콘막이 녹지 않는 수준의 에너지 레벨에서 실행되도록 하는 것이 바람직하다. 상기 레이저의 조사는 또한 보호막(303)에 적소에 실행될 수 있다는 것을 주목한다.

<75> 열처리에 의한 활성화는 또한 레이저 광에 의해 상기 불순물 원소의 활성화를 따라 실행되어 질 수 있다. 상기 기관의 열 저항을 고려해서, 활성화가 열처리에 의해 실행될 때, 450 내지 550°C의 순서로 열처리를 실행하는 것이 좋다.

<76> n형 불순물 영역들(305 및 306)의 경계부들, 즉 n형 불순물 영역(305 및 306)의 주위에 나타나게 되는 영역들을 가지며, 또한 n형 불순물을 첨가되지 않은 영역들을 가지는 경계부(접촉부들)는 이 공정에 의해 묘사된다. 이것은, 이 지점에서 상기 TFT들이 나중에 완성될 때, 매우 좋은 접속들이 LDD 영역들 및 채널 형성 영역들 사이에 형성될 수 있다는 것을 의미한다.

<77> 도 4d에서 도시되는 것처럼, 상기 결정 실리콘막의 불필요한 부분들은 나중에 제거되며, 또한 이후에 액티브층으로써 적용되는 섬모양의 반도체막들(307 내지 310)이 형성된다.

<78> 도 4e에서 도시된 것처럼, 게이트 절연막(311)이 형성되며, 상기 액티브층들(307 내지 310)을 덮는다. 실리콘을 포함하며, 10에서 200nm까지의 두께(양호하게는 50과 150nm사이)를 구비한 절연막은, 게이트 절연막(311)으로써 사용될 수 있다. 단일층 구조 또는 적층 구조가 사용될 수도 있다. 110nm 두께의 산화 실리콘 질화물막은 실시예 1에서 사용된다.

<79> 도전막은 200 내지 400nm의 두께를 구비하여 다음에 형성되며, 또한 패턴화되어서 만들어지고, 게이트 전극들(312 내지 316)을 형성한다. 단일층 도전막들은 게이트 전극들(312 내지 316)에 대해 형성될 수 있으며, 필요할 때, 두 가지 층들 또는 세 가지 층들과 같은 적층막을 형성하는 것이 바람직하다. 알려진 모든 도전막들은 게이트 전극 재료로써 사용될 수 있다.

<80> 전형적으로, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 실리콘(Si), 상기 원소(전형적으로 탄탈 질화물막, 텅스텐 질화물막, 또는 티타늄 질화물막)의 질화물의 막, 상기 원소들(전형적으로 Mo-W 합금, Mo-Ta 합금)의 조합의 합금막, 또는 상기 원소(전형적으로 텅스텐 실리콘사이드막, 티타늄 실리콘사이드막)의 실리콘사이드막으로부터 선택된 소자로 만들어진 막을 사용하는 것이 가능하다. 물론, 상기 막들은 단일층 또는 적층막으로써 사용될 수도 있다.

<81> 상기 실시예에서, 50nm의 두께를 구비하는 텅스텐 질화물(WN)막, 또한 350nm의 두께를 구비하는 텅스텐(W)막이 사용된다. 이러한 것들은 스퍼터링 수단에 의해 형성될 수도 있다. 불활성 가스 Xe, Ne 등이 스퍼터링 가스로써 첨가될 때, 스트레스에 기인하는 막이 벗겨지는 것(film peeling)이 방지될 수 있다.

<82> 상기 게이트 전극들(313 및 316)은 n형 불순물 영역들(305 및 306)의 부분과 각각 중첩하도록 형성되며, 상기 게이트 절연막(311)에 끼워 넣는다. 이러한 중첩 영역은 나중에 상기 게이트 전극과 중첩하는 LDD 영역이 된다.

<83> n형 불순물 원소(인은 실시예 1에서 사용된다)는 도 5a에서 도시되는 것처럼, 마스크로써 게이트 전극들(312 내지 316)을 구비하는 자기-정렬(self-aligning) 수단으로 첨가된다. 상기 첨가는, 인이 불순물 영역들(317 내지 323)에 첨가되어 불순물 영역들(305 및 306)의 1/10 내지 1/2의 농도(전형적으로 1/4과 1/3 사이)로 형성되는 되도록 조절된다. 전형적으로, 1×10^{17} 내지 5×10^{18} atoms/cm³(전형적으로 3×10^{17} 내지 3×10^{18} atoms/cm³)의 농도가 적합하다.

<84> 도 5b에서 도시되는 것처럼, 저항 마스크들(324a 내지 324d)은 게이트 전극들 등을 덮는 모양을 구비하여, 형성되며, 또한 n형 불순물 원소(실시예 1에서 사용되는 인)가 첨가되고, 고농도 인을 포함하는 불순물 영역들(325 내지 331)을 형성한다. 포스핀(PH₃)을 사용하는 이온 도핑은 또한 여기에서 실행되며, 또한 이러한 영역들의 상기 인 농도는 1×10^{20} 내지 1×10^{21} atoms/cm³(전형적으로 2×10^{20} 과 5×10^{21} atoms/cm³ 사이)이 되도록 조절된다.

<85> 상기 n-채널 TFT 소스 영역 또는 드레인 영역은 이러한 과정으로 형성되며, 또한, 스위칭 TFT에서, 도 5a의 공정에 의해 형성되는 n형 불순물 영역들(320) 내지(322) 부분들이 남는다. p형 불순물 원소(실시예 1에서 사용된 붕소)는 그 후에 첨가되며, 고농도 붕소를 포함한 불순물 영역들(333 및 334)을 형성한다. 붕소는 다이보레인

(B₂H₆)을 사용하는 이온 도핑에 의해 3×10^{20} 내지 3×10^{21} atoms/cm³의 농도(전형적으로 5×10^{20} 내지 1×10^{21} atoms/cm³의 농도)에서 불순물 영역들(333 및 334)을 형성하여 첨가된다.

- <86> 인은 이미 1×10^{20} 내지 1×10^{21} atoms/cm³의 농도로 상기 불순물 영역(333 및 334)으로 첨가되었으나, 여기에서 붕소는 적어도 인의 세배의 농도로 첨가된다. 그러므로, 형성된 n형 불순물 영역들은 이미 완벽히 p형으로 반전되며, 또한 p형 불순물 영역들로 기능을 한다.
- <87> 저항 마스크(332)를 제거한 후에, 상기 게이트를 보호하도록 사용되는 절연막(보호막)(335)이 형성된다. 상기 절연막(335)은 다음에 실행된 열처리 동안 산화에 기인하는 게이트 전극들의 저항값에 있어서 증가를 막기 위해 형성된다. 실리콘을 포함하는 50 내지 300nm(바람직하게는 100 내지 200nm)의 두꺼운 절연막은 상기 절연막(335)과 같이 형성될 수도 있다(도 5d 참조).
- <88> 다양한 농도에서 액티브층에 첨가되는 상기 n형 및 p형 불순물 원소들은 다음에 활성화된다. 용광로 어닐링, 레이저 어닐링, 램프 어닐링, 또는 이러한 과정들의 조합은 활성화 수단으로써 사용될 수 있다. 실시예 1에서, 열처리(노 어닐링)는 전기 용광로 내의 질소 가스로 550°C에서 4시간 동안 실행된다.
- <89> 도 6a에서 도시된 바와 같이, 제 1 층간 절연막(336)이 형성된다. 실리콘을 포함하는 단일층 절연막은 제 1 층간 절연막(336)으로써 사용되며, 반면에 적층막이 사이에서 조합될 수 있다. 또한, 400nm 내지 1.5 μ m의 막 두께들이 사용될 수 있다. 200nm 두께의 산화 실리콘 질화물막 상에서 800nm 두께의 실리콘 산화막의 적층 구조는 실시예 1에서 사용된다.
- <90> 덧붙여서, 열처리는 3 내지 100퍼센트의 수소를 포함하는 환경에서 300 내지 450°C에서 1시간 내지 12시간 동안 실행되고, 수소첨가를 실행한다. 본 과정은 열적으로 활성화되는 수소에 의한 반도체막 내에서 수소 말단(hydrogen termination)의 덩글링 결합들(dangling bonds) 중 하나이다. 플라즈마에 의해 활성화되는 수소를 사용하는 플라즈마 수소 첨가는 또한 다른 수소화 수단들으로써 실행될 수도 있다.
- <91> 상기 수소 첨가 단계는 또한 제 1 층간 절연막(336)을 형성하는 동안 삽입되어 질 수 있다는 것을 주목한다. 즉, 수소 처리는 200nm 두께의 산화 실리콘 질화물막을 형성한 후에 알려진 것처럼 실행될 수 있고, 또한 나머지 800nm 두께의 실리콘 산화물막이 형성될 수 있다.
- <92> 접촉홀(contact hole)은 제 1 층간 절연막(336)내에서 형성되며, 또한 소스 배선들(337 내지 340) 및 드레인 배선들(341 내지 343)이 형성된다. 본 실시예에서, 전극은 100nm의 두께를 갖는 티타늄막, 티타늄을 포함하며, 300nm의 두께를 갖는 알루미늄막, 및 150nm의 두께를 갖는 티타늄막이 연속적으로 스퍼터링 수단에 의해 형성된다. 물론 다른 도전막들이 사용될 수도 있다.
- <93> 제 1 패시베이션막(344)은 50 내지 500nm(전형적으로 200 내지 300nm)의 두께를 가진 다음에 형성된다. 300nm 두께의 산화 실리콘 질화물막은 실시예 1에서 제 1 패시베이션막(344)으로써 사용된다. 이것은 실리콘 질화물막에 의해 또한 대체될 수 있다. 도 1의 제 1 패시베이션막(41)의 재료들과 같은 재료들을 사용하는 것이 물론 가능하다.
- <94> 산화 실리콘 질화물막의 형성 전에, H₂ 또는 NH₃ 등과 같은 산소를 포함한 가스를 사용하는 플라즈마 처리를 실행하는 것이 효과적이라는 것을 주목한다. 이전의 공정에 의해 활성화되는 수소는 제 1 층간 절연막(336)으로 공급되며, 또한 제 1 패시베이션막(344)의 양은 열처리를 실행하는 것에 의해 향상된다. 동시에, 제 1 층간 절연막(336)에 첨가되는 상기 수소는 낮은 쪽으로 확산하며, 또한 액티브층들이 효과적으로 수소첨가될 수 있다.
- <95> 다음, 도 6b에서 도시된 바와 같이, 유기 수지로 만들어진 제 2 층간 절연막(345)이 형성된다. 유기 수지로서, 폴리이미드, 아크릴, BCB(벤조사이클로부탄) 등이 사용되는 것이 가능하다. 특히, 상기 제 2 층간 절연막(345)은 주로 평탄화(flattening)에 사용되기 때문에, 특성들을 평탄화하는데 있어서 우수한 아크릴이 바람직하다. 본 실시예에서, 아크릴막은 TFT들에 의해 형성되는 계단식(steped) 부분을 평탄화하는데 충분한 두께로 형성된다. 상기 두께는 1 내지 5 μ m(더 양호하게는, 2 내지 4 μ m)로 만들어지는 것이 적당하다.
- <96> 다음에, 상기 제 2 층간 절연막(345) 및 제 1 패시베이션막(344)은 에칭(etched)되며, 드레인 배선(343)에 닿는 접촉홀을 형성하며, 또한 픽셀 전극(346)이 형성된다. 1 중량퍼센트(wt%) 실리콘을 포함하는 알루미늄막은 실시예 1에서 상기 픽셀 전극(346)으로써 사용된다. 표면에 돌출부들을 구비하는 알루미늄막은 50 내지 200°C(양호

하계는 70 내지 150°C)의 기판 온도에서 스퍼터링에 의해 상기 알루미늄막을 침착하는 것에 의해 형성된다. 0.1 내지 5퍼센트의 습기가 또한 상기 스퍼터링 가스에 첨가될 수 있다는 것을 주목한다.

- <97> 그러므로, 표면에 돌출부들을 구비하는 상기 픽셀 전극(346)이 형성될 수 있다. 이러한 경우에 형성된 돌출부들의 상기 패턴은 불규칙하나, 상기 목적은 광의 난반사(불규칙 반사)이므로, 불규칙성은 특별히 문제가 되지 않는다.
- <98> 규칙적인 돌출부들을 형성하는 것이 필요하다면, 픽셀 전극의 표면이 패턴화되고 돌출부가 형성되며, 또는 제 2 층간 절연막(345)의 표면을 패턴화를 실행하는 수단, 돌출부들을 형성하는 수단, 돌출부들 상의 픽셀 전극들 형성하는 수단이 사용될 수도 있다. 픽셀 전극(346) 재료로써 배향 특성을 이용하는 것에 의한 선택적인 에칭을 가능케 하는 재료를 사용할 때, 상기 돌출부들은 특히 배향 표면을 드러내기 위해 에천트(etchant)를 사용하여 표면을 가공하도록 실행하는 것에 의해 쉽게 얻어질 수 있다. 실리콘 표면의 피트 형성(pit formation) 기술과 같은 기술들은 일반적으로 선택적 에칭의 기술들로써 알려진다.
- <99> MgAg 전극으로부터 만들어진 캐소드(347)는 120nm의 두께를 구비한 다음에 형성된다. 상기 막 두께는 80에서 200nm까지(전형적으로, 100과 150nm 사이) 될 수 있다. 또한, 실시 형태 1에서 도시되는 것처럼, LiF/Al 전극(리튬 플루오르화물막 및 알루미늄막의 적층막)이 또한 사용될 수 있다. 작은 일함수를 갖는 재료를 사용하는 것이 적절하다.
- <100> 상기 캐소드(347)는 상기 픽셀 전극(346)의 표면에서 형성되는 돌출부들을 따라 형성되며, 그러므로 또한 형성된 상기 캐소드(347)는 그것의 표면에서 돌출부들을 가진다. 종래의 예에서 도시되는 것처럼, 상기 디스플레이 부분에서 관찰자의 얼굴이 반사되는 문제는 캐소드 표면상에 반사의 문제이며, 캐소드 표면에서 돌출부들을 형성하는 것에 의해 또한 난반사(불규칙 반사)를 발생시키는 것에 의해, 이러한 형태의 불편함이 방지될 수 있다.
- <101> 이어서, EL층(348)이 증착에 의해 형성된다. 정공 전송층 및 발광층의 두 개의 층 구조는 실시예 1(도면들에서 단일층으로 도시)에서 EL층으로써 사용되지만, 정공 주입층, 전자 주입층, 또는 전자 전송층을 형성하는 경우들도 있다. 이러한 형태의 조합의 많은 예들이 이미 보고 되었으며, 임의의 이러한 구성들도 또한 사용될 수 있다.
- <102> 상기 EL층(348) 및 캐소드(347)의 인터페이스에 붙은 습기, 특히 산소를 완전히 피해야 한다. 이것은 상기 EL층(348)이 쉽게 산화 및 열화되기 때문이다. 그러므로, 상기 캐소드(347) 및 EL층(348)은 진공을 깨지 않고(without breaking) 증착을 사용하여 연속적으로 형성된다. 구체적으로는, 우선, 트리스(tris)-(8-퀴놀리놀레이트) 알루미늄(Alq로 칭함)이 발광층으로서 50nm의 두께를 구비하여 최초로 형성되고, 70nm 두께의 TPD(트라이페닐아민 유도체)가 상기 정공 전송층으로서 발광층 상에서 형성된다. 따라서 2층 구조의 EL층(348)이 형성된다.
- <103> 저분자 중량 유기 재료들을 사용하는 EL층을 형성하는 예가 실시예 1에서 도시되어 있지만, 고분자 중량 유기 재료들도 또한 사용될 수 있으며, 또한 두 가지의 조합도 또한 사용될 수 있다. 또한, 임의의 알려진 구조(단일층 구조 또는 적층 구조)가 상기 EL층 구조로서 사용될 수도 있다.
- <104> 그러므로, 도 6b의 구조가 얻어진다. 이러한 상태에서는 EL층(348)이 노출되므로, 질소 또는 희가스(noble gas)와 같은 불활성 가스로 채워진 분위기 중에 기판을 놓는 것이 중요하다. 그 다음에, 상기 기판은 상기 분위기에 노출없이 스퍼터링 장치에 전달되고, 또한 투명 도전막으로부터 애노드들(349)이 형성된다. 상기 막 두께는 100에서 200nm까지로 설정될 수 있다.
- <105> ITO(인듐 산화물 및 주석 산화물 화합물) 또는 인듐 산화물 및 아연 산화물 화합물과 같은 일반적으로 알려진 재료들은 투명 도전막으로서 사용될 수 있다. 또한, 칼륨은 인듐 산화물 및 아연 산화 화합물에 칼륨이 첨가될 수도 있다.
- <106> 또한, 실리콘을 포함하는 절연막으로 되는 제 2 패시베이션막(350)이 실시예 1에서의 애노드(349)상에 형성된다. 상기 제 2 패시베이션막(350)은 진공을 깨지 않고 연속하여 형성되는 것이 또한 바람직하다. 300nm 두께의 실리콘 질화물막이 실시예(1)에서의 제 2 패시베이션막(350)으로서 형성된다.
- <107> *이러한 방식으로, 도 6c에서 도시된 것과 같은 구조를 갖는 액티브 매트릭스형 EL 디스플레이 디바이스가 완성된다. 본 실시예의 상기 액티브 매트릭스형 EL 디스플레이 디바이스에 있어서, 최적 구조를 갖는 TFT가 픽셀부 뿐만 아니라 구동 회로부에도 배치되므로, 매우 높은 신뢰도가 얻어지고, 또한 동작 특성들이 향상될 수 있다.
- <108> 먼저, 동작 속도를 가능한 크게 감소시키지 않도록 핫 캐리어 주입을 감소시키는 구조를 갖는, TFT가 구동 회로

를 형성하는 CMOS 회로의 n-채널 TFT(205)로서 사용된다. 여기서, 구동 회로는 시프트 레지스터, 버퍼, 레벨 시프터, 샘플링 회로(샘플 및 홀드 회로) 등을 포함한다. 디지털 구동이 행해지는 경우에, D/A 변환기와 같은 신호 변환 회로도 포함될 수 있다.

- <109> 본 실시예의 경우에 있어서, 도 6c에서 도시된 것처럼, n-채널(205)의 액티브층은 소스 영역(355), 드레인 영역(356), LDD 영역(357) 및 채널 구조 영역(358)을 포함하고, 상기 LDD 영역(357)은 상기 게이트 절연막(311)을 통하여 게이트 전극(313)과 중첩한다.
- <110> 동작 속도를 떨어뜨리지 않는 고려는 LDD 영역이 드레인 영역측에서만 형성되기 때문이다. 상기 n-채널 TFT(205)에 있어서, 오프 전류값을 매우 크게 할 필요가 없으며, 오히려, 동작 속도에 중요성을 두는 것이 더 좋다. 그러므로, 상기 LDD 영역(357)은 저항 성분을 최소로 줄이기 위해 게이트 전극과 완전히 중첩시키는 것이 바람직하다. 즉, 소위 오프셋을 제거하는 것이 바람직하다.
- <111> 또한, CMOS 회로의 p-채널 TFT(206)의 액티브층은 소스 영역(359), 드레인 영역(360), 및 채널 형성 영역(361)을 포함하고, 특히, LDD 영역은 형성되지 않는다. 핫 캐리어 주입에 기인하는 열화는 심지어 본 구조를 구비 할지라도 p-채널 TFT의 경우에 많은 문제가 되지 않으나, n-채널 TFT(205)의 것과 유사한 LDD 영역을 형성하는 것에 의한 핫 캐리어들에 대해 대책을 강구하는 것도 가능하다.
- <112> 구동 회로들 중에서도, 샘플링 회로는, 채널 형성 영역을 쌍방향으로 큰 전류가 흐르는, 다른 샘플링 회로들에 비해 다소 특징이 있음을 주목한다. 즉, 소스 영역 및 드레인 영역의 역할들이 번갈아 이루어진다. 또한, 오프 전류의 값을 가능한 작게 제어할 필요가 있으므로, 샘플링 회로 내에 스위칭 TFT와 전류 제어 TFT의 중간 정도의 기능들을 갖는 TFT를 사용하는 것이 바람직하다. 도 10에 알려진 것과 같은 n-채널 TFT(207) 및 p-채널 TFT(208)의 조합은 실시예 1에서의 샘플링 회로로서 사용된다.
- <113> 도 10에서 도시된 것처럼, 샘플링 회로를 형성하는 n-채널 TFT(207)에서는 LDD 영역들(801a 및 801b)의 부분이 게이트 절연막(802)을 통해 게이트 전극(803)과 중첩된다. 이 효과는 전류 제어 TFT(202)의 설명에서와 같으며, 또한 샘플링 회로의 경우에 있어서는, LDD 영역들(801a 및 801b)이 채널 형성 영역(804)을 끼우는 형태로 형성 되는 점이 차이점이다.
- <114> 실제로, 도 6c의 상태가 완성될 때, 바깥 공기의 노출을 막도록, 높은 기밀성(air tightness)과, 보다 적은 가스 제거(적층막, 자외선 경화 수지막(ultraviolet ray curing resin film), 등) 또는 밀봉 재료를 갖는 보호막과 같은 하우징 부재(housing member)에 의해 패키지(packaging) 또는 밀봉하는 것이 바람직하다. 이때, 밀봉 부재의 내측이 불활성 분위기로 될 때, 또는 습기 흡수제(예컨대, 바륨 산화물)가 내측에 배치될 때, EL층의 상기 신뢰도(수명)는 향상된다.
- <115> 패키징과 같은 공정에 의해 기밀성이 상승한 후에, 기판상에 형성된 소자 또는 회로로부터 확장된 단자를 외부 신호 단자에 접속하기 위한 커넥터(가요성 프린트 회로 (flexible print circuit):FPC)가 부착된 제품이 완성된다. 본 명세서에서는, 출하될 수 있는 상태로 된 상기 EL 디스플레이 디바이스를 EL 모듈로 부른다.
- <116> 여기서, 상기 실시예의 액티브 매트릭스형 EL 디스플레이 디바이스의 구조는 도 7의 사시도를 참조하여 도시된다. 본 실시예의 액티브 매트릭스형 EL 디스플레이 디바이스는 유리 기판(601)상에 형성된 픽셀부(602), 게이트측 구동회로(603), 및 소스측 구동 회로(604)로 구성된다. 픽셀부의 스위칭 TFT(605)는 n-채널 TFT이고, 게이트측 구동회로(603)에 접속된 게이트 배선(606)과 소스측 구동회로(604)에 접속된 소스 배선(607)의 교차점에 배치된다. 상기 스위칭 TFT(605)의 드레인은 전류 제어 TFT(608)의 게이트에 접속된다.
- <117> 또한, 상기 전류 제어 TFT(608)의 소스측은 전력 공급 라인(609)에 접속된다. 본 실시예의 구조에 있어서, 전력 공급 라인(609)은 전류 제어 TFT(608)에 접속되고, 전류 제어 TFT의 드레인(608)은 EL 소자(610)에 접속된다.
- <118> 만일, 전류 제어 TFT(608)가 n-채널 TFT라면, EL 소자(610)의 캐소드는 전기적으로 드레인에 접속된다. 또한, 상기 전류 제어 TFT(608)에 대해 p-채널 TFT를 사용하는 경우에, EL 소자(610)의 애노드는 드레인에 전기적으로 접속된다.
- <119> 구동 회로들에 신호들을 전송하기 위한 입력 배선들(접속 배선들)(612 및 613)과 전류 공급선(609)에 접속된 입력 배선(614)은 외부 입-출력 단자로서 FPC(611)에 제공된다.
- <120> 도 7에 도시된 EL 디스플레이 디바이스의 회로 구조의 예는 도 8에 도시된다. 본 실시예의 EL 디스플레이 디바이스는 소스측 구동회로(701), 게이트측 구동회로(a)(707), 게이트측 구동회로(b)(711), 및 픽셀부(706)를 포함한다. 본 명세서에서, 구동회로의 용어는 소스측 구동회로 및 게이트측 구동회로를 포함하는 일반적인

용어이다.

- <121> 소스측 구동회로(701)는 시프트 레지스터(702), 레벨 시프터(703), 버퍼(704), 및 샘플링 회로(샘플 및 홀드 회로)(705)가 제공된다. 게이트 구동회로(a)(707)에는 시프트 레지스터(708), 레벨 시프터(709), 및 버퍼(710)가 제공된다. 상기 게이트측 구동회로(b)(711)는 또한 같은 구조를 갖다.
- <122> 여기서, 상기 시프트 레지스터(702 및 708)는 각각 5 내지 16V(전형적으로 10V)의 구동 전압들을 가지며, 도 6c에서 205로 지시된 구조는 상기 회로를 형성하는 CMOS 회로에 사용되는 n-채널 TFT에 적당하다.
- <123> 또한, 각각의 레벨 시프터들(703 및 709), 및 버퍼들(704 및 710) 각각에 대해서는, 시프트 레지스터와 유사하게, 도 6c의 n-채널 TFT(205)를 포함하는 CMOS 회로가 적당하다. 각 회로의 신뢰도를 향상시키는데 있어 게이트 배선을 이중 게이트 구조 또는 삼중 게이트 구조와 같은 다중-게이트 구조로 만드는 것이 효과적이다.
- <124> 또한, 소스 영역 및 드레인 영역이 반전되고, 오프 전류값을 감소시키는 것이 필요하기 때문에, 도 10의 상기 n-채널 TFT(207)을 포함하는 CMOS 회로는 샘플링 회로(705)에 적당하다.
- <125> 픽셀부(706)에 있어서는, 도 1에 도시된 구조를 갖는 픽셀들이 배치된다.
- <126> 상기 상술된 구조는 도 4 내지 6에서 도시된 제조 단계들에 따라 TFT들을 제조하여 쉽게 실현될 수 있다. 본 실시예에서, 픽셀부 및 구동회로의 구조만이 도시되었지만, 본 실시예의 제조 단계들이 사용된다면, 동일한 기관 상에, 신호 분할 회로, D/A 변환기 회로, 연산 증폭기 회로, γ -보정 회로 등과 같은 구동 회로 이외에 논리 회로를 형성할 수 있고, 또한, 메모리부, 마이크로프로세서 등이 형성될 수 있다.
- <127> 하우징 부재를 포함하는 본 실시예의 EL 모듈은 도 11a 및 11b를 참조하여 설명한다. 필요할 때, 도 7 및 8에서 사용된 참조 번호들이 인용된다는 것을 주목한다.
- <128> 픽셀부(1101), 소스측 구동회로(1102) 및 게이트측 구동회로(1103)는 기관 (TFT 아래의 하부막을 포함)(1100)상에 형성된다. 각각의 구동 회로들로부터 다양한 배선들은 입-출력 배선들(612 내지 614)을 통해 FPC(611)로 도입되고, 외부 장비에 접속된다.
- <129> 적어도 픽셀부를 둘러싸도록 밀봉 재료(1104)가 동시에 형성되며, 양호하게는 구동 회로들 및 픽셀부를 둘러싸도록 형성된다. 소자부를 둘러싸도록 오목부를 구비하는 플레이트 모양의 재료도 밀봉 재료(1104)로서 사용될 수 있고, 시트 모양의 자외선 경화 수지가 또한 사용될 수 있음을 주목한다. 밀봉 재료(1104)로서 소자부를 둘러싸도록 오목부를 구비한 금속 플레이트를 사용할 때, 밀봉 재료(1104)는 접착제(1105)에 의해 기관(1100)에 고정되고, 밀봉 재료(1104)와 기관 (1100) 사이의 밀폐된 공간을 형성한다. 이때, EL 소자는 밀폐된 공간에 완벽히 노출된 상태에 있고, 분위기로부터 완벽히 차단된 상태에 있다.
- <130> 비정질 유리(붕규산 유리 및 석영), 결정 유리, 및 세라믹 유리와 같은 플레이트 모양의 재료는 밀봉 재료(1104)로서 사용될 수 있고, 또한, 유기 수지(아크릴 수지, 스티렌 수지, 폴리카보네이트 수지, 또는 에폭시 수지), 및 실리콘 수지도 사용될 수 있다. 사용될 때마다, 밀봉 재료(1104)는, 실시예 1에서처럼, 반사층에서 광을 출력하는 기관을 가지는 EL 디스플레이 디바이스 타입을 제조할 때 투명해야 한다.
- <131> 접착제(1105)의 재료로서, 에폭시 수지, 아크릴 수지, 등이 사용될 수 있다. 또한, 열경화성 수지(thermosetting resin) 또는 광경화성 수지도 접착체로서 사용될 수도 있다. 그러나 최대한으로 산소 및 습기의 침투를 막기 위해 상기 재료를 사용하는 것이 필요하다.
- <132> 또한, 밀봉 재료와 기관(1100) 사이의 갭(1106)은 양호하게는 불활성 가스(아르곤, 헬륨, 또는 질소와 같은)로 채워진다. 이것은 가스만으로 제한하는 것이 아니며, 투명한 불활성 액체를 사용하는 것도 가능하다. 또한 상기 갭(1106)에서 건조제(drying agent)를 형성하는 것도 효과적이다. 일본 특개평 제 9-148066호에 기재된 재료들은 건조제로서 사용될 수 있다. 전형적으로는 바륨(barium) 산화물이 사용된다.
- <133> 또한, 도 11b에 도시된 바와 같이, 각각 독립된 EL 소자들을 갖는 픽셀 영역에는 복수의 픽셀들이 형성되고, 이들 모두는 공통 전극으로서 애노드(1107)를 가진다. 이때, 캐소드들 및 EL층은 픽셀부에만 형성될 수 있다; 상기 구동 회로들 상에는 그들을 형성할 필요가 없다. 물론, 구동 회로들 상에서 그것들을 형성하는데 문제가 되지 않으나, 알칼리성의 금속들이 EL층에 포함되는 것을 고려하면, 구동 회로들 상에서 그것들을 형성하지 않는 것이 바람직하다. EL층은 습기에 대하여 약하고, 또한 패터닝될 수 없고 그로 인해, 새도 마스크를 사용하는 침착에 의해 선택적으로 형성될 수 있다.
- <134> 애노드(1107)는 참조 번호(1108)에 의해 도시되는 영역에서 입-출력 배선(1109)에 접속된다. 입-출력 배선

(1109)은 고정 전압(실시예 1에서 접지 전압, 특히 0 V)을 애노드(1107)로 인가하기 위한 전력 공급 라인이고, 특히 도전 페이스트 재료(1110)를 통해 FPC(611)과 접속된다.

- <135> 상기 영역(1108)에서 접촉 구조를 실현하기 위한 제조 공정은 도 12a 내지 12c를 이용하여 설명한다.
- <136> 우선, 본 실시예의 단계들에 따라, 도 6a의 상태를 얻는다. 이때, 기관의 단부(도 11b에서 (1108)로 표시된 영역)에서, 제 1 층간 절연막(336) 및 게이트 절연막(311)이 제거되고, 입-출력 배선(1109)이 그 위에 형성된다. 물론, 도 6a(도 12a)의 소스 배선 및 드레인 배선처럼 동시에 형성된다.
- <137> 다음에, 도 6b에서 제 2 층간 절연막(345) 및 제 1 패시베이션막(344)을 에칭할 때, 참조 번호(1201)에 의해 표시된 영역이 제거되고, 또한 개구부(1202)가 형성된다.(도 12b)
- <138> EL 소자를 형성하는 공정(픽셀 전극, EL층, 및 캐소드를 형성하는 공정)은 이러한 상태로 픽셀부에서 실행된다. 마스크 재료는 캐소드(347) 및 EL층(348)이 도 12a 내지 12c에 도시된 영역에 형성되지 않도록 사용된다. 상기 EL층(348)을 형성한 후에, 애노드(349)가 형성된다. 그러므로, 애노드(349)와 입-출력 배선(1201)은 전기적으로 접속된다. 또한, 도 12c의 상태는 제 2 패시베이션막(350)을 형성하여 얻어진다.
- <139> 상술한 단계들을 통해, 도 11b의 (1108)에 의해 지시된 영역의 접촉 구조가 실현된다. 상기 입-출력 배선(1109)은 하우징 부재(1104)와 기관(1100) 사이의 갭(그러나, 갭은 접착제(1105)로 채움)을 통해 FPC(611)에 전기적으로 접속된다. 상기 설명이 입력 배선(1109)에 대해 이루어졌지만, 다른 출력 배선들(612 내지 614)도 동일한 방법으로 하우징 부재(1104) 아래의 부분을 통해 FPC(611)에 접속된다는 것을 주목한다.
- <140> 실시예 2
- <141> 본 실시예에서, 픽셀의 구조가 도 3b에서 도시된 구조와 다르게 되어있는 예에 대해 도 13을 참조하여 설명한다.
- <142> 도 3b에서 도시된 두 개의 픽셀들은 접지 전위를 인가하는 전력 공급선(211)에 대하여 대칭이 되도록 배열된다. 바꾸어 말하면, 도 13에서 도시된 것처럼, 두 개의 픽셀들 사이에 전력 공급선(212)을 분배하여, 필요한 배선들의 수를 감소시킬 수 있다. 픽셀들 내에 놓여진 TFT 구조들과 같은 구조들이 그대로 유지됨을 주목한다.
- <143> 그러한 구조가 채용되면, 보다 미세한 상세한 픽셀부를 제조할 수 있고 이미지의 품질이 향상된다.
- <144> 본 실시예의 구조는 실시예 1의 제조 단계들에 따라 쉽게 실현될 수 있고, TFT 구조 등에 대하여, 실시예 1 또는 도 2의 설명이 참조될 수 있다는 것을 주목한다.
- <145> 실시예 3
- <146> 틱 게이트형의 TFT들을 사용하는 경우들은 실시예 1 및 실시예 2에 의해 설명되었지만, 본 발명은 TFT 구조에 제한되지 않으며, 하부 게이트형의 TFT(전형적으로 역방향 스테거형 TFT)을 사용하여 실시될 수도 있다. 또한, 상기 역방향 스테거형 TFT는 임의의 수단들에 의해 형성될 수도 있다.
- <147> 상기 역방향 스테거형 TFT는 틱 게이트형 TFT보다 더 적은 공정들을 갖는 우수한 구조이며, 그러므로 본 발명의 목적인 제조 비용을 크게 낮추는데 있어 매우 유리하다.
- <148> 실시예 4
- <149> 실시예 모드 1 및 실시예 1에 의해 설명되는 EL 디스플레이 디바이스들에 있어서, 픽셀들내의 스위칭 TFT들을 다중 게이트 구조로 제공함으로써, 스위칭 TFT의 오프 전류값을 감소시키고, 또한 저장 커패시터의 필요성이 없어진다. 이것은 발광 영역으로서, 저장 커패시터의 배타적 표면적(exclusive surface area)을 이용하기 위한 설계이다.
- <150> 그러나, 저장 커패시터를 완벽히 제거하지 못할 때조차도, 배타적 표면 면적을 더 작게 함으로써, 발광 표면 면적을 넓히는 효과를 얻을 수 있다. 즉, 오프 전류의 값을 충분히 감소시키고, 스위칭 TFT를 다중 게이트 구조로 제공함으로써 저장 커패시터의 배타적 표면 면적의 크기를 충분히 축소시킬 수 있다.
- <151> 이러한 경우에, 도 14에서 도시된 것처럼, 저장 커패시터(1401)가 상기 전류 제어 TFT(202)의 게이트와 병렬로, 스위칭 TFT(201)에 대하여 형성될 수 있다.
- <152> 실시예 4의 구성은 실시예들 1 내지 3 중 어느 하나의 구성들과 자유롭게 조합될 수 있다. 즉, 픽셀에 저장 커패시터가 제공되고, TFT 구조 또는 EL층 재료들 등에 제한되지 않는다.

- <153> 실시예 5
- <154> 레이저 결정화는 실시예 1에서 결정화 실리콘막(302)을 형성하는 수단들로 서 사용되나, 결정화의 다른 수단들을 사용하는 경우가 실시예 5에 설명된다.
- <155> 결정화는 비정질 실리콘막을 형성한 후에 일본 특개평 제 7-130652호에서 기록된 기술을 사용하여 실시예 5에서 실행된다. 상기 특허 출원에 기록된 기술은 결정화를 촉진시키는 촉진제와 같은 니켈 원소를 사용하여 우수한 결정을 갖는 결정화 실리콘막을 얻는 기술이다.
- <156> 또한, 상기 결정화 공정을 완성한 후에, 결정화에 사용된 촉진제를 제거하는 공정이 실행된다. 이러한 경우에, 상기 촉진제는 특개평 제 10-270363호 또는 일본 특개평 제 8-330602호에 기록된 기술로 얻을 수 있다.
- <157> 또한, 상기 TFT는 본 발명의 출원자에 의해 특개평 제 1-076967호에 기록된 기술을 사용하여 형성될 수 도 있다.
- <158> 그러므로, 실시예 1에서 도시되는 제조 공정은 전형적인 실시예이며, 또한 실시예 1의 도 1, 도 2 또는 도 6c에 도시된 구조들이 실현될 수 있도록 제공되며, 다른 제조 공정들이 문제없이 사용될 수도 있다.
- <159> 실시예들 1에서 4중 어느 하나의 구조를 가지는 실시예 5의 구성을 자유롭게 조합하는 것이 가능하다는 것을 주목한다.
- <160> 실시예 6
- <161> 픽셀 신호로서 아날로그 신호를 사용하는 아날로그 구동은 본 발명의 EL 디스플레이 디바이스를 구동할 때 실행될 수 있고, 또한, 디지털 신호를 사용하는 디지털 구동이 실행될 수 있다.
- <162> 아날로그 구동을 실행할 때, 스위칭 TFT의 소스 배선에 아날로그 신호가 전송되며, 계조 정보를 포함하는 아날로그 신호는 전류 제어 TFT의 게이트 전압이 된다. EL 소자로 흐르는 전류는 전류 제어 TFT에 의해 제어되며, 상기 EL 소자에 의해 발광의 강도를 제어하여 계조 표시가 실행된다.
- <163> 한편, 디지털 구동을 실행할 때, 아날로그 계조 표시와는 다르게, 시간 분할된 구동으로 칭하는 계조 표시가 실행된다. 즉, 발광 시간의 길이를 조절함으로써, 색계조들이 시각적으로 변화되도록 도시된다.
- <164> EL 소자의 반응 속도는 액정 소자의 반응 속도와 비교하여 극히 빠르며, 높은 속도로 구동하는 것이 가능하다. 그러므로, EL 소자는 하나의 프레임이 복수의 서브프레임들로 분할되는 시간 분할 구동, 및 디스플레이 등급이 실행되는 시간 분할 구동에 적합하다고 말할 수 있다.
- <165> 본 발명은 소자 구조들에 관한 기술이며, 그러므로 임의의 구동 방법이 사용될 수 있다.
- <166> 실시예 7
- <167> EL층으로서 유기 EL 재료를 사용하는 예가 실시예 1에 도시되 있으나, 본 발명은 또한 무기 EL 재료를 사용하여 실시될 수 있다. 그러나, 현재의 무기 EL 재료들은 극히 높은 구동 전압들을 가지므로, 아날로그 구동을 실행할 때, 높은 구동 전압들을 견딜 수 있는 전압 저항 특성들을 갖는 TFT가 사용되어야 한다.
- <168> 대안적으로, 더 낮은 구동 전압을 가지는 무기 EL 재료가 장차 개발된다면, 본 발명에 그 재료를 적용할 수 있을 것이다.
- <169> 또한, 실시예 7의 구성과 실시예들 1 내지 6의 임의의 구성과 자유롭게 조합하는 것이 가능하다.
- <170> 실시예 8
- <171> 도 15에서 도시되는 박막 형성 장치를 사용하는 EL 소자를 형성의 예가 실시예 8에서 도시되어 있다. 도 15에서, 참조 번호(901)는 기관의 삽입 및 추출을 실행하기 위한 컨베이어 챔버(conveyor chamber)를 나타내고, 로드-락(load-lock) 챔버로서 불린다. 실시예 8에 있어서, 우선, 도 6b의 픽셀 전극(346)의 형성까지 실시예 1의 단계들에 따라 공정이 실행되는, 기관이 캐리어(902)에 설정된다. 또한, 컨베이어 챔버(901)는 또한 기관 삽입 챔버와 기관 추출 챔버로 분리될 수 있다는 것을 주목한다.
- <172> 참조 번호(903)는 기관을 운반하는 메커니즘(이하, 컨베이어 메커니즘으로 칭해진다)을 포함하는 일반 챔버를 나타낸다. 복수의 처리 챔버(참조 번호(906 내지 910)에 의해 나타냄)는 게이트들(905a 내지 905f)을 통해 공통 챔버(903)에 접속된다.

- <173> 게이트들(905a 내지 905f)에 의해 공통 챔버(903)로부터 각각의 처리 챔버들을 완전히 봉쇄하기 위하여, 밀폐된 밀봉들(air tight seals)을 얻는다. 그러므로 각각의 처리 챔버들내의 배출(evacuation) 펌프를 설치하여 진공 하에서 처리를 실행하는 것이 가능하다. 배출 펌프로서, 회전 오일 펌프, 기계적인 부스터 펌프, 터보 분자 펌프, 또는 저온펌프를 사용할 수 있지만, 습기를 제거하는데 효과적인 저온 펌프를 사용하는 것이 바람직하다.
- <174> 그 후, 기관은 컨베이어 메커니즘(904)에 의해 공통 챔버(903)로 수송되며, 그 후에, 제 1 기상막 침착 처리 챔버(906)로 수송된다. 침착 또는 스퍼터링에 의한 캐소드 형성은 제 1 기상막 침착 처리 챔버(906)에서 실행된다. 마그네슘 및 은이 10:1의 비율로 함께 침착되는 MgAg 합금은 실시예 8에서 캐소드 재료로서 사용된다.
- <175> 다음에, 기관은 제 1 기상막 침착 처리 챔버(906)로부터 용액 응용 처리 챔버(907)로 수송된다. EL 재료를 포함하는 용액은 액체 도포 처리 챔버(907)내의 스핀 코팅(spin coating)을 도포하여, 고분자 중량(중합체) EL 재료를 포함하는 중합체 프리커서(precursor)를 형성한다. 클로로포름에서 용해된 폴리비닐카바졸(polyvinylcarbazole) 용액은 실시예 8에서 EL 재료를 포함하는 용액으로서 사용된다. 물론, 다른 고분자 중량 EL 재료들[전형적으로, 폴리페닐렌(polyphenylene) 비닐 또는 폴리카보네이트와 같은 재료들] 또는 다른 유기 용제들[전형적으로, 다이클로로메탄(dichloromethane) 또는 테트라하이드로프란(tetrahydrofuran)과 같은 용제들]이 조합될 수 있다.
- <176> 다음, 기관은 용액 도포(solution application) 처리 챔버(907)로부터 소성(firing) 챔버(908)까지 수송된다. EL 재료는 소성 챔버(908)내의 소성(열처리)에 의해 중합된다. 열처리는 히터로 스테이지를 가열하여 전체 기관에 대해 50 내지 150°C의 온도(바람직하게는 110 내지 120 °C)로 실시예 8에서 실행된다. 그러므로, 과잉 클로로포름은 기화되며, 폴리비닐카바졸로부터 만들어진 고분자 중량 발광층(high molecular weight light emitting layer)이 형성된다. 상기 단일 발광층(single layer light emitting layer)은 실시예 8에서 EL층으로서 사용된다.
- <177> 다음에, 기관은 소성 챔버(908)에서 제 2 기상막 침착 처리 챔버(909)로 전송된다. 투명 도전막으로 된 애노드는 제 2 기상막 침착 처리 챔버(909)에서 고분자 중량 발광층(EL층)상에 형성된다. 아연 산화물에 혼합된 10 내지 15%의 인듐 산화물의 화합물이 실시예 8에서 사용된다.
- <178> 다음, 기관은 제 2 기상막 침착 처리 챔버(909)로부터 제 3 기상막 침착 처리 챔버(910)로 전달된다. 패시베이션막은 절연막으로 되는데, 실리콘을 포함하는 절연막이 제 3 기상막 침착 처리 챔버(910)에 형성되는 것이 바람직하다. 패시베이션층은 습기 및 산소로부터 EL층을 보호하기 위해 형성된다.
- <179> 다음, 기관은 제 3 기상 침착 처리 챔버(910)로부터 컨베이어 챔버(901)에 배치된 캐리어(902)에 전달된다. 따라서, 도 15의 박막 형성 장치를 사용하는 일련의 처리과정(series processing)이 종료된다.
- <180> 도 15에 도시된 박막 형성 장치를 사용하는 장점은, 기관이 분위기(특히, 습기)에 한번도 노출되지 않고, 캐소드의 형성에서 패시베이션층의 형성까지 연속으로 실행될 수 있는 점이다. 바꾸어 말하면, 모든 처리는 진공 또는 건식의 불활성 기체 분위기 하에서 실행되고, 이에 의해 발광층의 노화가 회피된다.
- <181> 또한, 스핀 코팅을 실행하는 처리 챔버는 동일한 박막 형성 장치에 설치되고, 이에 의해 고분자 중량 EL 재료를 사용하는 EL 소자를 형성할 수 있다. 물론, 침착 또는 스퍼터링에 의해 EL층을 형성할 때, 기상막 침착 처리 챔버는 용액 도포 처리 챔버 및 소성 챔버에 대한 대체로써 설치될 수 있다.
- <182> 실시예 8에 도시된 박막 형성 장치는 실시예 1의 제조 과정에서 EL 소자를 형성할 때 사용될 수 있음을 주목한다. 그러므로, 실시예 1의 제조 공정들을 사용하는 실시예들 2 내지 7에 도시된 구조들을 얻기 위해 실시예 8의 박막 형성 장치를 사용하는 것도 가능하다.
- <183> 실시예 9
- <184> 본 발명을 실시하여 형성되는 액티브 매트릭스형의 EL 디스플레이 디바이스(EL 모듈)는 EL 디스플레이 디바이스가 자기-발광(self-emitting)형이기 때문에, 액정 디스플레이 디바이스와 비교된 밝은 장소들(bright locations)에서 뛰어난 시감도를 가진다. 그러므로, 직시형의 EL 디스플레이 디바이스(EL 모듈을 결합하는 디스플레이를 나타냄)로서의 사용이 광범위해진다.
- <185> 주어질 수 있는 액정 디스플레이보다 EL 디스플레이의 한 가지 장점은 시야 각(viewing angle)이 넓다는 것을 주목한다. 그러므로, 본 발명의 EL 디스플레이는 큰 크기의 스크린상의 TV 방송들과 같은 방송들을 감상하는데

있어서 30 인치(전형적으로 40인치와 같거나 더 큰)와 같거나 더 큰 대각 크기를 가지는 디스플레이(디스플레이 모니터)로서 사용될 수 있다.

- <186> 본 발명은 EL 디스플레이(개인용 컴퓨터 모니터, TV 방송 수신 모니터, 또는 광고 디스플레이 모니터에서)뿐만 아니라, 다양한 전자 디바이스들에 대한 디스플레이로 사용될 수도 있다.
- <187> 다음은 전자 디바이스들; 디지털 카메라; 고글형 디스플레이(goggle type display)(헤드 장착 디스플레이); 게임기; 자동차 네비게이션 시스템; 개인 컴퓨터; 휴대용 정보 단말기(이동 컴퓨터, 휴대용 전화, 또는 전자 서적); 또는 기록 매체 구비한 이미지 재생 디바이스[특히, 콤팩트 디스크(CD), 레이저 디스크(LD), 또는 디지털 비디오 디스크(DVD)와 같은 디스플레이 저장 매체들을 재생 및 디스플레이할 수 있는 디스플레이를 구비하는 디바이스]의 예로서 주어진다. 전자 디바이스들의 예들은 도 17a에서 17f까지 도시된다.
- <188> 도 17a는 개인용 컴퓨터이며, 본체(2001), 케이싱(2002), 디스플레이 디바이스(2003), 및 키보드(2004)와 같은 구성 요소들을 포함한다. 본 발명은 디스플레이 디바이스(2003)에 사용될 수 있다.
- <189> 도 17b는 비디오 카메라이며, 본체(2101), 디스플레이 디바이스(2102), 사운드 입력부(2103), 동작 스위치들(2104), 배터리(2105), 및 이미지 수신부(2106)와 같은 소자들을 포함한다. 본 발명은 디스플레이 디바이스(2102)에 사용될 수 있다.
- <190> 도 17c는 사람의 머리에 부착되는 EL 디스플레이부(오른쪽)이고, 본체(2201), 신호 케이블(2202), 헤드 고정 밴드(2203), 디스플레이 모니터(2204), 광학 시스템(2205), 및 디스플레이 디바이스(2206)와 같은 구성 요소들을 포함한다. 본 발명은 디스플레이 디바이스(2206)에 사용될 수 있다.
- <191> 도 17d는 기록 매체(특히, DVD 재생 디바이스)가 장착된 이미지 재생 디바이스이고, 및 본체(3201), 기록 매체(CD, LD, 또는 DVD와 같은)(2302), 동작 스위치(2303), 디스플레이 디바이스(a)(2304), 및 디스플레이 디바이스(b)(2305)와 같은 구성 요소들을 포함한다. 디스플레이 디바이스(a)는 주로 이미지 정보를 디스플레이한다. 디스플레이 디바이스(b)는 주로 문자 정보를 디스플레이하고, 본 발명은 디스플레이 디바이스(a) 및 디스플레이 디바이스(b)에 사용될 수 있다. 본 발명은 저장 매체가 제공되는, CD 재생 디바이스 및 게임기와 같은, 이미지 재생 디바이스들에서 사용될 수 있음을 주목한다.
- <192> 도 17e는 이동 컴퓨터이며, 본체(2401), 카메라부(2402), 이미지 수신부(2403), 동작 스위치들(2404), 및 디스플레이 디바이스(2405)와 같은 구성 요소들을 포함한다. 본 발명은 디스플레이 디바이스(2405)에 사용될 수 있다.
- <193> 도 17f는 EL 디스플레이이며, 케이싱(2501), 지지 테이블(2502), 및 디스플레이 디바이스(2503)와 같은 구성 요소들을 포함한다. 본 발명은 디스플레이 디바이스(2503)에 사용될 수 있다. EL 디스플레이는 액정 디스플레이와 비교해 시야각이 보다 넓기 때문에, 큰 사이즈의 스크린을 만드는 경우에 유리하고, 10 인치(특히, 30인치보다 더 크거나 같은 대각을 가지는 것들에 대해)보다 더 크거나 같은 대각을 갖는 디스플레이들에 유리하다.
- <194> 또한, EL 재료들로부터 발광의 밝기가 장차 증가한다면, 렌즈에 의해 확장되는 출력 이미지 정보를 포함하는 광을 투사하는 전방형 또는 후방형 프로젝터에서 본 발명을 사용할 수 있다.
- <195> 그러므로, 본 발명의 적용 범위는 매우 넓고, 또한 본 발명을 모든 분야들의 전자 디바이스들로 적용하는 것이 가능하다. 또한, 실시예 1 내지 8의 구성들은 자유롭게 조합될 수 있으며, 실시예 9의 전자 디바이스들을 획득하는데 사용될 수 있다.
- <196> 실시예 10
- <197> 실시예 1에서와 다른 공정들에 의한 액티브 매트릭스형의 EL 디스플레이 디바이스를 제조하는 예는 실시예 10에 도시된다. 도 18a 내지 18e는 상기 설명에 사용된다.
- <198> 우선, 베이스막(1801)에는 실시예 1의 공정들에 따라 유리 기판(1800)상에 300nm의 두께로 형성된다. 실시예 10에, 진공을 파괴하지 않고 연속하여 형성된 실리콘 질화물 산화물막들의 적층은 베이스막(1801)으로서 사용된다. 이때, 유리 기판(1800)과 접촉하는 질소의 농도는 10 내지 25 wt%로 설정될 수 있다.
- <199> 또한, 비정질의 실리콘막(상기 도면들에 도시되지 않음)은 알려진 막 침착법에 의해 베이스막(1801)상에서 50nm의 두께로 형성된다. 비정질 실리콘막은, 진공을 파괴하지 않고, 베이스막(1801)의 형성 후에 연속하여 형성된다. 이러한 막은 비정질 실리콘막으로 제한할 필요가 없으며, 비정질 구조(비정질 반도체막들을 포함)를 포함하는 반도체막인 경우에는, 다른 막들이 또한 사용될 수 있다는 것을 주목한다. 또한 비정질 실리콘 게르마늄막과

같은 비정질 구조를 포함하는 화합물 반도체막들이 사용될 수 있다. 또한, 상기 막 두께는 20 내지 100nm로 설정될 수 있다.

- <200> 다음에, 도면에서 도시되지 않는 비결정 실리콘막은 XeCl 가스를 사용하는 엑시머 레이저 광을 사용하여 결정화된다. 또한, 레이저 광 결정화 공정은, 진공을 파괴하지 않고 비정질 실리콘막의 형성 후에 연속으로 실행된다. 따라서, 결정화 실리콘막(1802)이 형성된다.
- <201> 또한, 제 1 게이트 절연막(1803)은 5 내지 100nm의 두께(양호하게는 10과 30nm사이)로 결정 실리콘막(1802)상에 형성된다. 실리콘 산화물막은 실시예 (10)에서 제 1 게이트 절연막(1803)으로서 사용된다. 또한, 상기 제 1 게이트 절연막(1803)은, 진공을 파괴하지 않고, 결정 실리콘막(1802)을 형성한 후에 연속으로 형성된다. 따라서, 도 18b의 상태를 얻는다.
- <202> 따라서, 상기 베이스막 형성 공정, 비정질 실리콘막 형성 공정, 비정질 실리콘막 결정화 공정(결정 실리콘막 형성 공정) 및 제 1 게이트 절연막 형성 공정은, 모두 진공을 파괴하지 않고(분위기에 노출되지 않고), 연속적으로 실행되는 것을 특징으로 한다. 이러한 연속적인 공정 형태의 복수의 막 침착 챔버들 및 레이저 결정화 챔버가 제공되는 다중 챔버 방법(또는, 클러스터 툴 방법으로 칭함)을 사용하여 실현될 수 있다.
- <203> 다음으로, 결정화 실리콘막(1802)은 포토리소그래피에 의해 패턴화되고, 섬 모양의 반도체막들(1804 내지 1807)이 형성된다.(도 18b 참조)
- <204> 다음에, 반도체막(1804 내지 1807)을 덮도록 제 2 게이트 절연막(1808)이 형성된다. 본질적으로 게이트 절연막으로서 기능을 하는 영역 내에서, 제 1 게이트 절연막(1803) 및 제 2 게이트 절연막(1808)은 적층 구조를 갖는다. 그러나, 10 내지 30nm의 박막 두께를 갖는 제 1 게이트 절연막(1803)을 형성하는 것이 바람직하고, 이에 의해, 제 2 게이트 절연막(1808)의 막 두께는 10 내지 120nm의 범위 내에서 조절될 수 있다.
- <205> 다음에, 레지스트 마스크들(1809a 및 1809b)이 형성되고, n형 도전 원소를 추가하는 공정이 실행된다. 이러한 공정은 실시예 1의 도 4b의 공정의 것들과 동일한 조건하에서 실행될 수 있다. 2×10^{16} 에서 5×10^{19} atoms/cm³까지(전형적으로, 5×10^{17} atoms/cm³ 내지 5×10^{18} atoms/cm³)의 농도로 n형 불순물 원소를 포함하는 n형 불순물 영역들(1810 및 1811)이 형성된다.(도 18d 참조)
- <206> 다음에, 레지스트 마스크들(1809a 및 1809b)이 제거되고, 또한 n형 불순물 원소들의 활성화 공정이 실행된다. 실시예 1의 도 4c의 공정은 본 공정에 참조될 수 있다.(도 18e 참조)
- <207> 그 후의 공정은 도 4e로부터 실시예 1의 단계들에 따라 실행될 수 있다. 따라서, 실시예 1에 의해 설명되는 것과 같은 액티브 매트릭스형의 EL 디스플레이 디바이스가 제조될 수 있다.
- <208> 실시예 10의 구성은 실시예들 2 내지 4, 6, 및 7 중 임의의 조합으로 자유롭게 조합될 수 있고, 실시예 8의 장치는 EL 소자를 제조하는데 사용될 수 있다. 또한, 실시예 9에 도시된 전자 디바이스들은 실시예 10을 실행하여 제조된 EL 디스플레이 디바이스를 사용할 수 있다.
- <209> 실시예 11
- <210> 실시예 1과 다른 공정들에 의해 액티브 매트릭스형의 EL 디스플레이 디바이스를 제조하는 예는 실시예 11에 도시된다. 도 19a 내지 19d는 본 설명에 사용된다.
- <211> 실시예 11에서, 일본 특개평 제 7-130652호에서 기록된 기술은 도 4a에서 도시된 결정 실리콘막(302)을 형성하는데 사용된다. 즉, 실시예 11에서 비정질 실리콘막의 결정화를 촉진시키는 촉매 원소로서 니켈이 사용된다. 이 후에, 도 4b의 공정이 실행되고 도 5b의 상태를 얻는다.
- <212> 다음에, 레지스트 마스크들(1901a 및 1901b)이 형성되고, 이러한 상태에서 n형 불순물 원소(실시예 11에서 인)를 첨가하는 공정이 실행된다. 이 때, 실시예 1의 도 5b는 첨가 조건들에 대해 참조될 수 있다. 따라서, n형 불순물 영역들(1902 내지 1909)이 형성된다.(도 19a 참조)
- <213> 다음은, 레지스트 마스크들(1901a 및 1901b)이 제거되고, 보호막(1910)이 형성된다. 전기로를 사용하는 용광로 어닐링에 의해 n형 불순물 영역들(1902 내지 1909)에 첨가된 n형 불순물 원소들을 활성화하는 공정이 실행된다. 활성화는 500 내지 600°C에서 실행되고, 이때, 결정 실리콘막(302)을 결정화하는데 사용된 니켈은 인 게터링 작용에 의해 n형 불순물 영역들(1902 내지 1909)로 이동한다. 따라서, 니켈 게터링 공정 및 인 활성화 공정은 도 19b의 공정에서 조합된다.

- <214> 다음에, 레지스트 마스크(1911)가 형성되고, p형 불순물 성분(실시예 11에서 붕소)을 첨가하는 공정이 실행된다. 이 때, 실시예 1의 도 5c는 첨가 조건에 대해 참조될 수 있다. 따라서, p형 불순물 영역들(1912 및 1913)이 형성된다. (도 19c 참조)
- <215> 다음은, 실리콘 질화물 산화막으로부터 만들어진 층간 절연막(1914)이 형성되고, 이러한 상태에서 수소 첨가 공정이 실행된다. 층간 절연막(1914)내의 수소는 상기 수소첨가 공정에서 300 내지 450°C의 열처리에 의해 액티브 층 내에서 확산하게 된다. 또한, p형 불순물 영역들(1912 및 1913)에 첨가된 붕소는 동시에 활성화된다. 따라서, 수소 첨가 공정 및 붕소 활성화 공정은 도 19d의 공정에서 조합된다. p형 불순물 영역들은 수소가 첨가됨과 동시에 활성화되고, 이에 의해, p-채널 TFT의 오프 전류값의 현상은 하이 게이트 전압의 영역에서 더욱 높게 제어될 수 있다.
- <216> 또한, 수소 첨가 공정 및 붕소 활성화 공정은 별개로 수행될 수 있음을 주목한다. 즉, 도 19c의 단계 이후, 붕소 활성화 공정은 500 내지 600 °C에서 수행될 수 있고, 수소 첨가 공정은 300 내지 400 °C에서 수행될 수 있다. 수소 첨가 공정 온도가 낮기 때문에 붕소 활성화가 충분하지 않을 때 수행하는 것이 바람직하다.
- <217> 따라서, 도 19d의 상태를 얻은 이후, 순차적인 공정이 실시예 1에 따른 도 6a의 공정에 따라 수행될 수 있다. 층간 절연막(1914)은 도 6a에 도시된 제 1 층간 절연막(336)의 일부일 수 있다. 따라서, 실시예 1에 의해 설명된 바와 같은 액티브 매트릭스형의 EL 디스플레이 디바이스가 제조될 수 있다.
- <218> 실시예 11의 구성은 실시예들 2 내지 7 및 10 중 임의의 화합물로 자유롭게 조합될 수 있으며, 실시예 8의 장치는 EL 디바이스를 제조하는데 사용됨을 주목한다. 더욱이, 실시예 9에 도시된 전자 디바이스들은 실시예 11을 실행하여 제조된 EL 디스플레이 디바이스를 사용할 수 있다.

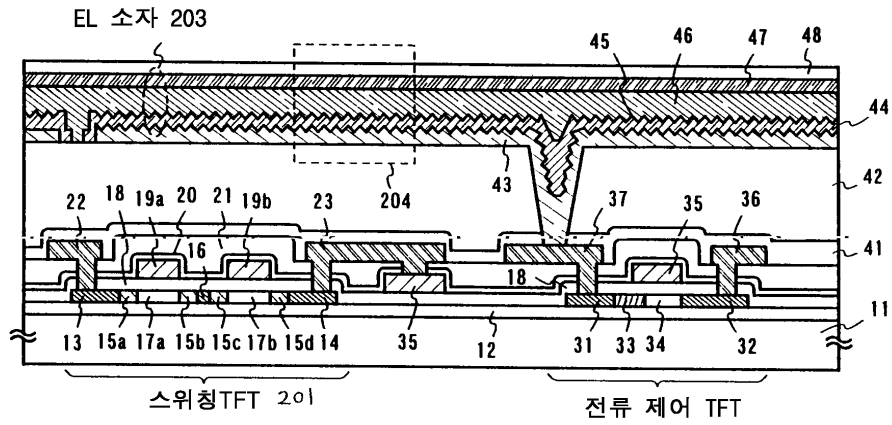
도면의 간단한 설명

- <219> 도 1은 EL 디스플레이 디바이스의 픽셀부의 단면 구조를 도시하는 도면.
- <220> 도 2는 EL 소자의 확대를 도시하는 도면.
- <221> 도 3a 및 3b는 EL 디스플레이 디바이스의 픽셀부의 표면 구조 및 회로 구조를 도시하는 도면.
- <222> 도 4a에서 4e는 액티브 매트릭스형 EL 디스플레이 디바이스 제조 공정을 도시하는 도면.
- <223> 도 5a에서 5d는 액티브 매트릭스형 EL 디스플레이 디바이스 제조 공정을 도시하는 도면.
- <224> 도 6a에서 6c는 액티브 매트릭스형 EL 디스플레이 디바이스 제조 공정을 도시하는 도면.
- <225> 도 7은 EL 모듈의 외관을 도시하는 도면.
- <226> 도 8은 EL 디스플레이 디바이스의 회로 블록 구조를 도시하는 도면
- <227> 도 9는 EL 디스플레이 디바이스의 픽셀부를 확대한 도면.
- <228> 도 10은 EL 디스플레이 디바이스의 샘플링 회로의 구성 소자를 도시하는 도면.
- <229> 도 11a 및 11b는 EL 모듈의 외관을 도시하는 도면.
- <230> 도 12a에서 12c는 접촉 구조를 제조하는 공정을 도시하는 도면.
- <231> 도 13은 EL 디스플레이 디바이스의 픽셀부의 구성을 도시하는 도면.
- <232> 도 14는 EL 디스플레이 디바이스의 픽셀부의 구성을 도시하는 도면.
- <233> 도 15는 박막 형성 장치의 외관을 도시하는 도면;
- <234> *도 16은 단순 매트릭스형 EL 디스플레이 디바이스의 외관을 도시하는 도면;
- <235> 도 17a에서 17f는 전자 디바이스들의 구체적 실시예들을 도시하는 도면들.
- <236> 도 18a에서 18e는 액티브 매트릭스형 EL 디스플레이 디바이스를 제조하는 공정을 도시하는 도면들; 및
- <237> 도 19a에서 19d는 액티브 매트릭스형 EL 디스플레이 디바이스를 제조하는 공정을 도시하는 도면들.
- <238> * 도면의 주요 부분에 대한 부호의 설명 *

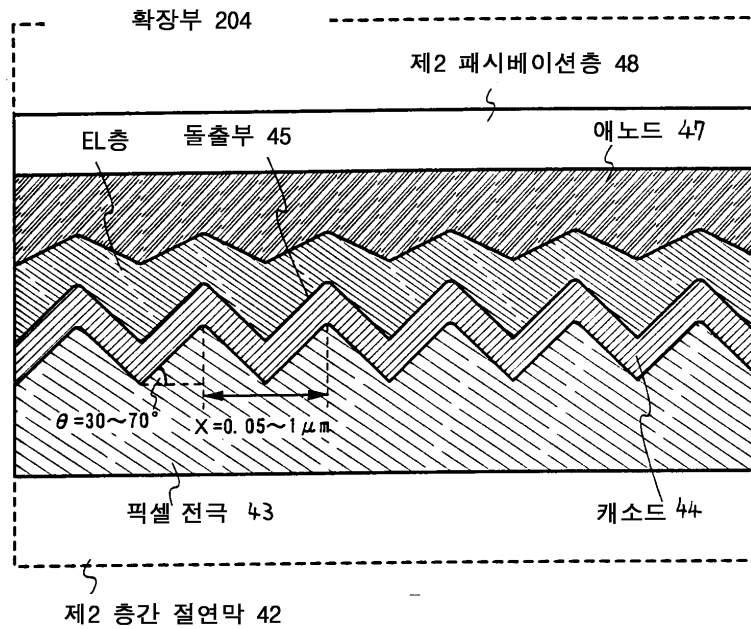
- <239> 901: 컨베이어 챔버 905: 게이트
 <240> 910: 제 3 기상막 침착 처리 챔버

도면

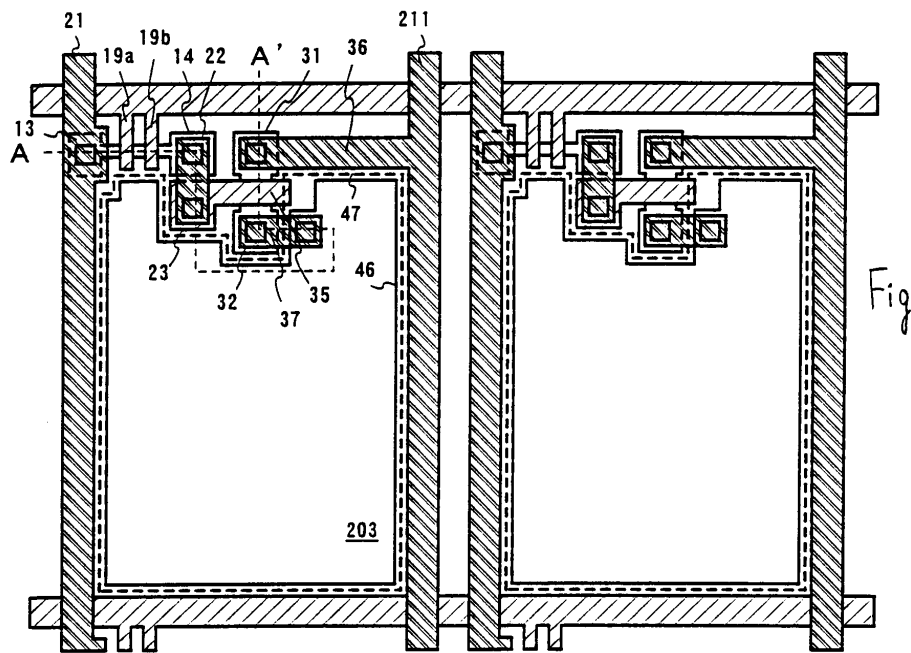
도면1



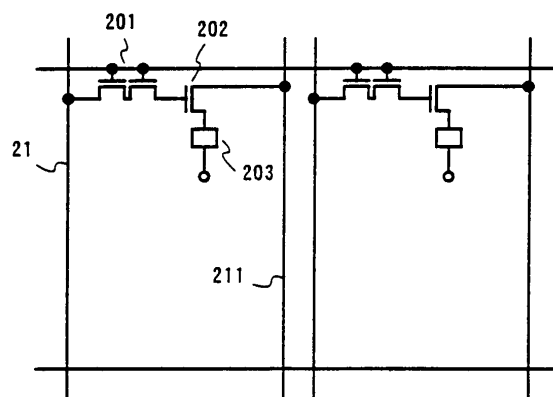
도면2



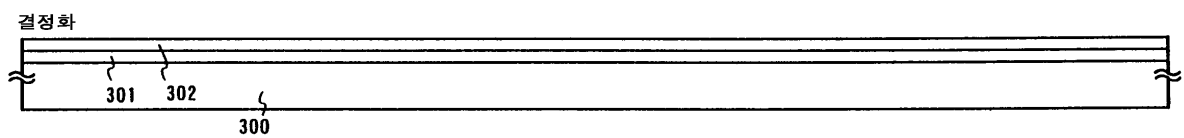
도면3a



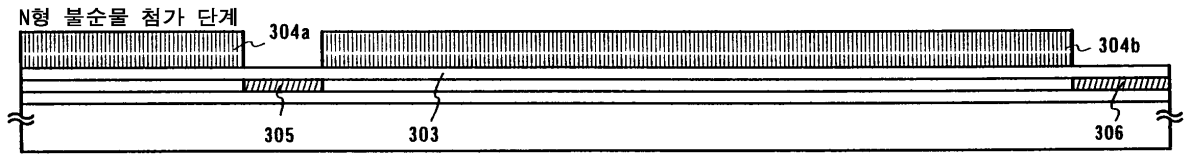
도면3b



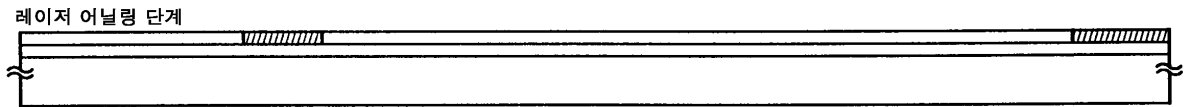
도면4a



도면4b



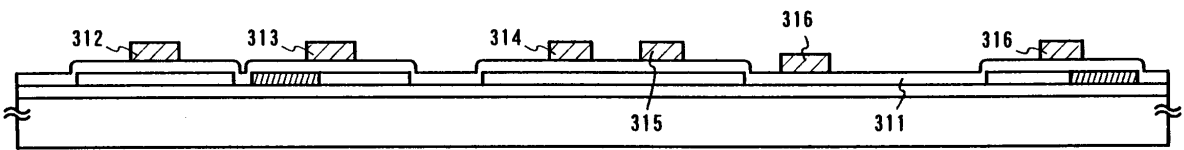
도면4c



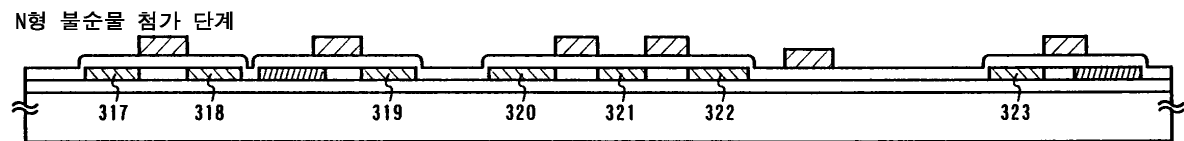
도면4d



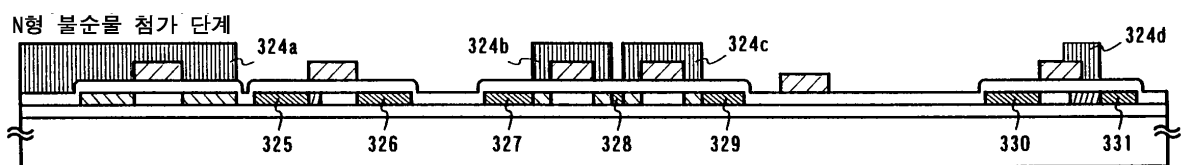
도면4e



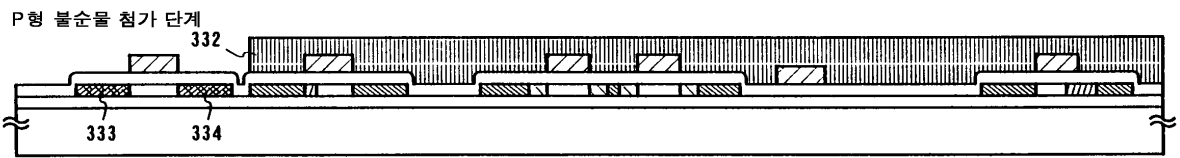
도면5a



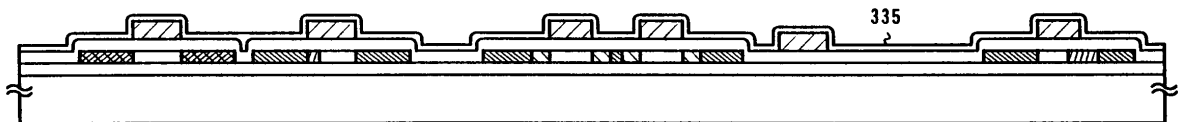
도면5b



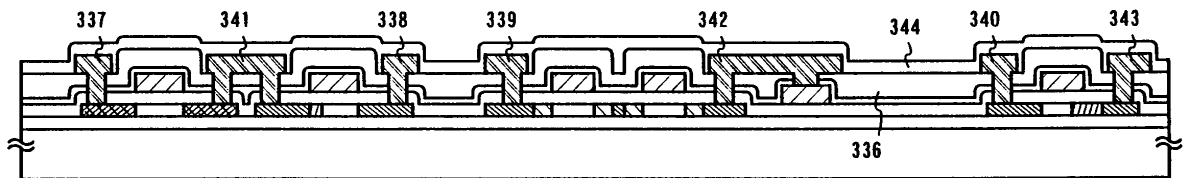
도면5c



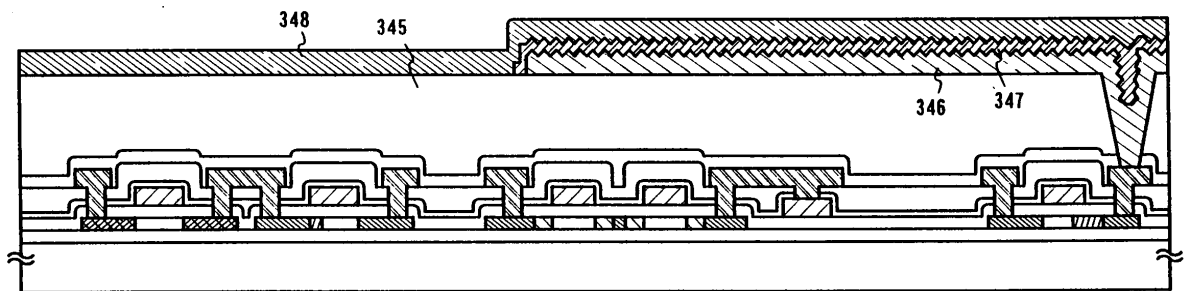
도면5d



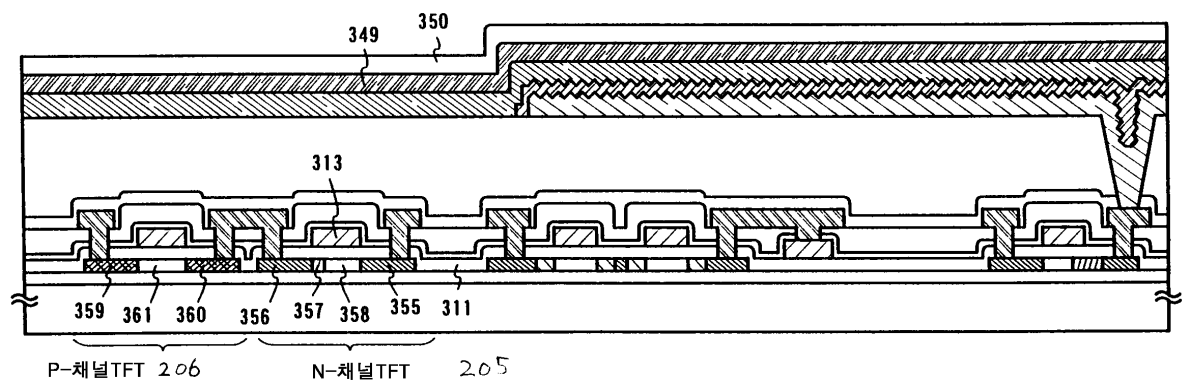
도면6a



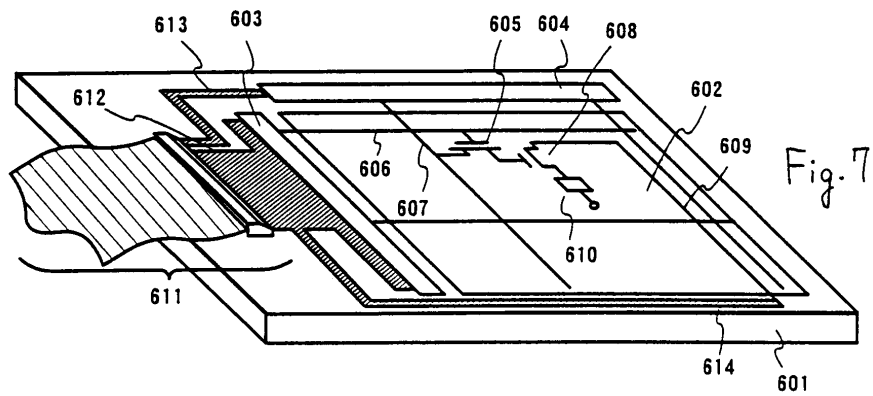
도면6b



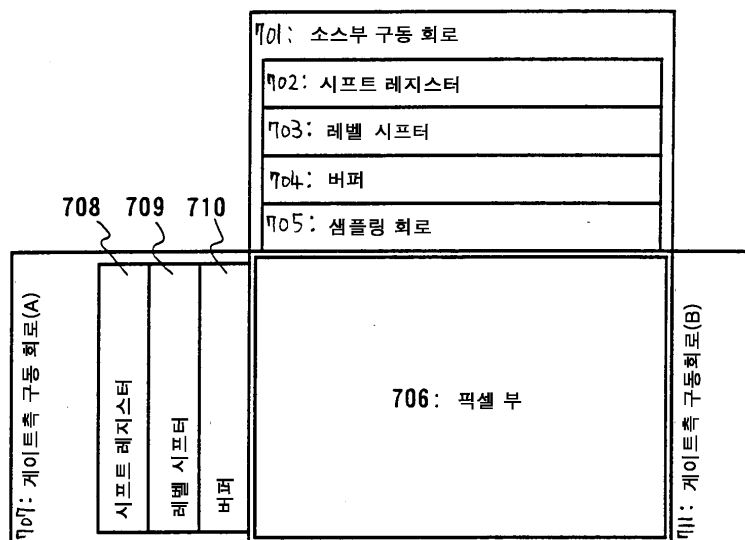
도면6c



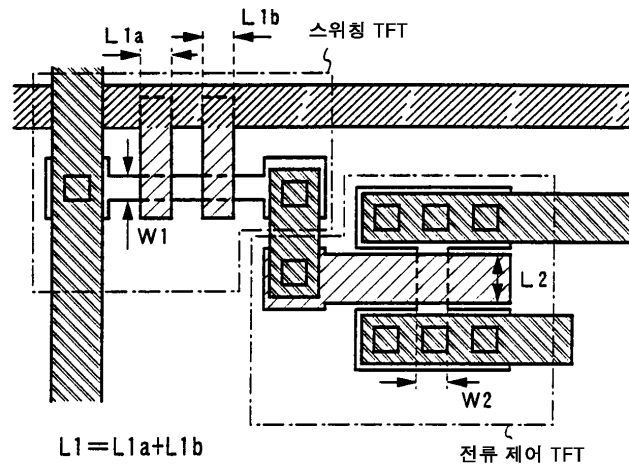
도면7



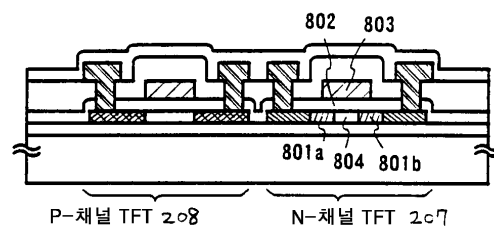
도면8



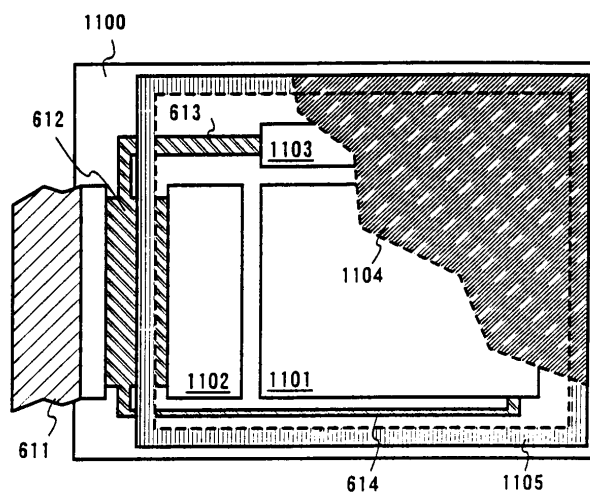
도면9



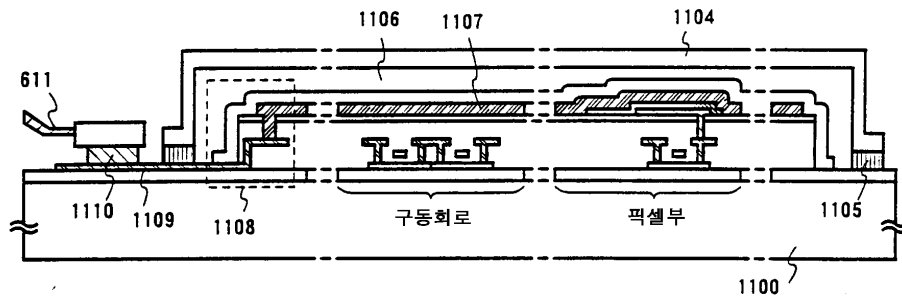
도면10



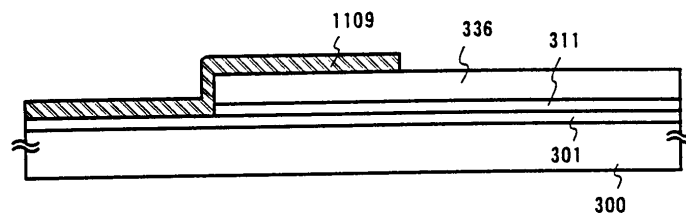
도면11a



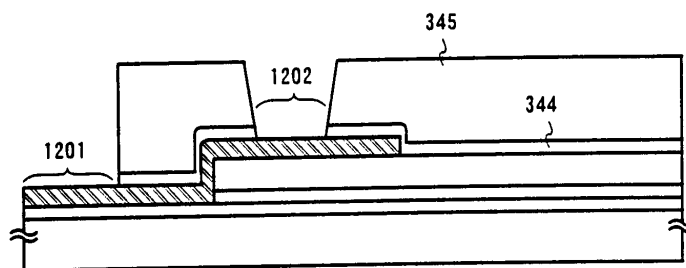
도면11b



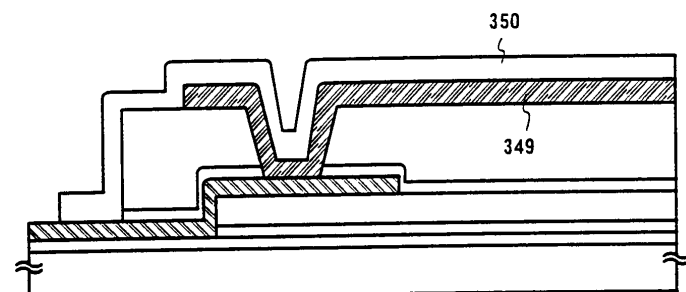
도면12a



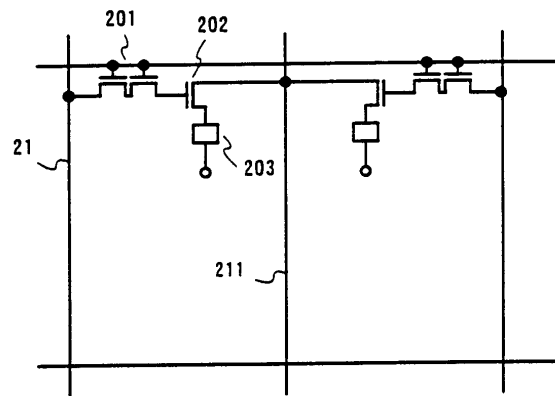
도면12b



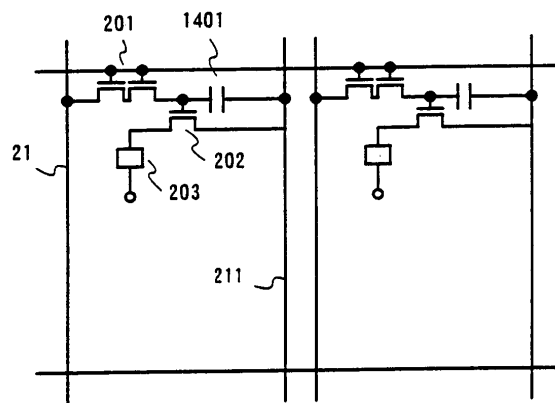
도면12c



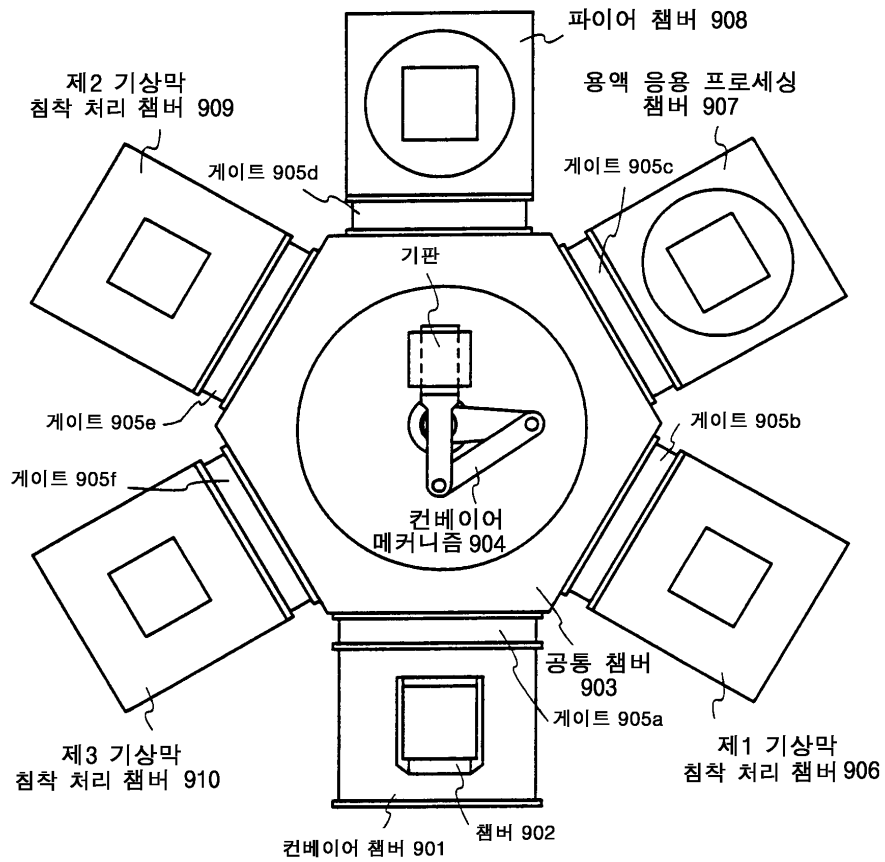
도면13



도면14



도면15



도면16

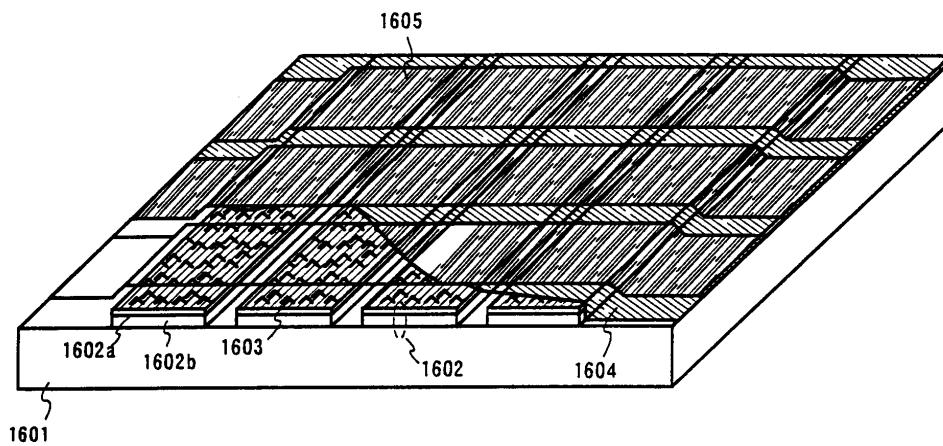
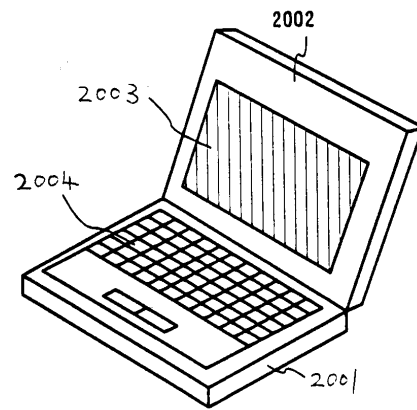
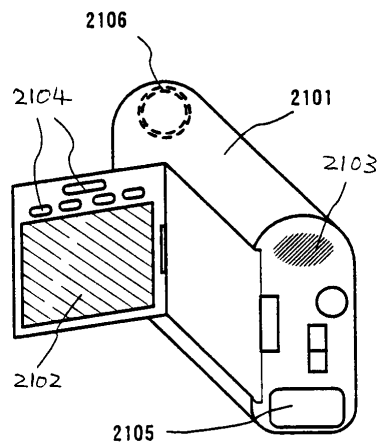


Fig. 16

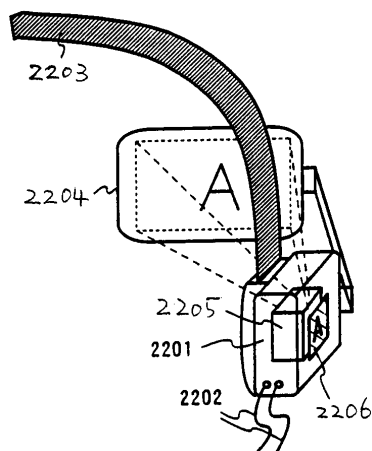
도면17a



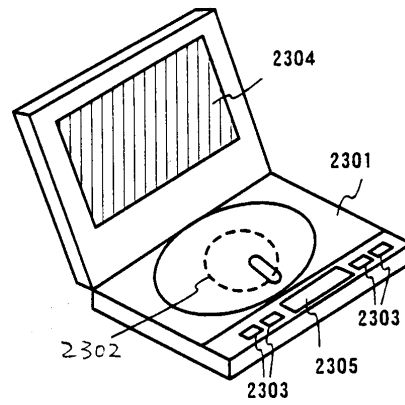
도면17b



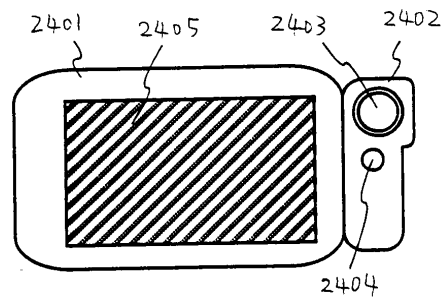
도면17c



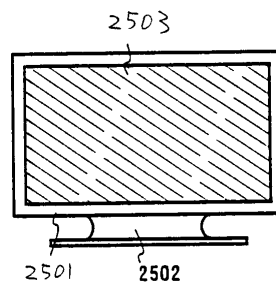
도면17d



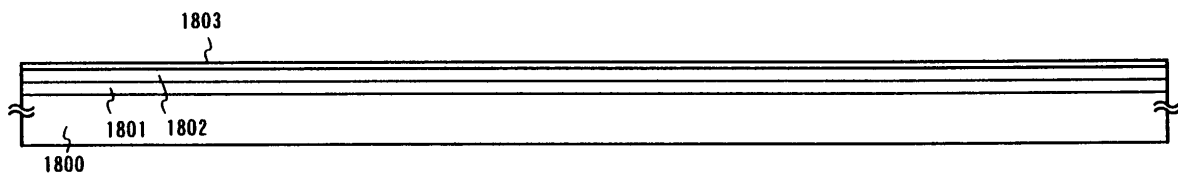
도면17e



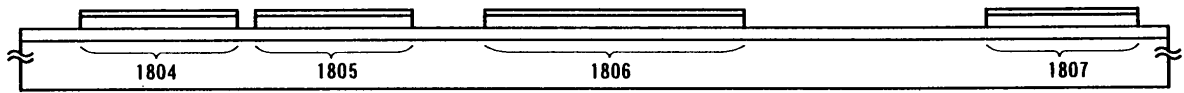
도면17f



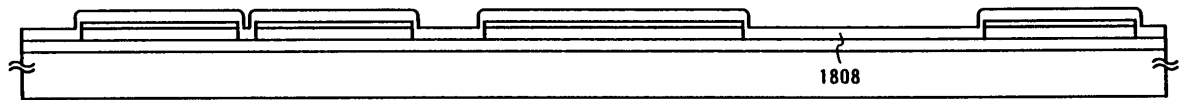
도면18a



도면18b

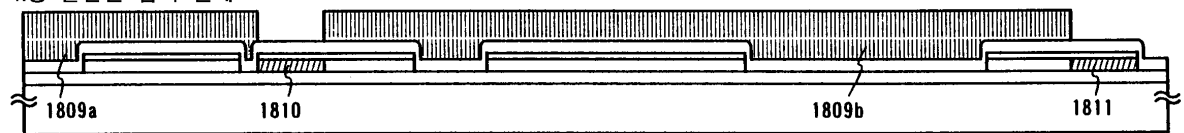


도면18c



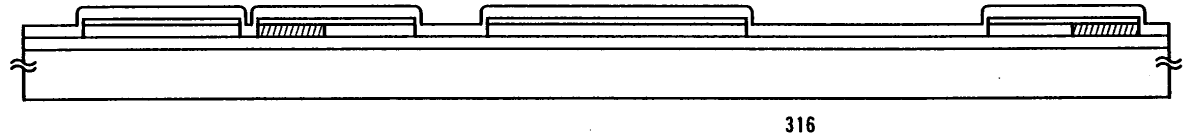
도면18d

N형 불순물 첨가 단계



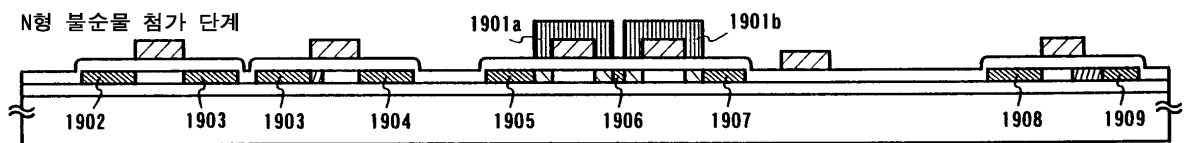
도면18e

레이저 어닐링 단계



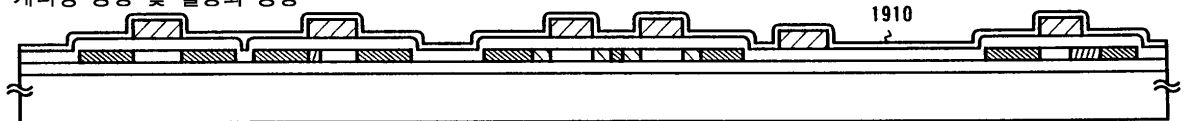
도면19a

N형 불순물 첨가 단계

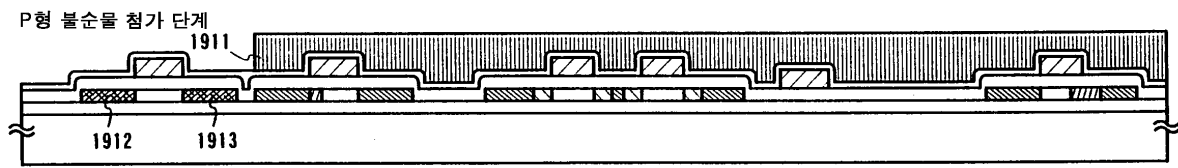


도면19b

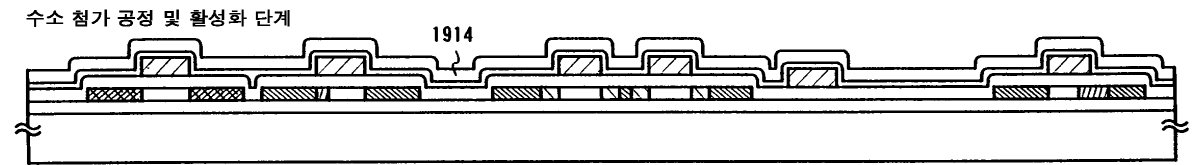
게터링 공정 및 활성화 공정



도면19c



도면19d



专利名称(译)	EL显示装置及其制造方法		
公开(公告)号	KR1020070111410A	公开(公告)日	2007-11-21
申请号	KR1020070095766	申请日	2007-09-20
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI		
发明人	YAMAZAKI, SHUNPEI		
IPC分类号	H05B33/02 H05B33/26 H01L31/12 G09F9/30 H01L27/32 H01L51/50 H01L51/52 H05B33/10 H05B33/12 H05B33/14		
CPC分类号	H01L27/1214 H01L51/5221 H01L51/5203 H01L29/78627 H01L27/3244 H01L51/5268 H01L2251/5315 H01L29/78621 H01L51/5231 H01L51/5206 H01L51/5281 H01L27/3281 H01L51/5225 H01L27/1251 H01L27/3248 H01L2251/5353		
代理人(译)	李, 何炳 李昌勋		
优先权	1999250965 1999-09-03 JP 1999336249 1999-11-26 JP		
其他公开文献	KR100864197B1		
外部链接	Espacenet		

摘要(译)

提供EL (电致发光) 显示装置及其制造方法, 以通过使用阴极表面散射从EL层反射的光来改善图像质量。EL显示器件包括单晶半导体膜, 源区和漏区 (13,14), 沟道区, 栅电极 (19a, 19b), 层间电介质 (21) 和发光层。单晶半导体膜包含设置在绝缘表面上的硅。源区和漏区设置在单晶半导体膜上。沟道区设置在源区和漏区之间以及单晶半导体膜上。栅电极设置在沟道区上。在栅电极之间形成栅极绝缘膜。层间电介质设置在栅电极上。发光层设置在层间电介质上并电连接到源区和漏区之一。

