(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/30

(11) 공개번호 특2003-0000047
(43) 공개일자 2003년01월06일

(21) 출원번호 10-2001-0035662
(22) 출원일자 2001년06월22일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 박준규
서울특별시관악구신림1동1630-17번지
김성기
서울특별시강북구수유2동270-78

(74) 대리인 김영호

심사청구 : 없음

(54) 일렉트로 루미네센스 패널

요약

본 발명은 화질을 향상시킬 수 있는 일렉트로 루미네센스 패널에 관한 것이다.

본 발명의 일렉트로 루미네센스 패널은 게이트라인과, 게이트라인과 교차되게 마련되어진 데이터라인과, 게이트라인과 데이터라인의 교차부에 형성되는 EL셀과, 데이터라인으로부터의 신호를 충전하는 캐패시터와, 게이트라인을 통해 공급되는 게이트신호에 응답하여 데이터라인 상의 신호를 상기 캐패시터에 공급하며 상호 문턱전압이 다르게 설정되는 제1 및 제2 스위치를 구비한다.

본 발명에 의하면, 제1 및 제2 스위치의 문턱전압을 다르게 형성한다. 이에 따라 킥백현상을 방지할 수 있음과 아울러 누설전류를 최소화할 수 있어 화질이 향상될 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 일렉트로 루미네센스 패널을 개략적으로 도시하는 도면.

도 2는 도 1에 도시된 화소 소자를 상세히 나타내는 회로도.

도 3은 본 발명에 따른 일렉트로 루미네센스 패널의 화소 소자를 상세히 나타내는 회로도.

도 4는 도 1에 도시된 화소소자를 다른 스위치로 형성하여 상세히 나타내는 회로도.

도 5는 도 3에 도시된 제1 및 제2 스위치의 버퍼절연층을 나타내는 단면도.

도 6은 도 5에 도시된 버퍼절연층을 상세히 나타내는 도면

도 7은 도 3에 도시된 제1 및 제2 스위치의 활성층을 나타내는 단면도.

도 8은 도 3에 도시된 제1 및 제2 스위치의 게이트전극 및 게이트라인을 나타내는 단도면.

도 9는 도 3에 도시된 제1 및 제2 스위치의 이온주입을 나타내는 단면도.

도 10은 도 3에 도시된 제1 및 제2 스위치의 층간절연막을 나타내는 단면도.

도 11은 도 3에 도시된 제1 및 제2 스위치의 소스 및 드레인전극을 나타내는 단면도.

도 12는 도 3에 도시된 제1 및 제2 스위치의 보호층을 나타내는 단면도.

도 13은 도 3에 도시된 제1 및 제2 스위치의 화소전극을 나타내는 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

31 : 기판32,62 : 버퍼절연층

34,64 : 활성층36,66 : 게이트라인

38,68 : 게이트전극40,70 : 층간절연막

42,50,72,80 : 접촉홀44,74 : 소스전극

46,76 : 드레인전극48,78 : 보호층

52,82 : 화소전극100 : 게이트드라이버

102 : 데이터드라이버104 : EL패널

106 : 전류 드라이버108 : 화소소자

110,120 : 셀 구동회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스(Electro Luminescence; 이하 " EL" 이라 함) 소자를 이용한 EL 패널에 관한 것이다.

통상의 EL 패널은 전기적 신호를 빛의 에너지로 변환함으로써 비디오(또는 영상) 신호에 상응하는 화상을 표시하게 된다. 이러한 EL 패널(104)은 도 1에 도시된 바와 같이 서로 교차되게 배열되어진 게이트라인들(GL) 및 데이터라인들(DL)과, 게이트라인들(GL)과 데이터라인(DL)들의 교차부들 각각에 배열되어진 화소소자들(108)을 구비한다. 화소소자들(108) 각각은 게이트라인(GL) 상의 게이트신호들이 인에이블될 때에 구동되어 데이터 라인(DL) 상의 화소신호의 전류량에 상응하는 빛을 발생하게 된다.

또한, EL 패널(104)은 데이터라인들(DL) 각각에 접속되어진 전류드라이버들(CD,106)을 구비한다. 이들 전류드라이버들(106) 각각은 화소신호에 응답하여 화소소자(108)로부터 데이터라인(DL)을 경유하여 자신쪽으로 흐르는 전류신호를 제어함으로써 화소소자들(108)에 화소신호를 공급하게 된다. 전류드라이버(106)에 의해 화소소자들(108)에 대전류가 흐를 수 있게 한다. 이 전류드라이버(106)에 의해 화소소자들(108)에는 화소신호에 따라 변하는 전류신호가 흐르게 된다.

이와 같은 EL 패널(104)의 게이트라인들(GL)은 게이트드라이버(100)에 접속되게 되고, 전류드라이버들(106)은 데이터드라이버(102)에 접속되게 된다. 게이트드라이버(100)는 게이트라인(GL)들을 순차적으로 구동하게 된다. 데이터드라이버(102)는 1 라인 분의 화소전압신호들을 전류드라이버들(106)에 공급하게 된다. 전류드라이버들(106) 각각은 데이터드라이버(102)로부터의 화소전압신호를 역방향 화소전류신호로 변환하고, 그 변환된 화소전류신호를 화소소자(108)에 공급하게 된다. 다시 말하여, 전류드라이버(106)는 화소소자(108)로부터 데이터라인(DL)을 경유하는 전류 통로 상의 전류량을 조절함으로써 화소 소자(108)에서의 최대 전류량이 커지게 됨과 아울러 그레이 스케일 레벨에 따른 전류량의 차이가 커지게 된다. 이 결과, EL 패널(104)은 그레이 스케일 화상을 표시할 수 있게 된다.

도 2를 참조하면, 화소소자(108)는 제 1 저전위라인(FVL)에 접속되어진 EL 셀(ELC)과, 이 EL 셀(ELC) 및 데이터라인(DL) 사이에 접속되어진 EL 셀 구동회로(110)를 구비한다. 제1 저전위 라인(FVL)은 기저전위원(GND)에 접속되거나 또는 부극성의 전압을 발생하는 제1 저전위 전압원에 접속될 수 있다. EL 셀 구동회로(110)는 게이트라인(GL) 상의 게이트신호가 인에이블된 기간에 데이터라인(DL) 상의 역방향 전류량에 따라 변하는 정방향 전류신호를 EL 셀(ELC)에 공급하게 된다. 이를 위하여, EL 셀 구동회로(110)는 EL 셀 (ELC), 제1 노드(N1) 및 공급전압라인(VDDL) 사이에 전류 미러를 형성하게 접속되어진 제3 및 제4 PMOS TFT(Q3,Q4)와, 이들 제3 및 제4 PMOS TFT(Q3,Q4)의 게이트 전극들이 공통적으로 접속되어진 제2 노드(N2)와 공급전압라인(VDDL) 사이에 접속되어진 캐패시터(C)를 구비한다.

캐패시터(C)는 공급전압라인(VDDL)이 데이터라인(DL)에 접속될 때, 데이터라인(DL) 상의 신호전류를 충전하여 그 충전되어진 신호전류를 제3 및 제4 PMOS TFT(Q3,Q4)의 게이트 전극들에 공통적으로 공급한다. 제3 PMOS TFT(Q3)는 캐패시터(C)에 충전되어진 신호전류에 의해 턴-온 됨으로써, 공급전압라인(VDDL) 상의 공급전압(VDD)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제3 PMOS TFT(Q3)는 캐패시터(C)에 충전되어진 신호전류의 량에 따라 자신의 채널 폭을 가변시켜 공급전압라인(VDDL)으로부터 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 공급전압라인(VDDL)으로부터 제3 PMOS TFT(Q3)를 경유하여 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제4 PMOS TFT(Q4)도 공급전압라인(VDDL)으로부터 자신을 경유하여 데이터라인(DL) 쪽으로 흐르는 전류량을 조절하여 제3 PMOS TFT(Q3)를 통해 EL 셀(ELC) 쪽으로 흐르게 될 전류량을 결정하게 된다.

또한, EL 셀 구동회로(110)는 게이트 라인(GL) 상의 게이트 신호에 공통적으로 응답하는 제1 및 제2 PMOS TFT(Q1,Q2)를 추가로 구비한다. 제1 PMOS TFT(Q1)는 로우논리의 게이트신호가 게이트라인(GL)으로부터 공급되는 기간에 턴-온되어 제1 노드(N1)에 접속되어진 제1 PMOS TFT(Q1)의 소오스 전극이 데이터 라인(DL)에 접속되게 한다. 다시 말하여, 제1 PMOS TFT(Q1)는 로우논리의 게이트신호에 응답하여 공급전압라인(VDDL)으로부터 제2 PMOS 트랜지스터(Q2), 제1 노드(N1) 및 자신을 경유하여 데이터라인(DL)에 이르는 전류통로를 형성시키는 역할을 하게 된다. 제2 PMOS TFT(Q2)도 게이트라인(GL)으로부터 로우논리의 게이트 신호가 자신의 게이트 전극 쪽으로 공급되는 기간에 턴-온되어 제3 및 제4 PMOS TFT(Q3,Q4)의 게이트 전극들과 캐패시터(C)의 일측 단자가 접속되어진 제2 노드(N2)와 제1 노드(N1)를 경유하여 데이터라인(DL)에 접속되게 한다. 다시 말하여, 제1 및 제2 PMOS TFT(Q1,Q2)는 게이트라인(GL) 상의 게이트 신호가 로우논리를 유지하는 기간 턴-온 되어 데이터라인(DL)이 공급전압라인(VDDL)은 물론 제2 노드(N2)에 접속되게 하여 데이터라인(DL)에 흐르는 전류량에 해당하는 전하량 (또는 신호전류)이 캐패시터(C)에 충전되게 한다.

이러한 EL 셀 구동회로(110)는 제1 PMOS TFT(Q1)는 게이트 신호가 로우논리에서 하이논리로 변화될 때에 제1 PMOS TFT(Q1)와 문턱전압이 동일한 제2 PMOS TFT(Q2)과 동시에 턴-오프된다. 따라서, 캐패시터(C)에 충전되어진 전하량이 게이트신호의 하강에지에서 누설되는 킥백(kick back)현상이 발생한다. 이 결과, EL 셀(ELC)은 데이터라인 상의 전류량에 해당하는 양의 빛을 정확하게 발생되지 않아 화상이 열화되거나 왜곡된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화질을 향상시킬 수 있는 일렉트로 루미네센스 패널을 제공하는데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 일렉트로 루미네센스 패널은 게이트라인과, 게이트라인과 교차되게 마련되어진 데이터라인과, 게이트라인과 데이터라인의 교차부에 형성되는 EL셀과, 데이터라인으로부터의 신호를 충전하는 캐패시터와, 게이트라인을 통해 공급되는 게이트신호에 응답하여 데이터라인 상의 신호를 상기 캐패시터에 공급하며 상호 문턱전압이 다르게 설정되는 제1 및 제2 스위치를 구비한다.

상기 제1 스위치의 게이트단자는 게이트라인에 접속되며, 소스단자는 데이터라인에 접속되며, 드레인단자는 제2 스위치의 소스단자에 접속된다.

상기 제2 스위치의 게이트단자는 게이트라인에 접속되며, 소스단자는 제1 스위치의 드레인단자에 접속되며, 드레인단자는 캐패시터에 접속된다.

상기 제1 스위치의 문턱전압은 제2 스위치의 문턱전압보다 낮게 형성된다.

상기 캐패시터에 충전되는 신호전류에 응답하여 데이터라인 상의 신호를 상기 EL셀에 공급하는 제3 스위치와, 제3 스위치와 전류미러형태로 접속되어 EL셀에 공급되는 전류를 조절하는 제4 스위치를 추가로 구비한다.

상기 제2 스위치의 게이트절연막 두께를 제1 스위치의 게이트절연막 두께보다 두껍게 형성된다.

상기 제2 스위치의 보호층 두께를 제1 스위치의 보호층 두께보다 두껍게 형성된다.

상기 제2 스위치의 층간절연막 두께를 제1 스위치의 층간절연막 두께보다 두껍게 형성된다.

상기 제2 스위치의 게이트전극은 단층으로 형성되며, 제1 스위치의 게이트전극은 2층 구조로 형성된다.

상기 제2 스위치의 소스 및 드레인전극은 단층으로 형성되며, 제1 스위치의 소스 및 드레인전극은 2층 구조로 형성된다.

상기 제2 스위치의 소스 및 드레인전극과 제1 스위치의 소스 및 드레인전극을 형성하는 금속을 다르게 형성된다.

상기 제2 스위치의 반도체층과 제1 스위치의 반도체층 종류를 다르게 형성한다.

상기 제2 스위치의 반도체층에 주입되는 이온의 농도는 제1 스위치의 반도체층에 주입되는 이온의 농도보다 높게 형성된다.

상기 제2 스위치의 반도체층은 수소불순물이 첨가된다.

상기 제2 스위치의 반도체층 표면은 플라즈마를 이용한 표면처리에 의해 표면이 거칠게 된다.

상기 제1 스위치의 하부기판 결정화방향과 제2 스위치의 하부기판 결정화방향이 다르게 형성된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 3 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 3을 참조하면, 본 발명에 따른 EL 셀 구동회로(120)는 EL 셀(ELC), 제1 노드(N1) 및 공급전압라인(VDDL) 사이에 전류 미러를 형성하게 접속되어진 제3 및 제4 스위치(S3,S4)와, 제3 및 제4 스위치(S3,S4)의 게이트전극들이 공통적으로 접속되어진 제2 노드(N2)와 공급전압라인(VDDL) 사이에 접속되어진 캐패시터(C)와, 제1 노드(N1) 및 게이트라인(GL) 사이에 접속되어진 제2 스위치(S2)와, 제1 노드(N1) 및 데이터라인(DL) 사이에 접속되어진 제1 스위치(S1)를 구비한다. 여기서, 제1 내지 제4 스위치는 PMOS형 TFT로 형성된다.

캐패시터(C)는 공급전압라인(VDDL)이 데이터라인(DL)에 접속될 때, 데이터 라인(DL) 상의 신호전류를 충전하여 그 충전되어진 신호전류를 제3 및 제4 스위치(S3,S4)의 게이트전극들에 공통적으로 공급한다. 제3 스위치(S3)는 캐패시터(C)에 충전되어진 신호전류에 의해 턴-온됨으로써 공급전압라인(VDDL) 상의 공급전압(VDD)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제3 스위치(S3)는 캐패시터(C)에 충전되어진 신호전류의 량에 따라 자신의 채널 폭을 가변시켜 공급전압라인(VDDL)으로부터 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 공급전압라인(VDDL)으로부터 제3 스위치(S3)를 경유하여 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제4 스위치(S4)도 공급전압라인(VDDL)으로부터 자신을 경유하여 데이터라인(DL) 쪽으로 흐르는 전류량을 조절하여 제3 스위치(S3)를 통해 EL 셀(ELC) 쪽으로 흐르게 될 전류량을 결정하게 된다.

제1 스위치(S1)는 로우논리의 게이트신호가 게이트라인(GL)으로부터 공급되는 기간에 턴-온되어 제1 노드(N1)에 접속되어진 제1 스위치(S1)의 소스전극이 데이터라인(DL)에 접속되게 한다. 다시 말하여, 제1 스위치(S1)는 로우논리의 게이트 신호에 응답하여 공급전압라인(VDDL)으로부터 제4 스위치(S4), 제1 노드(N1) 및 자신을 경유하여 데이터라인(DL)에 이르는 전류통로를 형성시키는 역할을 하게 된다. 제2 스위치(S2)도 게이트라인(GL)으로부터 로우논리의 게이트신호가 자신의 게이트전극 쪽으로 공급되는 기간에 턴-온되어 제3 및 제4 스위치(S3,S4)의 게이트전극들과 캐패시터(C)의 일측 단자가 접속되어진 제2 노드(N2)와 제1 노드(N1)를 경유하여 데이터라인(DL)에 접속되게 한다. 다시 말하여, 제3 및 제4 스위치(S3,S4)는 게이트라인(GL) 상의 게이트신호가 로우논리를 유지하는 기간 턴-온 되어 데이터 라인(DL)이 공급전압라인(VDDL)은 물론 제2 노드(N2)에 접속되게 하여 데이터라인(DL)에 흐르는 전류량에 해당하는 전하량 (또는 신호전류)이 캐패시터(C)에 충전되게 한다.

이 EL 셀 구동회로(120)는 제1 및 제2 스위치(S1,S2)의 문턱전압(Vth1,Vth2)을 다르게 설정한다. 즉, 후술하는 제조방법에 의해, 제1 스위치(S1)의 문턱전압(Vth1)이 제2 스위치(S2)의 문턱전압(Vth2)보다 작게 형성한다. 가장 이상적인 조건은 제2 스위치(S2)의 문턱전압(Vth2)과 제1 스위치(S1)의 문턱전압(Vth1)과의 차(Vth2-Vth1)가 0.5V이상일 때이다. 이러한 제1 스위치(S1)는 게이트신호가 로우논리에서 하이논리로 변화될 때에 제2 스위치(S2)보다 늦게 턴-오프되게 된다. 따라서, 캐패시터(C)에 충전되어진 전하량이 게이트 신호의 하강에지에서 누설되지 않게 된다. 이 결과, EL 셀은 데이터라인 상의 전류량에 해당하는 양의 빛을 정확하게 발생할 수 있게 되고, 나아가 EL 패널의 비디오 신호(또는 영상신호)에 상응하는 화상을 열화 또는 왜곡없이 표시할 수 있게 된다.

도 4를 참조하면, EL 셀 구동회로(120)는 EL 셀(ELC), 제1 노드(N1) 및 기저전압(GND)사이에 전류 미러를 형성하게 접속되어진 제3 및 제4 스위치(S3,S4)와, 제3 및 제4 스위치(S3,S4)의 게이트전극들이 공통적으로 접속되어진 제2 노드(N2)와 기저전압(GND) 사이에 접속되어진 캐패시터(C)와, 제1 노드(N1) 및 게이트라인(GL) 사이에 접속되어진 제2 스위치(S2)와, 제1 노드(N1) 및 데이터라인(DL) 사이에 접속되어진 제1 스위치(S1)를 구비한다. 제1 내지 제4 스위치(S1 내지 S4)는 NMOS형 TFT로 형성된다.

캐패시터(C)는 기저전압(GND)이 데이터라인(DL)에 접속될 때, 데이터 라인(DL) 상의 신호전류를 충전하여 그 충전되어진 신호전류를 제3 및 제4 스위치(S3,S4)의 게이트전극들에 공통적으로 공급한다. 제3 스위치(S3)는 캐패시터(C)에 충전되어진 신호전류에 의해 턴-오프됨으로써 기저전압(GND)이 EL 셀(ELC)에 공급되게 한다. 이 때, 제3 스위치(S3)는 캐패시터(C)에 충전되어진 신호전류의 량에 따라 자신의 채널 폭을 가변시켜 공급전압라인(VDDL)으로부터 EL 셀(ELC)에 공급되는 전류량이 조절되게 한다. 그러면, EL 셀(ELC)은 기저전압(GND)으로부터 제3 스위치(S3)를 경유하여 인가되는 전류량에 상응하는 량의 빛을 발생하게 된다. 제4 스위치(S4)도 기저전압(GND)으로부터 자신을 경유하여 데이터라인(DL) 쪽으로 흐르는 전류량을 조절하여 제3 스위치(S3)를 통해 EL 셀(ELC) 쪽으로 흐르게 될 전류량을 결정하게 된다.

제1 스위치(S1)는 하이논리의 게이트신호가 게이트라인(GL)으로부터 공급되는 기간에 턴-온되어 제1 노드(N1)에 접속되어진 제1 스위치(S1)의 소스전극이 데이터라인(DL)에 접속되게 한다. 다시 말하여, 제1 스위치(S1)는 하이논리의 게이트 신호에 응답하여 공급전압라인(VDDL)으로부터 제4 스위치(S4), 제1 노드(N1) 및 자신을 경유하여 데이터라인(DL)에 이르는 전류통로를 형성시키는 역할을 하게 된다. 제2 스위치(S2)도 게이트라인(GL)으로부터 하이논리의 게이트신호가 자신의 게이트전극 쪽으로 공급되는 기간에 턴-온되어 제3 및 제4 스위치(S3,S4)의 게이트전극들과 캐패시터(C)의 일측 단자가 접속되어진 제2 노드(N2)와 제1 노드(N1)를 경유하여 데이터라인(DL)에 접속되게 한다. 다시 말하여, 제1 및 제2 스위치(S1,S2)는 게이트라인(GL) 상의 게이트신호가 하이논리를 유지하는 기간 턴-온 되어 데이터라인(DL)이 기저전압(GND)은 물론 제2 노드(N2)에 접속되게 하여 데이터라인(DL)에 흐르는 전류량에 해당하는 전하량(또는 신호전류)이 캐패시터(C)에 충전되게 한다.

이 EL 셀 구동회로(120)는 제1 및 제2 스위치(S1,S2)의 문턱전압을 다르게 설정한다. 즉, 후술하는 제조방법에 의해 제1 스위치(S1)의 문턱전압(Vth1)이 제2 스위치(S2)의 문턱전압(Vth2)보다 작게 형성한다. 가장 이상적인 조건은 제2 스위치(S2)의 문턱전압(Vth2)과 제1 스위치(S1)의 문턱전압(Vth1)과의 차(Vth2-Vth1)가 0.5V이상일 때이다. 이러한 제1 스위치(S1)는 게이트신호가 로우논리에서 하이논리로 변화될 때에 제2 스위치(S2)보다 늦게 턴-오프되게 된다. 따라서, 캐패시터(C)에 충전되어진 전하량이 게이트 신호의 하강에지에서 누설되지 않게 된다. 이 결과, EL 셀(ELC)은 데이터라인(DL) 상의 전류량에 해당하는 양의 빛을 정확하게 발생할 수 있게 되고, 나아가 EL 패널의 비디오 신호(또는 영상신호)에 상응하는 화상을 열화 또는 왜곡없이 표시할 수 있게 된다.

도 5 내지 도 13은 문턱전압이 다르게 설정하기 위해 제1 및 제2 스위치(S1,S2)의 제조방법을 나타내는 단면도이다.

도 5를 참조하면, 기판(31) 상에 제1 및 제2 스위치(S1,S2)의 제1 및 제2 버퍼절연막(32,62)이 형성된다. 제1 및 제2 버퍼절연막(32,62)은 기판(31) 상에 절연물질인 SiO_2를 증착함으로써 형성된다.

제1 및 제2 버퍼절연막(32,62) 상에 비정질실리콘 박막이 형성된다. 이 비정질 실리콘 박막을 SLS 기술에 의하여 결정화하여 실리콘 그레인이 횡기적으로 성장된 제1 및 제2 SLS 실리콘막(34A,64A)을 형성한다. 제1 버퍼절연막(32) 상에 형성되는 제1 SLS 실리콘막(34A)은 가로방향으로 형성되며, 제2 버퍼절연막(62) 상에 형성되는 제2 SLS 실리콘막(64A)은 세로방향으로 형성된다.

가로방향의 제1 SLS실리콘막(34A) 상에 추후에 형성되는 소스전극과 드레인전극은 도 6에 도시된 바와 같이 제1 SLS실리콘막(34A)과 동일한 결정화된 상태를 갖는다. 이에 따라, 전자의 이동도가 높아져 온-전류가 증가한다. 증가된 온-전류에 의해 제1 스위치(S1)의 문턱전압(Vth1)이 낮아진다.

세로방향의 제2 SLS실리콘막(64B) 상에 추후에 형성되는 소스전극과 드레인전극은 제2 SLS실리콘막(64B)과 직교하게 결정화되므로 전자의 이동도가 낮아져 온-전류가 감소한다. 이 감소된 온-전류에 의해 제2 스위치(S2)의 문턱전압(Vth2)이 높아진다.

도 7을 참조하면, 제1 및 제2 버퍼층(32,62) 상에 제1 및 제2 활성층(34,64)이 형성된다.

제1 및 제2 활성층(34,64)은 제1 및 제2 SLS실리콘막(34A,64A)을 패터닝함으로써 형성된다.

제1 및 제2 활성층(34,64)을 형성하는 폴리-실리콘은 4개의 전자를 가지고 있는데 이 중 주위의 원자와 결합하지 못하는 댕그링본드(Dangling Bond)가 형성된다. 이 댕그링본드를 감소시키기 위해 제1 활성층(34)을 수소화한다. 이 수소화로 제1 활성층(34)의 댕그링본드가 줄어들어 주위의 원자와 결합력이 향상된다. 이로 인해 전기적 특성이 향상되어 제1 스위치(S1)의 문턱전압(Vth1)이 제2 스위치(S2)의 문턱전압(Vth2)보다 낮게 형성된다.

다른 방법으로 제2 활성층(64)과 제1 활성층(34)은 성분이 다른 비정질실리콘으로 형성한다. 제2 활성층(64)을 형성하는 비정질실리콘 내에 함유된 불순물(defect)의 양이 제1 활성층(34)의 그것보다 더 많게 형성한다. 이로 인해 제2 스위치(S2)의 문턱전압(Vth2)은 제1 스위치(S1)의 문턱전압(Vth1)보다 높게 형성된다.

또는, 제1 활성층(34)의 표면에 플라즈마 처리를 하여 제1 활성층의 표면이 거칠게 형성된다. 이러한 제1 활성층(34) 내의 전자구조가 달라져 제1 스위치(S1)의 문턱전압(Vth1)은 제2 스위치(S2)의 문턱전압(Vth2)보다 낮게 형성된다.

도 8을 참조하면, 제1 및 제2 버퍼절연막(32,62) 상부에 제1 및 제2 게이트절연막(36,66)과 게이트전극(38,68)이 형성된다.

제1 및 제2 게이트절연막(36,66)과 제1 및 제2 게이트전극(38,68)은 제1 및 제2 버퍼절연막(32,62) 상부에 절연물질과 금속층을 순차적으로 증착한 후 패터닝함으로써 형성된다.

제2 게이트절연막(66)의 두께(G2)는 제1 게이트절연막(36)의 두께(G1)보다 더 두껍게 형성된다. 즉, 제2 게이트절연막(66) 내에 함유된 불순물의 양이 제1 게이트절연막(36) 내에 함유된 불순물의 양보다 많아진다. 이에 따라, 제2 게이트절연막(66)에 대응되는 게이트전압이 높아져 제2 스위치(S2)의 문턱전압(Vth1)은 제1 스위치(S1)의 문턱전압(Vth1)보다 높게 형성된다.

또는 제1 게이트전극(38)은 2층구조로 형성되며, 제2 게이트전극(68)은 단층구조로 형성된다. 제1 게이트전극(38)은 제1 및 제2 금속층(38a,38b)으로, 제1 금속층(38a)은 제1 게이트전극(38)과 동일한 금속으로 형성되며, 제2 금속층(38b)은 제1 금속층(38a)과 다른 금속으로 형성된다. 2층 구조의 제1 게이트전극(38)의 전도성은 제2 게이트전극(68)의 전도성보다 높게 형성된다. 즉, 제2 게이트전극(68)의 전압이 높아져 제2 스위치(S2)의 문턱전압(Vth1)이 제

1 스위치(S1)의 문턱전압(Vth1)보다 높게 형성된다.

또 다른 방법으로 제1 게이트전극(38)과 제2 게이트전극(68)의 금속이 다르게 형성된다. 이에 따라 제1 및 제2 스위치(S1,S2)의 밴드특성이 달라져 제2 스위치(S2)의 문턱전압(Vth2)은 제1 스위치(S1)의 문턱전압(Vth1)이 다르게 형성된다.

도 9를 참조하면, 제1 버퍼절연층(32) 상에 제1 소스 및 드레인영역(34S,34D)과, 제2 버퍼절연층(62) 상에 제2 소스 및 드레인영역(64S,64D)이 형성된다.

제1 소스 및 드레인영역(34S,34D)은 노출된 제1 활성층(34)의 양측에 n+이온을 주입하고 레이저빔을 조사하여 불순물을 활성화시킴으로써 형성된다. 제2 소스 및 드레인영역(64S,64D)은 노출된 제2 활성층(64)의 양측에 n+이온을 주입하고 레이저빔을 조사하여 불순물을 활성화시킴으로써 형성된다.

제1 활성층(34)의 양측에 주입되는 이온농도보다 제2 활성층(64)의 양측에 주입되는 이온농도를 더 높게 하여 제1 스위치(S1)의 문턱전압(Vth1)은 제2 스위치(S2)의 문턱전압(Vth2)보다 낮게 형성된다.

도 10을 참조하면, 기판(31) 상에 제1 및 제2 층간절연막(40,70)이 형성된다.

제1 층간절연막(40)은 기판(31) 상에 제1 게이트전극(38)과 제1 활성층(34)을 덮도록 절연물질을 증착함으로써 형성되며, 제2 층간절연막(70)은 기판(31) 상에 제2 게이트전극(68)과 제2 활성층(64)을 덮도록 절연물질을 증착하여 형성된다.

제2 층간절연막(70)의 두께(I2)는 제1 층간절연막(40)의 두께(I1)보다 두껍게 형성된다. 즉, 제2 층간절연막(70) 내에 함유된 불순물의 양이 제1 층간절연막(40) 내에 함유된 불순물의 양보다 많아진다. 이에 따라, 제2 층간절연막(70)에 대응되는 제2 스위치(S2)의 게이트전압이 높아져 제2 스위치(S2)의 문턱전압(Vth2)은 제1 스위치(S1)의 문턱전압(Vth1)보다 더 높게 형성된다.

이러한 제1 및 제2 층간절연막(40,70) 상에 제1 및 제2 접촉홀(42a,42b,72a,72b)이 형성된다. 제1 접촉홀(42a,42b)은 소스영역으로 이용되는 불순물영역이 노출되는 소스접촉홀(42a)과, 드레인영역으로 이용되는 불순물영역이 노출되는 드레인접촉홀(42b)을 구비한다. 제2 접촉홀(72a,72b)은 소스영역으로 이용되는 불순물영역이 노출되는 소스접촉홀(72a)과, 드레인영역으로 이용되는 불순물영역이 노출되는 드레인접촉홀(72b)을 구비한다.

도 11을 참조하면, 제1 층간절연막(40) 상에 제1 소스 및 드레인전극(44,46)과, 제2 층간절연막(70) 상에 제2 소스 및 드레인전극(74,76)이 형성된다.

제1 소스 및 드레인전극(44,46)은 제1 층간절연막(40) 상에 금속층을 증착한 후 패터닝함으로써 형성되며, 제2 소스 및 드레인전극(74,76)은 제2 층간절연막(70) 상에 금속층을 증착한 후 패터닝함으로써 형성된다. 이 제1 소스 및 드레인전극(44,46)은 제1 접촉홀(42a,42b)을 통해 제1 활성층(34)의 소스 및 드레인영역(34S,34D)과 각각에 전기적으로 접속된다. 제2 소스 및 드레인전극(74,76)은 제2 접촉홀(72a,72b)을 통해 제2 활성층(64)의 소스 및 드레인영역(64S,64D) 각각에 전기적으로 접속된다.

이 제2 소스 및 드레인전극(64,66)은 단층으로 형성되며, 제1 소스 및 드레인전극(44,46)은 2층구조로 형성된다. 2층구조인 제1 소스 및 드레인전극(44,46)은 제1 및 제2 금속층(45a,45b)으로 형성된다. 제1 금속층(45a)은 제 소스 및 드레인전극(64,66)과 동일한 금속으로 형성되며, 제2 금속층(45b)은 제1 금속층(45a)과 다른 금속으로 형성된다. 이에 따라 제2 소스 및 드레인전극(74,76)의 전도성은 제1 소스 및 드레인전극(44,46)의 전도성보다 낮게 형성된다. 즉, 제2 스위치(S2)의 게이트전압이 높아져 제2 스위치(S2)의 문턱전압(Vth2)은 제1 스위치(S1)의 문턱전압(Vth1)

보다 높게 형성된다.

도 12를 참조하면, 제1 및 제2 층간절연막(40,70) 상에 제1 및 제2 보호층(48,78)이 형성된다.

제1 보호층(48)은 제1 층간절연막(40) 상에 제1 소스 및 드레인전극(44,46)을 덮도록 산화실리콘(SiO2)등의 절연물질을 증착하여 형성된다. 제2 보호층(78)은 제2 층간절연막(70) 상에 제2 소스 및 드레인전극(74,76)을 덮도록 산화실리콘(SiO2)등의 절연물질을 증착하여 형성된다.

제2 보호층(78)의 두께(P2)는 제1 보호층(48)의 두께(P1)보다 두껍게 형성된다. 즉, 제2 보호층(78) 내에 함유된 불순물의 양이 제1 보호층(48) 내에 함유된 불순물의 양보다 많아진다. 이에 따라, 제2 보호층(78)에 대응되는 제2 스위치(S2)의 게이트전압이 높아져 제2 스위치(S2)의 문턱전압(Vth2)은 제1 스위치(S1)의 문턱전압(Vth1)보다 더 높게 형성된다.

이 제1 및 제2 보호층(48,78) 상에 제3 및 제4 접촉홀(50,80)이 형성된다. 제1 보호층(48)을 관통하는 제3 접촉홀(50)을 통해 제1 드레인전극(46)의 표면이 노출된다. 제2 보호층(78)을 관통하는 제4 접촉홀(80)을 통해 제2 드레인전극(76)의 표면이 노출된다.

도 13을 참조하면, 제1 및 제2 보호층(48,78) 상에 제1 및 제2 투명전극(52,82)이 형성된다.

제1 및 제2 투명전극(52,82)은 제1 및 제2 보호층(48,78) 상에 투명전도성물질을 증착한 후 패터닝함으로써 형성된다. 이 제1 투명전극(52)은 제3 접촉홀(50)을 통해 제1 드레인전극(46)과 전기적으로 접촉되며, 제2 투명전극(82)은 제4 접촉홀(80)을 통해 제2 드레인전극(76)과 전기적으로 접촉된다.

제1 및 제2 투명전극(52,82)은 ITO, IZO, ITZO 중 어느 하나로 형성된다.

상기와 같이 도 5 내지 도 12에 제시된 여러 방법 중 적어도 어느 하나로 EL패널이 형성되어 제1 및 제2 스위치(S1,S2)의 문턱전압(Vth1,Vth2)이 다르게 형성되어 킥백현상을 줄일 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 일렉트로 루미네센스 패널은 제1 및 제2 스위치의 문턱전압을 다르게 형성한다. 이에 따라 킥백현상을 방지할 수 있음과 아울러 누설전류를 최소화할 수 있어 화질이 향상될 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트라인과,

상기 게이트라인과 교차되게 마련되어진 데이터라인과,

상기 게이트라인과 데이터라인의 교차부에 형성되는 EL셀과,

상기 데이터라인으로부터의 신호를 충전하는 캐패시터와,

상기 게이트라인을 통해 공급되는 게이트신호에 응답하여 상기 데이터라인 상의 신호를 상기 캐패시터에 공급하며 상호 문턱전압이 다르게 설정되는 제1 및 제2 스위치를 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 2.

제 1 항에 있어서,

상기 제1 스위치의 게이트단자는 상기 게이트라인에 접속되며, 소스단자는 상기 데이터라인에 접속되며, 드레인단자는 상기 제2 스위치의 소스단자에 접속되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 3.

제 1 항에 있어서,

상기 제2 스위치의 게이트단자는 상기 게이트라인에 접속되며, 소스단자는 상기 제1 스위치의 드레인단자에 접속되며, 드레인단자는 상기 캐패시터에 접속되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 4.

제 1 항에 있어서,

상기 제1 스위치의 문턱전압은 상기 제2 스위치의 문턱전압보다 낮게 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 5.

제 1 항에 있어서,

상기 캐패시터에 충전되는 상기 신호전류에 응답하여 데이터라인 상의 신호를 상기 EL셀에 공급하는 제3 스위치와,

상기 제3 스위치와 전류미러형태로 접속되어 상기 EL셀에 공급되는 전류를 조절하는 제4 스위치를 추가로 구비하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 6.

제 4 항에 있어서,

상기 제2 스위치의 게이트절연막 두께를 상기 제1 스위치의 게이트절연막 두께보다 두껍게 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 7.

제 4 항에 있어서,

상기 제2 스위치의 보호층 두께를 상기 제1 스위치의 보호층 두께보다 두껍게 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 8.

제 4 항에 있어서,

상기 제2 스위치의 층간절연막 두께를 상기 제1 스위치의 층간절연막 두께보다 두껍게 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 9.

제 4 항에 있어서,

상기 제2 스위치의 게이트전극은 단층으로 형성되며, 상기 제1 스위치의 게이트전극은 2층 구조로 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 10.

제 4 항에 있어서,

상기 제2 스위치의 소스 및 드레인전극은 단층으로 형성되며, 상기 제1 스위치의 소스 및 드레인전극은 2층 구조로 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 11.

제 4 항에 있어서,

상기 제2 스위치의 소스 및 드레인전극과 상기 제1 스위치의 소스 및 드레인전극을 형성하는 금속을 다르게 형성하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 12.

제 4 항에 있어서,

상기 제2 스위치의 반도체층과 상기 제1 스위치의 반도체층 종류를 다르게 형성하는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 13.

제 4 항에 있어서,

상기 제2 스위치의 반도체층에 주입되는 이온의 농도는 상기 제1 스위치의 반도체층에 주입되는 이온의 농도보다 높게 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 14.

제 4 항에 있어서,

상기 제2 스위치의 반도체층은 수소불순물이 첨가되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

청구항 15.

제 4 항에 있어서,

상기 제2 스위치의 반도체층 표면은 플라즈마를 이용한 표면처리에 의해 표면이 거칠게 되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

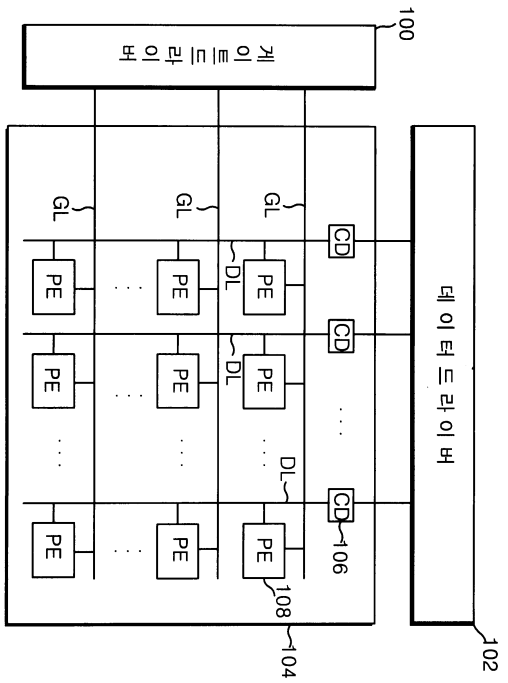
청구항 16.

제 4 항에 있어서,

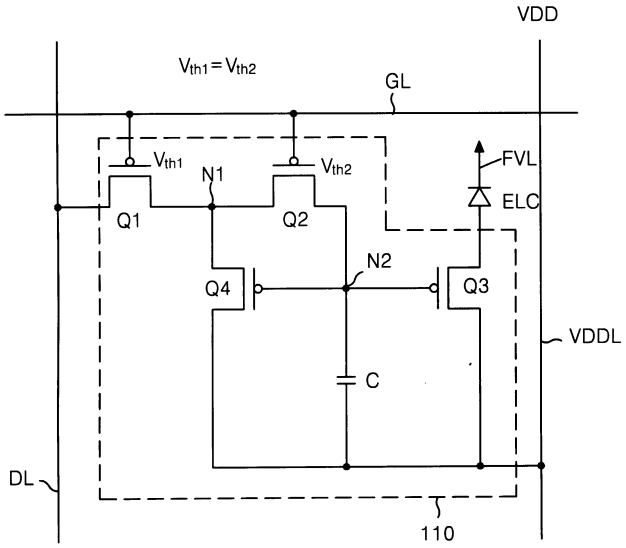
상기 제1 스위치의 하부기판 결정화방향과 상기 제2 스위치의 하부기판 결정화방향이 다르게 형성되는 것을 특징으로 하는 일렉트로 루미네센스 패널.

도면

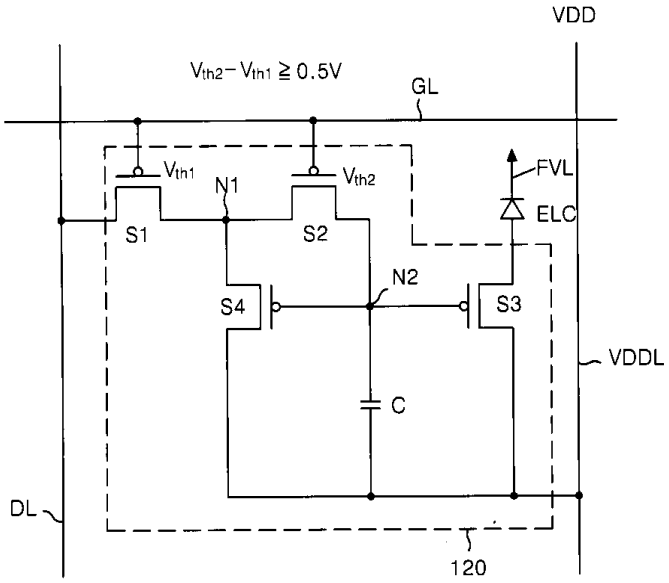
도면 1



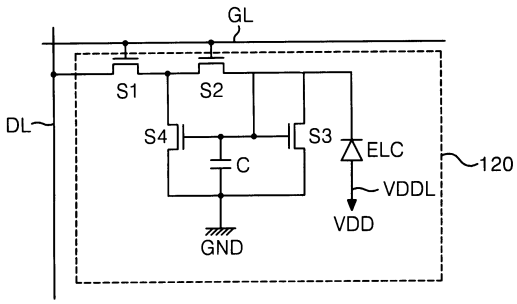
도면 2


VDD
$V_{th1}=V_{th2}$
GL
V_{th1}
N1
V_{th2}
FVL
ELC
Q1
Q2
N2
Q4
Q3
VDDL
C
DL
110

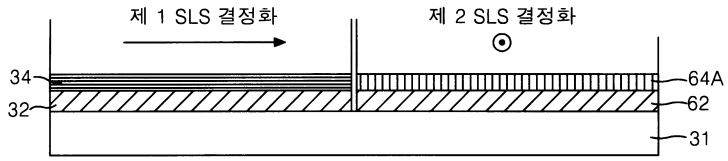
도면 3


VDD
$V_{th2}-V_{th1}\geq 0.5V$
GL
V_{th1}
N1
V_{th2}
FVL
ELC
S1
S2
N2
S4
S3
VDDL
C
DL
120

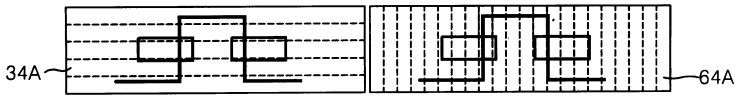
도면 4



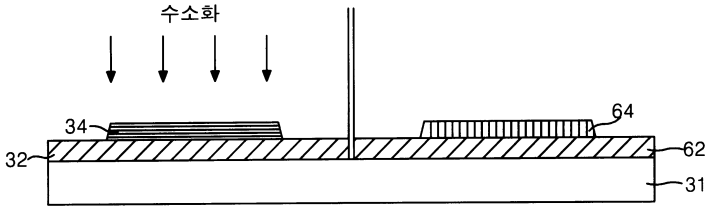
도면 5



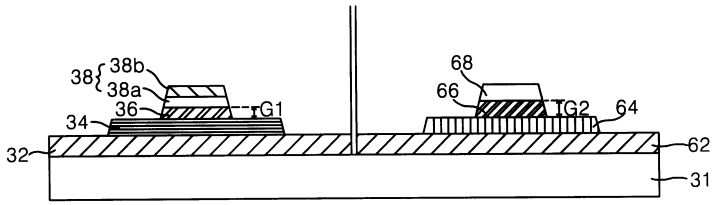
도면 6



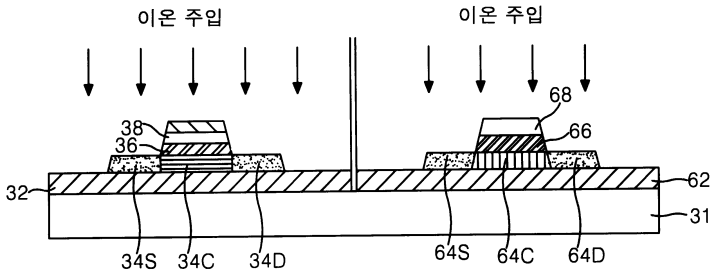
도면 7



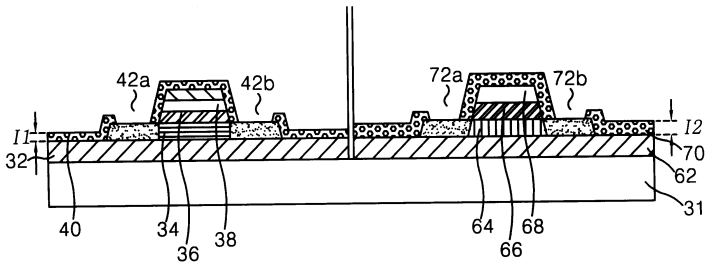
도면 8


38
38b
38a
36
34
TG1
68
66
TG2
64
32
62
31

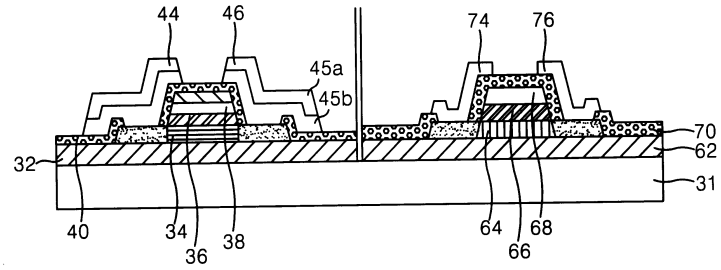
도면 9


이온 주입
이온 주입
68
38
36
66
32
62
31
34S
34C
34D
64S
64C
64D

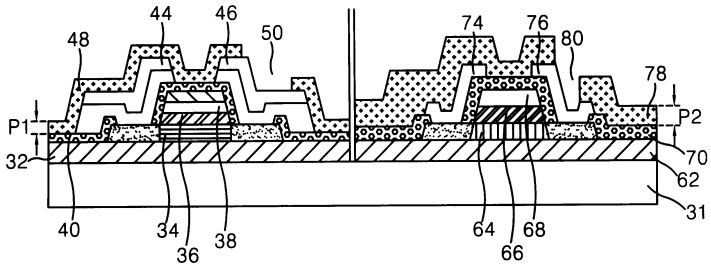
도면 10


42a
42b
72a
72b
I1
I2
32
70
62
31
40
34
36
38
64
66
68

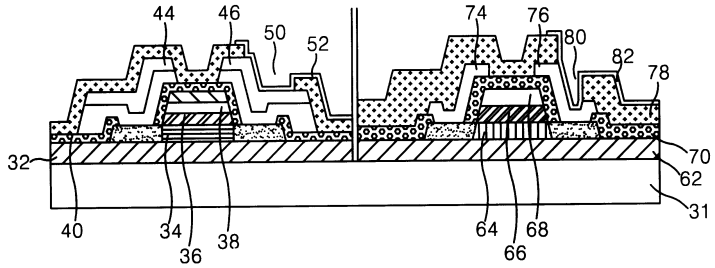
도면 11



도면 12



도면 13



专利名称(译)	电致发光板		
公开(公告)号	KR1020030000047A	公开(公告)日	2003-01-06
申请号	KR1020010035662	申请日	2001-06-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JOON KYU 박준규 KIM SUNGKI 김성기		
发明人	박준규 김성기		
IPC分类号	G09G3/30 G09G3/32		
CPC分类号	G09G2300/0842 H01L27/1214 G09G3/3241 G09G2320/02 G09G2320/0219 H01L27/1229 H01L27/1237		
代理人(译)	KIM，YOUNG HO		
其他公开文献	KR100743103B1		
外部链接	Espacenet		

摘要(译)

本发明涉及提高图像质量的电致发光面板。本发明的电致发光板包括栅极线，栅极线和固定的第一和第二开关，数据线上的信号响应电容器提供给电容器，对来自交叉点中形成的EL单元的信号充电准备交叉的数据线和栅极线和数据线，以及通过栅极线提供的数据线和栅极信号。根据本发明，第一和第二开关的阈值电压不同地形成。因此，通过防止反冲，可以使漏电流最小化并且可以改善图像质量。