



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월19일
(11) 등록번호 10-1202307
(24) 등록일자 2012년11월12일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(21) 출원번호 10-2011-7025362
(22) 출원일자(국제) 2010년04월07일
심사청구일자 2012년09월21일
(85) 번역문제출일자 2011년10월26일
(65) 공개번호 10-2011-0136878
(43) 공개일자 2011년12월21일
(86) 국제출원번호 PCT/US2010/030204
(87) 국제공개번호 WO 2010/118108
국제공개일자 2010년10월14일
(30) 우선권주장
12/421,137 2009년04월09일 미국(US)
(56) 선행기술조사문헌
US20060210769 A1
US20070079571 A1

(73) 특허권자
글로벌 오엘이디 테크놀로지 엘엘씨
미국 버지니아 20171 헌던 스위트 330 13873 파크
센터 로드
(72) 발명자
코크 로널드 에스
미국 뉴욕 146226 로체스터 스테이트 스트리트
343 내
해머 존 더블유
미국 뉴욕 146226 로체스터 스테이트 스트리트
343 내
(74) 대리인
김용인, 석혜선

전체 청구항 수 : 총 19 항

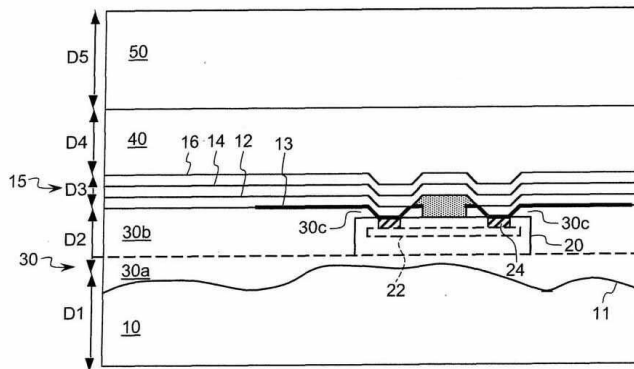
심사관 : 박성호

(54) 발명의 명칭 **칩렛을 갖는 가요성 OLED 디스플레이**

(57) 요약

가요성 발광 디바이스는 거친 기판면을 가지며 디스플레이 면적을 정의하는 가요성 거친 기판(10)과, 거친 기판면에 형성되고, 적어도 일부는 두께가 5 마이크로 이상인 유기 저온 부착층(30)과, 디스플레이 면적에 분포되고 유기 저온 부착층에 부착되며, 하나 이상의 연결패드(24)를 각각 갖는 복수의 칩렛들(20)과, 디스플레이 면적에 있는 유기 저온 부착층(30) 위에 형성되고, 대응하는 칩렛의 연결패드에만 각각 전기연결되는(13) 복수의 패턴화 하단 전극들(12); 하단 전극(12) 위에 형성된 하나 이상의 발광재료층들(14); 및 하나 이상의 발광재료층들 위에 형성된 상단 전극(16)과, 상단 전극 위에 위치되고 거친 기판에 부착되는 가요성 캡슐화층(50)을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

- (a) 거친 기판면을 가지며 디스플레이 면적을 정의하는 가요성 거친 기판;
- (b) 거친 기판면에 형성되고, 적어도 일부는 두께가 5 마이크론 이상인 유기 저온 부착층;
- (c) 디스플레이 면적에 분포되고 유기 저온 부착층에 부착되며, 하나 이상의 연결패드를 각각 갖는 복수의 칩렛들;
- (d) 디스플레이 면적에 있는 유기 저온 부착층 위에 형성되고, 대응하는 칩렛의 한 연결패드에만 각각 전기연결되는 복수의 패턴화 하단 전극들; 하단 전극 위에 형성된 하나 이상의 발광재료층들; 및 하나 이상의 발광재료층들 위에 형성된 상단 전극; 및
- (e) 상단 전극 위에 위치되고 거친 기판면에 부착되는 가요성 캡슐화층을 포함하는 가요성 발광 디바이스.

청구항 2

제 1 항에 있어서,
거친 기판은 200℃보다 큰 온도에서 열화되는 가요성 발광 디바이스.

청구항 3

제 1 항에 있어서,
거친 기판면은 제곱평균제곱근(rms) 거칠기가 100 옹스트롬 이상인 가요성 발광 디바이스.

청구항 4

제 1 항에 있어서,
유기 저온 부착층은 칩렛들의 일부 위로 뻗어 있는 가요성 발광 디바이스.

청구항 5

제 1 항에 있어서,
유기 저온 부착층은 2개 이상의 층들을 포함하는 다층이며, 제 1 층은 칩렛들을 거친 기판면에 부착시키고 제 2 층은 칩렛의 적어도 일부를 매설하는 가요성 발광 디바이스.

청구항 6

제 5 항에 있어서,
제 1 층 위의 그리고 칩렛들의 적어도 일부 위의 유기 저온 부착층내에 위치된 하나 이상의 하단 캡슐화층들을 더 포함하는 가요성 발광 디바이스.

청구항 7

제 1 항에 있어서,
가요성 기판은 금속, 스틸 호일이거나 폴리머를 포함하는 것인 가요성 발광 디바이스.

청구항 8

제 1 항에 있어서,
유기 저온 부착층 위에 그리고 칩렛들의 적어도 일부 위에 위치된 하단 캡슐화층을 더 포함하는 가요성 발광 디바이스.

청구항 9

제 1 항에 있어서,
유기 저온 부착층은 경화성 폴리머인 가요성 발광 디바이스.

청구항 10

제 1 항에 있어서,
유기 저온 부착층은 가요성인 가요성 발광 디바이스.

청구항 11

제 1 항에 있어서,
상단 전극과 가요성 캡슐화층 사이에 형성된 폴리머 버퍼층을 더 포함하는 가요성 발광 디바이스.

청구항 12

제 11 항에 있어서,
폴리머 버퍼층은 유사한 재료를 포함하거나 유기 저온 부착층과 유사한 두께를 갖는 가요성 발광 디바이스.

청구항 13

제 1 항에 있어서,
가요성 기관과 가요성 캡슐화층은 유사한 재료를 포함하거나 유사한 두께를 갖는 가요성 발광 디바이스.

청구항 14

제 1 항에 있어서,
가요성 기관은 유기 저온 부착층보다 더 유연한 가요성 발광 디바이스.

청구항 15

- (a) 거친 기관면을 가지며 디스플레이 면적을 정의하는 가요성 거친 기관을 제공하는 단계;
- (b) 적어도 일부는 두께가 5 마이크론 이상인 유기 저온 부착층을 거친 기관면에 증착하는 단계;
- (c) 각각 하나 이상의 연결패드를 갖는 디스플레이 면적에 분포된 복수의 칩렛들을 제공하고 칩렛들을 유기 부착층에 부착시키는 단계;
- (d) 가요성 거친 기관을 휘어지게 단계;
- (e) 휘어진 기관상의 디스플레이 면적에 있는 유기 저온 부착층 위에 형성되고, 대응하는 칩렛의 한 연결패드에 만 각각 전기연결되는 복수의 패턴화 하단 전극들; 휘어진 기관상의 하단 전극 위에 형성된 하나 이상의 발광재료층들; 및 휘어진 기관상에 하나 이상의 발광재료층들 위에 형성된 상단 전극을 제공하는 단계; 및
- (f) 상단 전극 위에 위치되고 거친 기관면에 부착되는 가요성 캡슐화층을 제공하는 단계를 포함하는 가요성 발광 디바이스 제조방법.

청구항 16

제 15 항에 있어서,
가요성 거친 기관이 휘어지면서 단계 (b) 및 (c)가 수행되는 가요성 발광 디바이스 제조방법.

청구항 17

제 15 항에 있어서,
가요성 거친 기관이 휘어져 패턴화 하단 전극들이 제공되는 표면이 신장되는 가요성 발광 디바이스 제조방법.

청구항 18

제 15 항에 있어서,

상단 전극 위와 가요성 캡슐화층 아래에 폴리머 버퍼층을 제공하는 단계를 더 포함하며, 폴리머 버퍼층은 유기 저온 부착층과 유사한 재료 또는 두께를 갖는 가요성 발광 디바이스 제조방법.

청구항 19

제 18 항에 있어서,

가요성 기관 표면이 휘어지면서 상단 전극 위와 가요성 캡슐화층 아래에 폴리머 버퍼층을 제공하는 단계가 수행되는 가요성 발광 디바이스 제조방법.

명세서

기술분야

[0001] 공통으로 양도된 2008년 8월 14일 자로 출원된 콕 등(Cok et al.)의 발명의 명칭이 "Display Device With Chiplets"인 미국 특허출원 No. 12/191,462; 2008년 11월 17일 자로 출원된 콕 등의 발명의 명칭이 "Emissive Device With Chiplets"인 미국 특허출원 No. 12/271,952 및 2009년 2월 11일자로 출원된 발명의 명칭이 "Display Device With Chiplets and Light Shields"인 콕 등의 미국 특허출원 No. 12/369,163가 참조되며, 상기 개시물은 본 명세서에 참조로 합체되어 있다.

[0002] 본 발명은 별개의 기관들이 가요성 거친(rough) 기관 위에 분포된 독립 제어소자들을 이용한 가요성 발광 디바이스에 관한 것이다.

배경기술

[0003] 플랫패널 디스플레이 디바이스는 컴퓨팅 디바이스, 휴대용 디바이스, 및 텔레비전과 같은 오락 디바이스와 결합해 광범위하게 사용되고 있다. 이런 디스플레이는 일반적으로 기관 위에 분포된 복수의 픽셀들을 이용해 이미지를 디스플레이 한다. 각 픽셀은 각 이미지 요소를 나타내기 위해 일반적으로 적색, 녹색, 및 청색광을 방출하는 통상적으로 서브픽셀이라고 하는 다수의 다른 컬러의 발광소자를 포함한다. 다양한 플랫패널 디스플레이 기술들, 예컨대, 플라즈마 디스플레이, 액정 디스플레이, 및 발광 다이오드 디스플레이가 공지되어 있다. 최근에는, 가요성 플랫패널 디스플레이 디바이스에 관심이 높아지고 있다.

[0004] 발광재료로 된 박막을 포함한 발광다이오드(LEDs)는 플랫패널 디스플레이 디바이스에 많은 이점을 가지며 광학 시스템에 유용하다. 탕 등의 미국특허 No. 6,384,529는 유기 LED 발광소자 어레이를 포함한 유기 LED(OLED) 컬러 디스플레이를 선보인다. 대안으로, 무기재료가 이용될 수 있고, 인광결정 또는 다결정 반도체 매트릭스에 양자도트를 포함할 수 있다. 유기재료 또는 무기재료의 다른 박막들도 또한 발광 박막재료에 전하주입, 전하수송, 또는 전하차단을 제어하기 위해 이용될 수 있고 해당기술분야에 공지되어 있다. 재료는 캡슐화 커버층 또는 플레이트를 갖는 전극들 사이 기관에 놓여진다. 발광 주파수는 사용된 재료의 특성에 따른다. 이런 디스플레이에서, 기관(하단 이미터)을 통해 또는 캡슐화 커버(상단 이미터)를 통해, 또는 둘 다를 통해 광이 방출될 수 있다.

[0005] 플랫패널 디스플레이 디바이스에서 픽셀을 제어하는 2개의 다른 방법, 즉, 액티브 매트릭스 컨트롤 또는 패시브 매트릭스 컨트롤이 일반적으로 알려져 있다. 액티브 매트릭스 디바이스에서, 컨트롤 소자들이 플랫패널 기관 위에 분포되어 있다. 일반적으로, 각 서브픽셀은 하나의 컨트롤 소자에 의해 제어되고 각 컨트롤 소자는 적어도 하나의 트랜지스터를 포함한다. 예컨대, 간단한 종래기술의 액티브 매트릭스 유기발광(OLED) 디스플레이에서, 각 컨트롤 소자는 2개의 트랜지스터(셀렉트 트랜지스터 및 파워 트랜지스터)와 서브픽셀의 휘도를 명시하는 전하를 저장하기 위한 하나의 커패시터를 포함한다. 각 발광소자는 일반적으로 독립된 컨트롤 전극과 공통전극을 이용한다.

[0006] 액티브 매트릭스 컨트롤 소자를 형성하는 한가지 통상적인 종래기술의 방법은 일반적으로 실리콘과 같은 반도체 재료로 된 박막을 유기기관에 증착하고 그런 후 포토리소그래피 공정을 통해 반도체 재료를 트랜지스터 및 커패시터로 형성한다. 박막 실리콘은 비정질 또는 다결정일 수 있다. 비정질 또는 다결정 실리콘으로 제조된 박막 트랜지스터(TFTs)는 상대적으로 크고 결정 실리콘 웨이퍼로 제조된 종래 트랜지스터에 비해 성능이 더 낮다. 더

육이, 이런 박막 디바이스는 고온(예컨대, 비정질 실리콘의 경우 >300℃이고 큰 알갱이의 폴리실리콘의 경우 >500℃)에서 형성되고 일반적으로 이런 재료를 이용한 전기 성능과 디스플레이의 시각적 외관이 불균일한 유리 기판에 걸쳐 국소적 또는 대면적 불균일을 나타낸다. 유기재료로 제조된 박막 트랜지스터(OTFTs)는 실리콘 TFTs 보다 성능이 더 낮고 습도에 더 영향받기 쉬우나 저온(예컨대, <200℃)에서 처리된다(가령, 미국특허출원 공개 공보 No. 2006/0163559). 그러나, 모든 TFTs는 동작불능 또는 오기능 소자 형성을 방지하기 위해 매우 완만한 기판을 필요로 한다.

[0007] 플라스틱으로 제조된 가요성 기판은 상대적으로 투명하나 많은 제한이 있다. 이런 기판은 일반적으로 300℃보다 큰 또는 심지어 250℃ 혹은 200℃ 온도에서 물리적으로 열화된다. 따라서, 기판 혹은 기판상에 증착된 재료를 처리하는 것이 매우 어렵다. 예컨대, 종래 PEN은 처리온도가 약 150℃이고 PET는 처리온도가 약 120℃이다. 더욱이, 플라스틱은 종래 포토리소그래피에 사용된 내화학성 및 공정을 제한할 수 있어, 기판에 이용된 재료의 종류와 공정을 제한한다. 이런 기판은 또한 처리온도, 스트레스, 및 상대 습도를 변경함으로써 치수 안정성이 열악해져, 이로써 기판에 형성된 구조의 해상도를 제한하는 것이 알려져 있다. 플라스틱 기판은 또한 OLED 재료와 같은 유기재료를 열화시킬 수 있는 산소 및 수증기의 침투를 받게 된다. 게다가, 미국특허 No. 7,466,390에 언급된 바와 같이, 통상적으로 플랫패널 디스플레이용으로 사용되는 것과 같이 박막 전자소자, 가령, 박막 실리콘 트랜지스터의 형성을 위한 기판으로서 역할하기에 충분히 완만하고 깨끗한 플라스틱을 형성하기가 어렵다. 촉매 부산물 및 폴리머에서 무기 입자들과 불충분한 처리조건들 모두가 표면 거칠기에 영향을 끼친다. 폴리머와 같은 부드러운 재료들에 대해, 스크래치 또는 외부 오염과 같은 인공물이 문제가 될 수 있다.

[0008] 예컨대 3M사의 습기 침투에 대한 민감성이 크게 저하된 상업적 가요성 기판과 다층 배리어들이 있는 플라스틱을 포함한 커버 제품들이 현재 이용가능하다. 이런 다층들은 일반적으로 교번하는 유기층과 무기층을 이용한다. 플라스틱도 또한 치수 안정성과 온도범위를 향상시켜 열안정화될 수 있다(예컨대, 미국특허 No. 7,499,135 참조). 그러나, 이런 제품은 여전히 상대적으로 거칠고, 상술한 대부분의 어려움에 직면하며, 추가 안정화 및 표면처리 없이 박막 트랜지스터를 이용한 박막 디스플레이 디바이스용으로서는 충분치 못하다.

[0009] 가요성 기판을 제공하는 다른 접근은 금속 호일을 이용하는 것이다. 금속 호일은 습기 불침투성과 낮은 열팽창 계수의 이점이 있으며 상대적으로 저렴할 뿐만 아니라 높은 처리온도, 가령, 900℃에도 적합하다. 그러나, 금속 호일, 가령 스틸 호일 또는 알루미늄 호일은 불투명하고 따라서 (광이 플랫패널 디스플레이로부터 나와야 하기 때문에) 플랫패널 디스플레이 디바이스에서 기판과 커버 모두에 사용할 수 없다. 금속 호일은 또한 매우 거칠고 (예컨대, 미국특허 No. 7,037,352에 기술된 바와 같은) 박막 전자부품의 형성을 지원하도록 적절한 매끄러움을 표면에 제공하기 위해 평탄화 공정 또는 평탄화층의 사용 또는 어닐링 공정을 필요로 한다. 예컨대, 일반적인 스틸 호일은 600 옹스트롬 보다 큰 제곱평균제곱근(rms) 거칠기(roughness)를 갖는다. 스틸 호일 표면에 PECVD 에 의해 실리콘 이산화물 무기층을 형성함으로써, rms 거칠기는 절반으로 가령 > 300 옹스트롬으로 줄어들 수 있다. 다른 기술들, 예컨대, 화학적 또는 기계적 연마도 크기의 차수를 가령 20 옹스트롬 보다 크게 rms 거칠기를 줄일 수 있다. 다른 처리들도 rms 거칠기를 > 10 옹스트롬으로 줄일 수 있고 상업적으로 구매가능한 기판 유리, 가령, 코닝 이글 2000처럼 평탄해질 수 있다. 10 옹스트롬 미만의 rms 표면 거칠기가 박막 트랜지스터 형성에 적합하다. 스틸 호일은 또한 가능하게는 여러 층들과 폴리이미드와 같은 재료들을 이용한 스핀-온-글래스 기술을 이용해 평탄해질 수 있다. 따라서, 금속 호일 기판은 종래 박막 트랜지스터 처리 및 성능을 지원하기에 충분할 정도로 평탄해질 수 있다.

[0010] 일반적으로, 플라스틱 및 금속 기판 모두에 대해, 평탄화 코팅의 두께는 1 마이크로 미만이다. 그러나, 이런 평탄화 공정은 고가이고 시간 소모적이다. 더욱이, 기판 재료를 안정화시키기 위한 추가 처리가 필요한 경우 기판 단가가 높아진다.

[0011] 마쓰무라 등(Matsumura et al.)은 미국특허출원 공개공보 No. 2006/0055864에 LCD 디스플레이를 구동하는데 사용된 결정 실리콘 기판을 기술하고 있다. 상기 출원은 제 1 반도체 기판으로 제조된 픽셀-컨트롤 디바이스들을 제 2 평면 디스플레이 기판으로 선택적으로 이송 및 부착하는 방법을 기술하고 있다. 픽셀-컨트롤 디바이스내 와이어링 상호연결과 버스 및 컨트롤 전극으로부터 픽셀 컨트롤 디바이스의 연결이 도시되어 있다. 그러나, 이들 기판은 상대적으로 두껍고 가요성 디바이스에 잘 맞지 않는다.

발명의 내용

해결하려는 과제

[0012] 따라서, 향상된 성능과 가요성을 갖고 제조공정 및 재료 요건이 감소된 발광 디스플레이 디바이스에 대한 필요

성이 있다.

과제의 해결 수단

- [0013] 본 발명에 따르면,
 - [0014] (a) 거친 기판면을 가지며 디스플레이 면적을 정의하는 가요성 거친 기판과,
 - [0015] (b) 거친 기판면에 형성되고, 적어도 일부는 두께가 5 마이크론 이상인 유기 저온 부착층과,
 - [0016] (c) 디스플레이 면적에 분포되고 유기 저온 부착층에 부착되며, 하나 이상의 연결패드를 각각 갖는 복수의 칩렛들과,
 - [0017] (d) 디스플레이 면적에 있는 유기 저온 부착층 위에 형성되고, 대응하는 칩렛의 연결패드에만 각각 전기연결되는 복수의 패턴화 하단 전극들; 하단 전극 위에 형성된 하나 이상의 발광재료층들; 및 하나 이상의 발광재료층들 위에 형성된 상단 전극과,
 - [0018] (e) 상단 전극 위에 위치되고 거친 기판에 부착되는 가요성 캡슐화층을 구비하는 가요성 발광 디스플레이가 제공된다.
- [0019] 본 발명은 더 큰 성능과 향상된 가용성을 가진 가요성 발광다이오드 디바이스를 위한 단순한 구조를 제공한다. 본 발명은 평탄한 기판면을 제공하기 위해 기판 처리 필요성을 줄인 거친 표면을 갖는 기판의 사용을 허용함으로써, 제조공정 요건을 줄이고 더 광범위하게 다양한 재료의 사용을 가능하게 한다.

발명의 효과

- [0020] 본 발명의 내용에 포함됨.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 실시예에 따른 디바이스의 부분 횡단면도이다.
- 도 2a, 도 2b 및 도 2c는 본 발명의 다른 실시예에 따른 캡슐화층을 갖는 디바이스의 보다 상세한 부분 횡단면도이다.
- 도 3은 본 발명의 또 다른 실시예에 따른 디바이스의 평면도이다.
- 도면에서 다양한 층들과 요소들은 크게 다른 크기를 갖기 때문에, 도면은 비례에 따르지 않는다.

발명을 실시하기 위한 구체적인 내용

- [0022] 도 1을 참조하면, 가요성 발광 디바이스(1)는 거친 기판면(11)을 갖는 가요성 거친 기판(10)을 포함한다. 가요성 거친 기판(10) 위에 디스플레이 면적(21)이 정의된다(도 3 참조). 거친 기판면(11)에 유기 저온 부착층(30)이 형성되고, 유기 저온 부착층(30)의 적어도 일부는 두께(D2)가 5 마이크론 이상이다. 복수의 칩렛들(20)이 거친 기판면(11)에 부착되고, 각 칩렛(20)은 디스플레이 면적(21)에 분포된 복수의 칩렛들(20)과 하나 이상의 연결패드(24)를 갖는다. 복수의 패턴화 하단 전극(12)들이 디스플레이 면적(21)에 있는 유기 저온 부착층(30) 위에 형성되고, 각 하단 전극(12)은 한 칩렛(20)의 연결패드(24)에 전기연결된다. 하나 이상의 발광재료층들(14)이 하단 전극(12)에 형성되고 상기 하나 이상의 발광재료층들(14) 위에 상단 전극(16)이 형성된다. 전극(12, 16) 및 발광재료층들(14)이 발광다이오드(15)를 형성한다.
- [0023] 상단 전극(16) 위에 가요성 캡슐화층(50)이 위치되고 거친 기판면(11)에 부착된다. 가요성 캡슐화층(50)은 상단 전극(16)(또는 상단 전극(16)에 형성된 층)에 직접 형성될 수 있거나 별개의 기판(가령, 커버)일 수 있다. 선택적 폴리머 버퍼층(40)이 상단 전극(16)(또는 상단 전극(16)에 형성된 층) 및 폴리머 버퍼층(40) 위에 형성된 가요성 캡슐화층(50)에 형성될 수 있어 완전한 고체상태의 가요성 발광 디바이스(1)를 이룬다.
- [0024] 본 명세서에 사용된 바와 같이 거친 기판면(11)은 가령 실리콘과 같은 무기재료 또는 펜타센(pentacene)과 같은 유기재료를 포함한 박막 트랜지스터의 유효한 형성을 방지할 정도로 충분히 큰 거칠기를 갖는 기판면이다. 가요성 거친 기판(10)은 가능하게는 폴리머층들 간에 서로맞물린 무기층들과 함께 금속(예컨대, 스테인레스 스틸 호일) 또는 폴리머(예컨대, PEN 또는 PET)일 수 있다. 금속 호일은 rms 거칠기가 300-600 옹스트롬일 수 있다. 추가 처리로, 50-300 옹스트롬 이상의 rms 거칠기가 얻어질 수 있다. 본 발명에 따르면, 가요성 기판의 표면이

100 옴스트롬 이상의 rms 거칠기를 갖는다면 유효 박막 트랜지스터의 형성이 억제되는 것이 측정되었다.

- [0025] 본 발명의 유기 저온 부착층은 200℃ 미만에서 증착되고 200℃ 보다 큰 온도에서 열화되는 유기재료로 형성된 저온 부착층이다. 더욱이, 유기 저온 부착층(30)은 유사한 저온에서, 예컨대, 200℃로 증착 및 경화될 수 있고, 마찬가지로 가요성 발광 디바이스(1) 성능을 손상함이 없이 가령 200℃ 보다 더 높은 온도에서 열화되는 재료를 포함할 수 있다. 본 발명의 다른 실시예에서, 유기 저온 부착층(30)은 실온에서, 가령 20℃에서 40℃ 온도로 형성될 수 있다.
- [0026] 유기 저온 부착층(30)은 가령 복사 또는 저온 가열에 의해, 예컨대, 200℃ 미만의 온도에서 경화될 수 있는 부착 폴리머를 포함할 수 있다. 일부 경화성 폴리머들은 100℃ 온도에서 경화될 수 있으며 본 발명에 유용하다. 유기 저온 부착층(30)은 가요성일 수 있다. 유기 저온 부착층(30)은 동일한 재료의 적어도 2개의 서브층들, 즉, 칩렛(20)이 초기에 부착되는 표면으로서 역할할 수 있는 제 1 서브층(30a)과 칩렛(20)을 매설하는 매설 서브층(30b)을 갖는 다층을 포함할 수 있고, 칩렛(20)의 적어도 일부를 덮고 있는 저온 부착층(30)의 적어도 일부(30c)를 갖는다. 부착 서브층(30a)만 칩렛(20)에 적절한 부착을 제공할 정도로 충분히 두꺼울 필요가 있다. 칩렛(20)은 가요성의 거친 기판면(11)의 거칠기에 비해 상대적으로 크기 때문에(예컨대, 20마이크론×100마이크론에서 40마이크론×250마이크론), 칩렛(20)은 주로 평평하게 부착되어 진다. 기판 표면 거칠기는 거친 기판면(11)에 칩렛(20)의 부착을 저지하지 못한다. 이중층의 서브층들 모두가 동시에 단일 재료로 형성된 하나의 식별 불가능한 구조를 형성하게 경화될 수 있다.
- [0027] 칩렛(20)은 결정실리콘에 형성될 수 있고 연결패드(24)에 연결된 회로(22)를 포함해 박막 트랜지스터의 성능보다 훨씬 더 양호한 성능을 가진 발광다이오드(15)를 구동할 수 있다. 본 발명은 박막 트랜지스터와는 달리 가요성의 거친 기판(10)에 형성되지 않은 칩렛(20)을 이용하므로, 종래 기술에 개시된 액티브-매트릭스 디바이스에 평탄한 기판면이 필요하지 않다. 그러나, 유기 저온 부착층(30)은 칩렛(20)에 부착되고 발광재료층들(14)이 기능적으로 증착될 수 있는 기판을 제공하도록 모두 적절한 두께를 가져야 한다. 칩렛(20)은 두께가 일반적으로 5-20 마이크론 이상이다. 50 또는 100 마이크론 두께를 갖는 더 큰 칩렛들도 또한 이용될 수 있어 유기 저온 부착층의 두께가 연이어 증가된다. 유기 저온 부착층(30)은 5-100 마이크론의 상보적인 두께를 가져야 한다. 본 발명의 일실시예에서, 유기 저온 부착층(30)의 적어도 일부(30c)는 칩렛(20)의 적어도 일부 위로 뻗어 적소에 단단히 고정시킨다. 도 1의 도면은 두꺼운 평탄화 표면을 갖는 유기 저온 부착층(30)을 도시하고 있으나, 표면이 상단 및 하단 전극(16,12)을 단락시킬 수도 있는 두께로 급격히 충분하게 변하지 않으면 유기 저온 부착층은 반드시 완전히 평탄해질 필요가 없다.
- [0028] 본 발명은 또한 가요성의 거친 기판(10)은 예컨대 실리콘 박막 트랜지스터 포토리소그래피 공정에서 발견된 바와 같이 높은 처리온도를 받을 필요가 없다는 점에서 이점을 제공한다. 저온 폴리실리콘 박막 트랜지스터 포토리소그래피 공정은 예컨대 일반적으로 800℃를 초과한 온도를 이용한다. 비정질 실리콘 박막 트랜지스터 포토리소그래피 공정은 예컨대 일반적으로 300℃를 초과한 온도를 이용한다. 칩렛(20)이 LEDs(15)를 구동하기 위한 회로(22)를 제공하기 때문에, 가요성의 거친 기판(10)은 이런 고온을 받지 않으며 가요성 발광 디바이스(1)는 여전히 매우 높은 성능을 갖는다. 따라서, 가요성의 거친 기판(10)은 상대적으로 저온에서, 가령, 150℃, 200℃ 또는 250℃에서 형성될 수 있는 저렴한 재료들을 포함할 수 있다. 가요성의 거친 기판(10)은 또한 상대적으로 더 낮은 온도, 가령, 150℃, 200℃ 또는 250℃에서 열화될 수 있는 저렴한 재료들을 포함할 수 있다. 재료의 열화, 예컨대, 치수 안정성이 영향받기 때문에, 덜 투명해지거나, 기계적 무결성이 상실되거나, 습기가 더 스며들 수 있다.
- [0029] 도 2a 및 도 2b를 참조하면, 본 발명의 다른 실시예로, 하단 및 상단 캡슐화층(60,62)은 LED(15)로 습기 또는 산소의 침투를 줄이기 위해 이용될 수 있다. 예컨대, 유기 LED 또는 OLED를 형성하는 유기재료가 본 발명의 실시예에 사용될 수 있고, 이런 유기재료는 이런 환경 오염이 있는 상태에서 열화되기 때문에, 이런 캡슐화층은 가요성 발광 디스플레이(1)의 수명을 향상시킬 수 있다. 캡슐화층은 기판과 커버에 사용되는 제품에 알려져 있다. 그러나, 이런 제품들은 몇몇 OLED 애플리케이션에 적합하지 않을 수 있고, 더욱이, 굽힘으로써 스트레스 받을 때 장애를 받는다. 따라서, 추가 보호층들이 도모될 수 있다. 하나 이상의 바닥 캡슐화층(60)이 유기 저온 부착층(30)내 및 칩렛(20)의 적어도 일부에 위에 위치한 무기재료를 포함할 수 있다. 예컨대, 하단 캡슐화층(60)은 도 2a에 도시된 바와 같이 유기 저온 부착층(30)의 일부(30a) 및 칩렛(20)의 일부 위에 형성될 수 있다.
- [0030] 도 2b에 도시된 다른 실시예에서, 하단 캡슐화층(60)은 전체 유기 저온 부착층(30) 및 칩렛(20)의 적어도 일부분 위에 형성된다. 상단 캡슐화층(62)은 상단 전극(16) 위에 형성될 수 있다. 상단 및 하단 캡슐화층(62, 60)은, 예컨대, 실리콘 산화물, 실리콘 질화물, 및 금속을 포함할 수 있다. 다층이 사용될 수 있다. 상단 및 하

단 캡슐화층(62,60)은 다양한 방법들, 예컨대, 스퍼터링, 화학기상증착(CVD), 또는 원자층증착(ALD)을 이용해 증착될 수 있다.

[0031] 도 2c를 참조하면, 유기 저온 부착층(30)은 여러 층들이 다수의 하단 캡슐화층들(60)과 교번하는 다층을 포함할 수 있다. 예컨대, 제 1 부착층(30a)이 형성되고, 제 1 부착층에 칩렛(20) 부착되며, 제 1 하단 캡슐화층(60a)이 증착되고, 제 1 하단 캡슐화층(60a) 위에 제 2 부착층(30d)이 형성되며, 제 2 하단 캡슐화층(60b)이 증착되고, 제 2 하단 캡슐화층(60b) 위에 제 3 부착층(30b)이 이하 등등 형성될 수 있다. 하단 캡슐화층(60)은 일반적으로 매우 얇고(1 마이크로미터 미만) 전체 유기 저온 부착층(30)은 상대적으로 두껍기 때문에(예컨대 10 마이크로미터 이상), 하단 캡슐화층과 유기 저온 부착층의 여러 교번층들이 기관(10)에 쉽게 형성된다.

[0032] 포토리소그래피 방법을 이용해 칩렛(20)의 연결패드(24)에 연결이 이루어질 수 있어 유기 저온 부착층(30)과 (있다면) 하단 캡슐화층(60)을 관통하는 공도를 형성한다.

[0033] 본 발명의 하단 이미터 실시예에서, 하단 전극(12)과 가요성의 거친 기관(10)이 투명하다. 본 발명의 상단 이미터 실시예에서, 상단 전극(16)과 가요성 캡슐화층(50)이 투명하다. 상단 또는 하단 전극(16,12) 중 어느 하나가 투명하면, 이들은 스퍼터링에 의해 증착된 ITO와 같은 투명 도전성 산화물을 포함할 수 있다. 상단 또는 하단 전극(16,12) 중 어느 하나가 투명하지 않으면, 이들은 기화 또는 스퍼터링에 의해 증착된 알루미늄과 같은 금속을 포함할 수 있다. 어느 한 경우에서, 금속 와이어(13)가 연결패드(24)를 하단 전극(12)에 전기 연결하는데 사용될 수 있으나 반드시 필요한 것은 아니다.

[0034] 본 발명의 다른 실시예에서, 가요성 거친 기관(10)이 기계적 스트레스를 받는 동안, 하나 이상의 칩렛(20), 상단 또는 하단전극(16,12), 하나 이상의 발광층들(14), 및 (있다면) 상단 또는 하단 캡슐화층(62,60)의 형성이 행해질 수 있다. 본 발명의 일실시예에서, 기관의 기계적 스트레스는 인장력이다. 이들 소자들을 기계적 스트레스하에 둬으로써, 가요성 발광 디바이스(1)가 원래 스트레스를 보완하는 적절한 방향으로 기계적 스트레스받을 때, 소자는 이완될 수 있고 이로써 더 큰 량의 기계적 스트레스를 받으면서 계속 동작할 수 있다.

[0035] 본 발명의 다른 실시예에서, 가요성 발광 디바이스의 다양한 층들이 동일한 재료 또는 두께를 가질 수 있다. 이런 유사성은 재료 및 공정단가와 가변성을 줄일 수 있고, LED(15) 및 칩렛(20) 소자에, 또는 가능하게는 하단 또는 상단 캡슐화층에 가까이 가요성 발광 디바이스(1)의 중립 스트레스 면을 위치시킴으로써 스트레스에 더 큰 저항을 제공할 수 있다. 예컨대, 일실시예에서, (있다면) 폴리머 버퍼층(40)은 유사한 재료를 포함할 수 있거나 두께(D2)의 유기 저온 부착층(30)에 대한 유사한 두께(D4)를 가질 수 있다. 대안으로, 또 다른 실시예에서, 가요성 거친 기관(10) 및 가요성 캡슐화층(50)은 유사한 재료를 포함하거나 유사한 두께(D1, D5)를 갖는다. 더욱이, 기계적 모델링은 가요성 거친 기관(10)이 유기 저온 부착층(30)보다 더 유연한 실시예에 의해 LED(15) 및 칩렛(20) 소자에서 스트레스에 대한 향상된 저항이 얻어질 수 있는 것을 나타낸다.

[0036] 본 발명의 실시예에 따르면, 기계적으로 강건하고 유연한 수단을 제공하기 위해, 가요성 거친 기관(10)과 가요성 캡슐화층(50)은 실질적으로 유기 저온 부착층(30)과 선택적 버퍼층(40)(D2, D4)보다 더 두껍다(D1, D5). 유기 저온 부착층(30)과 선택적 버퍼층(40)은 마찬가지로 실질적으로 전극(12,16) 및 재료층(14)(D3)보다 더 두껍다(D2, D4). 실질적으로 더 두껍다는 것은 두께가 적어도 2배 더 두껍고 바람직하게는 5배 더 두꺼운 것을 의미한다. 몇몇 실시예에서, 실질적으로 더 두꺼운 것은 10배 이상 더 두꺼운 것을 의미할 수 있다. 예컨대, 본 발명의 다양한 실시예에서, 가요성 거친 기관(10)과 가요성 캡슐화층(50)은 100 마이크로미터에서 2mm 두께일 수 있다. 유기 저온 부착층(30)과 선택적 버퍼층(40)은 2마이크론 두께, 10 마이크로미터 두께, 20 마이크로미터 두께, 또는 50 마이크로미터 이상 두께일 수 있다. 전극과 발광층(12,16,14)은 일반적으로 두께가 2 마이크로미터 미만, 바람직하게는 두께가 1 마이크로미터 미만이다.

[0037] 가요성 기관상의 무기소자들은 균열, 슬리핑, 또는 박리로 인해 장애를 받는다. 유기 저온 부착층(30)의 적어도 일부(30c)가 칩렛(20)의 일부 위로 뺀어 있게 유기 저온 부착층(30)내에 칩렛(20)을 위치함으로써, 슬리핑과 박리 문제가 감소된다. 특히, 칩렛(20)을 유기 저온 부착층(30)(즉, 30b)내에 가짐으로써 슬리핑 문제가 감소되어 칩렛(20)이 유기 저온 부착층 부분(30a)의 표면을 따라 슬라이딩할 수 없게 된다. 칩렛(20)의 적어도 일부 위로 뺀어 있는 유기 저온 부착층(30)의 일부(30c)를 가짐으로써 박리 문제가 감소되어 칩렛(20)이 유기 저온 부착층 부분(30a)으로부터 쉽게 박리될 수 없게 된다.

[0038] 본 발명의 일실시예에서, 가요성 거친 기관(10)은 유기 저온 부착층(30)보다 더 유연하다. 더 유연하다는 것은 탄성계수가 더 작다는 것을 의미한다. 본 발명의 또 다른 실시예에서, 가요성 캡슐화층(50)은 (있다면) 폴리머 버퍼층(40)보다 더 유연하다. 본 발명의 또 다른 실시예에서, 유기 저온 부착층(30)은 칩렛(20)보다 더 유연하

다. 가요성 기관(10)과 가요성 캡슐화층(50)이 유기 저온 부착층(30) 및 선택적 폴리머 버퍼층(40)보다 더 유연한 것을 요구함으로써, 접촉 및 선택적 폴리머층(30,40) 각각에 스트레스가 감소된다. 유기 저온 부착층(30)이 칩렛(20)보다 더 유연하고, 차례로, 가요성 기관(10)이 유기 저온 부착층(30)보다 더 유연한 것을 요구함으로써, 스트레스와 균열 및 슬리핑과 박리가 칩렛(20)에서 감소된다. 칩렛(20)은 광 이미터를 제어하는데 있어 중요한 소자이므로, 칩렛(20)에서 스트레스(및 연결패드(24)로부터 칩렛으로의 연결)를 줄임으로써 스트레스를 받는 가요성 발광 디스플레이 디바이스(1)의 성능이 향상된다. 마찬가지로, 선택적 폴리머 버퍼층(40)이 가요성 캡슐화층(50)보다 덜 유연한 것을 요구함으로써, 얇은 전극(12, 16)과 하나 이상의 재료층들(14)에 스트레스가 감소된다. 이들 층들의 장애로 픽셀 또는 전체 가요성 발광 디스플레이 디바이스(1)에 장애가 발생할 수 있기 때문에, 폴리머 버퍼층(40)에 스트레스를 줄임으로써 스트레스를 받는 가요성 발광 디스플레이 디바이스(1)의 성능이 향상된다.

[0039] 본 발명의 일실시예에 따르면, 하나 이상의 와이어층들(13)이 버스(28)를 형성할 수 있다. 버스(28)는 칩렛 연결패드(24)에 연결되어 외부 컨트롤러(26)(가령, 전원, 접지, 데이터 및 셀렉트 신호)로부터 유기 저온 부착층(30) 위에 형성된 칩렛들에 신호를 제공한다. 바람직한 실시예에서, 단일 와이어층(13)이 이용된다. 와이어(13)의 전도도는 스트레스에 의해 영향받을 수 있기 때문에, 유기 저온 부착층(30) 위에 와이어(13)를 제공함으로써 가요성 발광 디스플레이 디바이스(1)가 휘어질 때 와이어가 받는 스트레스가 감소된다. 선택적 캡슐화층(60)이 와이어(13) 위에 형성될 수 있다.

[0040] 상단 이미터 또는 하단 이미터 형태 중 어느 하나에서, 선택적 컬러필터가 하나 이상의 재료층들(14)에 의해 방출된 광을 필터하는데 이용될 수 있다. 컬러필터는 가요성 거친 기관(10)의 적어도 일부와 하단 전극(12) 사이에 형성될 수 있다. 컬러필터는 가요성 기관(10)의 적어도 일부에 또는 가요성 거친 기관(10) 위에 형성된 다른 층들 중 일부분에 직접 형성될 수 있다. 상단 이미터 실시예에서, 컬러필터는 가요성 커버에 또는 직접 상단 전극에 위치될 수 있다. 디스플레이 디바이스에서, 여러 컬러필터들이 다수의 칩렛들 및 다수의 별도로 제어되는 하단 전극들(12)과 함께 이용될 수 있어, 다른 컬러의 서브픽셀들을 갖는 다수의 픽셀소자들을 만든다. 컬러필터는 특히 발광재료가 가요성 기관 위에 패턴화되지 않을 경우에 유용하다. 대안으로, 다른 발광재료들이 하단 전극과 일치하게 가요성 기관 위에 패턴화될 수 있고, 각각의 발광재료는 다른 광 컬러를 방출해 여러 컬러의 디스플레이를 형성한다.

[0041] 본 발명의 다양한 실시예에서, 하단 전극(12)은 버스(28) 또는 하단 전극 연결부를 포함한 와이어(13)로 공통 단계에서 형성될 수 있어, 제조비용을 절감한다. 하나 이상의 버스들(28)이 가요성 거친 기관(10)에 형성될 수 있고 버스들(28)이 하단 전극(12)과 공통 단계에서 형성될 수 있다. 하나 이상의 버스들(28) 및 하단 전극(12) 사이에 버스 절연층이 형성될 수 있다. 버스 절연층 위아래 또는 내에 캡슐화층이 위치될 수 있다. 칩렛 및 연결패드 위에 그리고 하나 이상의 발광층들(14) 또는 상단 전극(16) 아래에 칩렛 절연층이 형성될 수 있다. 버스 절연층은 칩렛 절연층과 공통 단계에서 형성될 수 있다. 본 발명의 소자를 공통 단계에서 형성함으로써, 공정 단계들과 비용이 절감된다. 마찬가지로, 하단 전극(12) 전에, 하단 전극(12) 후에, 또는 가장 바람직하게는 공정 단계와 비용을 절감하기 위해 하단 전극(12)과 같은 단계에서 칩렛 상의 연결패드와 하단 전극 사이에 와이어(13)가 형성될 수 있다.

[0042] 가요성 기관(10)은 유리를 포함할 수 있다. 와이어 및 상단 또는 하단 전극(16,12)이 기화되거나 스퍼터링된 금속, 가령, 알루미늄 또는 은, 또는 금속 합금으로 제조될 수 있다. 칩렛(20)은 직접회로 산업에 잘 확립된 종래 기술을 이용해 형성될 수 있고 동계류중인 공통으로 양도된 미국특허출원 No. 12/191,478에 기술된 방법을 이용해 기관(10) 위에 위치될 수 있다.

[0043] 칩렛들은 별도로 가요성 거친 기관(10)으로부터 제조되고 그런 후 가요성 거친 기관(10)에 부착된다. 칩렛(20)은 바람직하게는 반도체 디바이스를 제조하기 위한 공지된 공정을 이용해 실리콘 또는 SOI(Silicon On Insulator) 웨이퍼를 이용하여 제조된다. 그런 후 각 칩렛(20)은 가요성 거친 기관(10)에 부착하기 전에 분리된다. 따라서, 각 칩렛(20)의 결정 베이스는 가요성 거친 기관(10)으로부터 이격되고 칩렛의 회로(22)가 형성되는 기관으로 간주될 수 있다. 특히, 개개의 기관은 픽셀이 형성된 가요성 거친 기관(10)으로부터 분리되고, 함께 취합되는 멀티칩렛 디바이스용의 개개의 칩렛 기관들의 면적은 가요성 거친 기관(10) 보다 더 작다. 칩렛(20)은 예컨대 박막 비정질 또는 다결정 실리콘 디바이스에서 발견되는 고성능 액티브 구성요소를 제공하기 위한 결정 기관을 가질 수 있다. 칩렛(20)은 두께가 바람직하게는 100 μ m 이하, 더 바람직하게는 20 μ m 이하일 수 있다. 이는 칩렛(20)의 일부분(30c) 위에 유기 저온 부착층(30)의 형성을 용이하게 한다.

[0044] 칩렛(20)이 반도체 기관에 형성되기 때문에 칩렛의 회로(22)는 현대적 리소그래피 도구를 이용해 형성될 수 있

다. 이런 도구로, 0.5 마이크로 이하의 최소 선폭 크기들이 쉽게 달성될 수 있다. 예컨대, 현대 반도체 제조 라인들은 90nm 또는 45nm의 선폭을 달성할 수 있고 본 발명의 칩렛을 만드는데 이용될 수 있다. 따라서, 각 픽셀에 2개의 트랜지스터들과 같이 픽셀들을 구동하기 위한 칩렛의 회로는 작게 만들 수 있다. 그러나, 칩렛은 또한 디스플레이 기판에 일단 조립된 후 칩렛 위에 제공된 와이어링층에 전기연결을 하기 위한 연결패드를 필요로 한다. 연결패드는 가요성 거친 기판에 사용된 리소그래피 도구의 최소 선폭(예컨대 5 μ m) 및 와이어링층에 칩렛의 정렬(예컨대, $\pm 5\mu$ m)을 바탕으로 한 소정 크기가 되어야 한다. 그러므로, 연결패드(24)는 가령 패드들 사이의 간격 5 μ m와 함께 15 μ m 폭일 수 있다. 이는 패드가 일반적으로 칩렛에 형성된 트랜지스터 회로보다 상당히 더 큰 것을 보여준다.

[0045] 연결패드(24)는 일반적으로 트랜지스터 위의 칩렛(20)상에 금속화층에 형성될 수 있다. 이는 제조비용을 낮추게 칩렛을 가능한 한 작은 표면적을 갖게 만드는 것이 바람직하다. 그러므로, 트랜지스터가 아니라 연결패드(24)의 크기 및 개수가 칩렛(20)의 크기를 제한할 수 있다.

[0046] 도 3에 도시된 바와 같이, 본 발명은 멀티픽셀 또는 멀티칩렛 기반구조를 갖는 디바이스에 사용될 수 있고 칩렛이 액티브 매트릭스 소자로서 각 픽셀을 제어하는 회로를 갖는 액티브 매트릭스 구성이나 패시브 매트릭스 컨트롤러로서 이용될 수 있다. 본 발명은 비용절감과 성능향상이 중요할 경우 이점을 제공한다. 특히, 본 발명은 유기 또는 무기의 액티브 매트릭스 LED 디바이스로 실행될 수 있고, 특히 정보 디스플레이 디바이스에 유용하다. 바람직한 실시예에서, 본 발명은 탕 등(Tang et al.)의 미국특허 No. 4,769,292 및 반슬리케 등(VanSlyke et al.) 등의 미국특허 No. 5,061,569에 개시되어 있으나 이에 국한되지 않는 작은 분자 또는 폴리머 OLEDs로 구성된 플랫폼 OLED 디바이스에 이용된다. 예컨대, (가령, 카헨(Kahen)의 미국 공개공보 2007/0057263에 개시된) 다결정 반도체 매트릭스에 형성된 양자도트를 이용하고 유기 또는 무기 전하제어층을 이용한 무기 디바이스들 또는 하이브리드 유기/무기 디바이스들이 이용될 수 있다. 유기 또는 무기 발광 디스플레이의 많은 조합과 변형들이 상단 이미터 구조 또는 하단 이미터 구조를 갖는 액티브 매트릭스 디스플레이를 포함한 이런 디바이스를 제조하는데 사용될 수 있다.

[0047] 본 발명은 몇몇 바람직한 실시예를 특별히 참조하여 기술되어 있으나, 이는 본 발명의 기술사상과 범위내에서 변형과 변경이 달성될 수 있음을 알아야 한다.

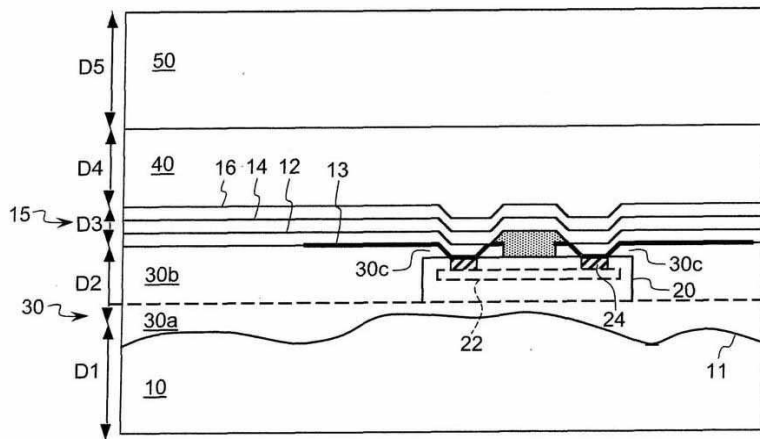
부호의 설명

[0048]	D1, D2, D3, D4, D5	층 두께
	1	가요성 발광 디스플레이
	10	가요성 거친 기판
	11	거친 기판
	12	하단 전극
	13	금속 와이어
	14	하나 이상의 발광재료층들
	15	발광다이오드
	16	상단 전극
	20	칩렛
	21	디스플레이 영역
	22	회로
	24	연결패드
	26	컨트롤러
	28	버스
	30	유기 저온 부착층

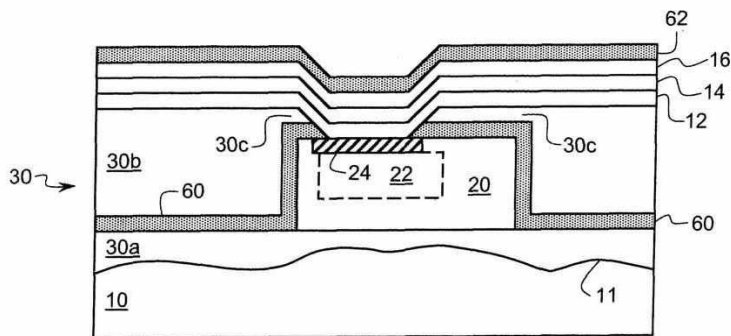
- 30a, 30b, 30c, 30d 다층 유기 저온 부착층의 서브층 부분
- 40 폴리머 버퍼층
- 50 가요성 캡슐화층
- 60, 60a, 60b 캡슐화층
- 62 캡슐화층

도면

도면1



도면2a



专利名称(译)	标题：带芯片的柔性OLED显示屏		
公开(公告)号	KR101202307B1	公开(公告)日	2012-11-19
申请号	KR1020117025362	申请日	2010-04-07
[标]申请(专利权)人(译)	全球OLED TECH		
申请(专利权)人(译)	글로벌오엘이디테크놀로지엘엘씨		
当前申请(专利权)人(译)	글로벌오엘이디테크놀로지엘엘씨		
[标]发明人	COK RONALD S 코크로널드에스 HAMER JOHN W 해머존더블유		
发明人	코크로널드에스 해머존더블유		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3255 H01L27/3276 H01L51/0508 H01L2224/95092 H01L2251/5338 H01L2924/12044		
代理人(译)	Gimyongjin		
优先权	12/421137 2009-04-09 US		
其他公开文献	KR1020110136878A		
外部链接	Espacenet		

摘要(译)

柔性发光装置包括柔性粗糙基板(10)，其具有粗糙的基板表面并限定显示区域，在粗糙基板表面上形成并且至少部分地至少5微米厚的有机低温粘附层(30)，多个削片机20分布在有机低温粘附层上，并且每个在显示区域上具有一个或多个连接垫24和有机低温粘附层30，(13)多个图案化的底部电极(12)仅与各个焊盘电连接；形成在底部电极(12)上的一个或多个发光材料层(14)；并且顶部电极16形成在一层或多层发光材料上，并且柔性封装层50位于顶部电极上方并附接到粗糙基板。

