



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월21일
(11) 등록번호 10-0965022
(24) 등록일자 2010년06월11일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)

(21) 출원번호 10-2007-0016695

(22) 출원일자 2007년02월16일

심사청구일자 2007년02월16일

(65) 공개번호 10-2007-0083199

(43) 공개일자 2007년08월23일

(30) 우선권주장

JP-P-2006-00042700 2006년02월20일 일본(JP)

(56) 선행기술조사문헌

JP18030289 A*

KR1020060036204 A*

JP2004325940 A

JP2003150106 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

도시바 모바일 디스플레이 가부시기가이샤

일본 도쿄도 미나토꾸 고난 4쵸메 1-8

(72) 발명자

다카하라 히로시

일본 도쿄도 미나토꾸 고난 4쵸메 1-8 도시바 마
쓰시타디스플레이 테크놀로지 컴퍼니, 리미티드
지적재산부 내

(74) 대리인

구영창, 이중희, 장수길

전체 청구항 수 : 총 10 항

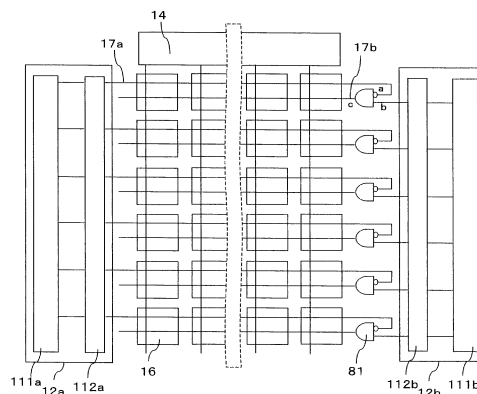
심사관 : 조기덕

(54) EL 표시 장치 및 EL 표시 장치의 구동 방법

(57) 요약

기입 화소행을 선택하는 게이트 신호선의 구동과, EL 소자의 점등을 지정하는 게이트 신호선의 구동을 서로 다른 프레임 레이트로 동작시킬 수는 없다. 게이트 드라이버 회로(12a)는, 입력 영상 신호의 주파수(동작 프레임 레이트, 예를 들면 1초 동안에 화상이 30매)에 동기하여 표시 화면(22)을 재기입한다. 게이트 드라이버 회로(12a)는, 수평 동기 신호(HD)에 동기하여 표시 화면(22)의 1번째 화소행으로부터 n(n은 화소행의 최대값)번째 화소행을 순차적으로 선택하고, 소스 드라이버 회로(14)로부터의 프로그램 전류(전압)를 선택된 화소행에 인가한다. 게이트 드라이버 회로(12b)는, 게이트 드라이버 회로(12a)의 수평 동기 신호(HD) 혹은 수직 주사 동기 신호(VD)와는 서로 다른 점등 제어 동기 신호에 동기하여 표시 화면(22)의 1번째 화소행으로부터 n(n은 화소행의 최대값)번째 화소행을 순차적으로 선택한다. 게이트 드라이버 회로(12b)는, 점등 제어 동기 신호에 동기하여 게이트 신호선(17b)을 선택하고, 게이트 신호선(17b)의 온 오프 제어를 행한다. 동일한 화소(16)의 게이트 신호선(17a)과 게이트 신호선(17b)이 선택하는 경우에는, 게이트 신호선(17a)과 게이트 신호선(17b) 중 어느 한쪽, 혹은 양방에, 강제적으로 오프 전압(VGH)을 인가한다.

대표도 - 도14



특허청구의 범위

청구항 1

EL 소자가 매트릭스 형상으로 배치된 표시 화면을 갖는 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

영상 신호를 기입하기 위해서 선택한 화소행과, 상기 EL 소자에 전류를 공급하기 위해서 선택한 화소행이 일치할 때, 상기 영상 신호를 기입하기 위해서 선택한 화소행과, 상기 EL 소자에 전류를 공급하기 위해서 선택한 화소행 중 적어도 한쪽의 화소행을 비선택으로 하고,

상기 영상 신호를 기입하기 위해서 상기 표시 화면을 주사하는 주기와, 상기 EL 소자에 전류를 공급하기 위해서 상기 표시 화면을 주사하는 주기가 서로 다른, EL 표시 장치의 구동 방법.

청구항 2

EL 소자가 매트릭스 형상으로 배치된 표시 화면을 갖는 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,

영상 신호를 기입하기 위해서 선택한 화소행과, EL 소자에 전류를 공급하기 위해서 선택한 화소행이 일치할 때, 상기 화소행의 EL 소자에 전류를 공급하는 것을 중지하는 동작과,

상기 동작이 발생하는 프레임 또는 상기 프레임 전의 프레임 또는 상기 프레임 이후의 프레임에서, 상기 화소행의 EL 소자에 전류를 공급하는 것을 중지하는 동작에 의해 저하한 휘도를 보정하도록, 보정 데이터를 인가하는 동작을 구비하는, EL 표시 장치의 구동 방법.

청구항 3

삭제

청구항 4

제1항 또는 제2항에 있어서,

상기 표시 화면에, 비표시 영역과 표시 영역을 표시하고,

상기 표시 영역을 상기 표시 화면의 상하 방향으로 이동시켜서 화상을 표시하는, EL 표시 장치의 구동 방법.

청구항 5

EL 소자가 매트릭스 형상으로 배치된 표시 화면을 갖는 EL 표시 장치로서,

영상 신호를 기입하는 화소행을 선택하는 제1 게이트 드라이버 회로와,

EL 소자를 점등시키는 화소행을 선택하는 제2 게이트 드라이버 회로와,

상기 제1 게이트 드라이버 회로가 선택하는 화소행과, 상기 제2 게이트 드라이버 회로가 선택하는 화소행이 일치할 때, 상기 제1 게이트 드라이버 회로와 상기 제2 게이트 드라이버 회로 중 적어도 한쪽이 선택하는 화소행을, 비선택으로 하는 선택 제어 회로를 구비하고,

상기 제1 게이트 드라이버 회로의 시프트 레지스터의 동작 클럭과, 상기 제2 게이트 드라이버 회로의 시프트 레지스터의 동작 클럭이 서로 다른, EL 표시 장치.

청구항 6

EL 소자가 매트릭스 형상으로 배치된 표시 화면을 갖는 EL 표시 장치로서,

영상 신호를 기입하는 화소행을 선택하는 제1 게이트 드라이버 회로와,

EL 소자를 점등시키는 화소행을 선택하는 제2 게이트 드라이버 회로와,

상기 제1 게이트 드라이버 회로에 접속된 제1 게이트 신호선과, 상기 제2 게이트 드라이버 회로에 접속된 제2 게이트 신호선을 입력으로 하는 선택 제어 회로를 구비하고,

상기 제1 게이트 드라이버 회로의 동작 프레임 레이트와, 상기 제2 게이트 드라이버 회로의 동작 프레임 레이트가 서로 다르고,

상기 선택 제어 회로는, 상기 제1 게이트 드라이버 회로가 선택하는 화소행과, 상기 제2 게이트 드라이버 회로가 선택하는 화소행이 일치할 때, 상기 제1 게이트 드라이버 회로와 상기 제2 게이트 드라이버 회로 중 적어도 한쪽이 선택하는 화소행을, 비선택으로 하는, EL 표시 장치.

청구항 7

EL 소자가 매트릭스 형상으로 배치된 표시 화면을 갖는 EL 표시 장치로서,

영상 신호를 기입하는 화소행을 선택하는 제1 게이트 드라이버 회로와,

EL 소자를 점등시키는 화소행을 선택하는 제2 게이트 드라이버 회로를 구비하고,

상기 제1 게이트 드라이버 회로가, 상기 표시 화면의 일단에 형성되고,

상기 제2 게이트 드라이버 회로가, 상기 제1 게이트 드라이버에 대향하는 상기 표시 화면의 타단에 형성되고,

상기 제1 게이트 드라이버 회로의 동작 주기와, 상기 제2 게이트 드라이버 회로의 동작 주기가 서로 다른, EL 표시 장치.

청구항 8

삭제

청구항 9

제7항에 있어서,

상기 제1 게이트 드라이버 회로의 동작 주기보다, 상기 제2 게이트 드라이버 회로의 동작 주기가 더 짧은, EL 표시 장치.

청구항 10

제5항 내지 제7항 중 어느 한 항에 있어서,

점등율을 구하는 처리 회로를 더 구비하고,

상기 표시 화면에, 비표시 영역과 표시 영역을 표시하고,

상기 표시 영역을 상기 표시 화면의 상하 방향으로 이동시켜서 화상을 표시하고,

상기 점등율에 대응하여, 표시 화면의 면적에 대한 표시 영역의 비율을 가변할 수 있는, EL 표시 장치.

청구항 11

제5항 또는 제6항에 있어서,

상기 선택 제어 회로의 복수의 입력 단자 중, 적어도 1단자는, 제1 게이트 드라이버 회로 또는 제2 게이트 드라이버 회로와 전기적으로 접속된 게이트 신호선인, EL 표시 장치.

청구항 12

제5항 내지 제7항 중 어느 한 항에 있어서,

제1 필드에서는, 상기 표시 화면의 홀수 화소행이 상기 제1 게이트 드라이버 회로에 의해 선택되고,

상기 제1 필드의 다음 제2 필드에서는, 상기 표시 화면의 짝수 화소행이 상기 제1 게이트 드라이버 회로에 의해 선택되는, EL 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0124] 본 발명은, 유기 또는 무기 일렉트로루미네센스(EL) 소자 등을 이용하는 EL 표시 패널(표시 장치) 등의 자발광 표시 패널(표시 장치)을 이용한, EL 표시 장치 및 EL 표시 장치의 구동 방법에 관한 것이다.
- [0125] 전기 광학 변환 물질로서 유기 일렉트로루미네센스(EL) 재료 혹은 무기 EL 재료를 이용한 액티브 매트릭스형의 화상 표시 장치는, 화소에 기입되는 전류에 따라 발광 휘도가 변화한다. EL 표시 장치는, 각 화소에 발광 소자를 갖는 자발광형의 장치이다. EL 표시 장치는, 액정 표시 패널에 비하여 화상의 시인성이 높고, 발광 효율이 높고, 백라이트가 불필요하며, 응답 속도가 빠르다는 등의 이점을 갖는다.
- [0126] 또한, 본 발명에서는 1화면을 재기입하는 기간 또는 주기를 1프레임이라고 한다. 또한, 동작 프레임 레이트라고 한다. 단, 프레임, 동작 프레임 레이트는, 소정 기간(1초)의 화상의 코마수를 의미하는 경우에 이용하는 경우에도 있고, 1주기의 속도, 화상의 재기입 속도 혹은 화소행이 선택하는 속도의 의미에 이용하는 경우에도 있다.
- [0127] 도 1은, EL 표시 장치의 화소(16)의 구성도이다. 또한, 화소는, 후술하는 도 2에 도시한 표시 화면(22)에 매트릭스 형상으로 형성되어 있다. 화소(16) 내에는, 4개의 트랜지스터(TFT)(11)가 형성되어 있다.
- [0128] 구동용 트랜지스터(11a)의 게이트 단자는, 스위치용 트랜지스터(11b)의 소스 단자와 접속되어 있다. 스위치용 트랜지스터(11b) 및 스위치용 트랜지스터(11c)의 게이트 단자는, 게이트 신호선(17a)과 접속되어 있다.
- [0129] 스위치용 트랜지스터(11b)의 드레인 단자는, 스위치용 트랜지스터(11c)의 드레인 단자 및 스위치용 트랜지스터(11d)의 소스 단자에 접속되어 있다. 스위치용 트랜지스터(11c)의 소스 단자는, 소스 신호선(18)에 접속되어 있다.
- [0130] 스위치용 트랜지스터(11d)의 게이트 단자는 게이트 신호선(17b)에 접속되어 있다. 스위치용 트랜지스터(11d)의 드레인 단자는 EL 소자(15)의 애노드 전극에 접속되어 있다. EL 소자(15)의 캐소드 단자는 캐소드 단자(Vss)에 접속되어 있다. 구동용 트랜지스터(11a)의 소스 단자는, 애노드 단자(Vdd)에 접속되어 있다.
- [0131] 스위치용 트랜지스터(11b, 11c)는, 게이트 신호선(17a)에 인가된 온 오프 제어 신호에 의해 온(클로즈), 오프(오픈) 제어된다. 스위치용 트랜지스터(11d)의 게이트 단자는, 게이트 신호선(17b)에 접속되어 있다. 스위치용 트랜지스터(11d)는, 게이트 신호선(17b)에 인가된 온 오프 제어 신호에 의해 온(클로즈), 오프(오픈) 제어된다.
- [0132] 도 2에 도시한 바와 같이, 표시 화면(22)의 좌단에 게이트 드라이버 회로(12a)를 형성 또는 배치하고, 우단에 게이트 드라이버 회로(12b)를 형성 또는 배치하고 있다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 제어하고, 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 제어한다. 게이트 드라이버 회로(12a, 12b)에는, 게이트 신호선(17)의 온 전압(VGL)과, 게이트 신호선(17)의 오프 전압(VGH)이 공급되고 있다.
- [0133] 도 1, 도 2에 도시한 유기 EL 표시 장치의 화소 구성에서는, 스위치용 트랜지스터(11b, 11c)는, 소스 드라이버 회로(14)가 출력하는 영상 신호를 인가하는 화소(행)를 선택하기 위한 스위치로서 기능한다. 스위치용 트랜지스터(11d)는, EL 소자(15)에 전류를 공급하기 위한 스위치로서 기능한다. 즉, 스위치용 트랜지스터(11d)는, 발광시키는 화소(행)를 선택하는 스위치로서 동작한다. 게이트 드라이버 회로(12)에는, 클럭 신호(CLK), 스타트 신호(ST1, ST2), 업 다운 신호(UP)가 인가된다.
- [0134] 클럭 신호(CLK)는, 선택하는 화소행을 순차적으로 이동시키기 위한 신호이다. 스타트 펄스 신호(ST)는, 선택하는 화소행을 지정하기 위한 신호이다. 스타트 펄스 신호(ST)는 클럭 신호(CLK)에 의해, 게이트 드라이버 회로(12)의 시프트 레지스터 회로 내를 이동한다. 업 다운 신호는, 화면의 상하 반전 절환 신호이다.
- [0135] 영상 신호를 인가하는 화소를 선택하고 있는 상태는, 도 3의 (a)의 상태이다. 스위치용 트랜지스터(11d)는 오픈 상태이며, 스위치용 트랜지스터(11b, 11c)는 클로즈 상태이다.
- [0136] EL 소자(15)를 발광시키고 있는 상태는, 도 3의 (b)의 상태이다. 스위치용 트랜지스터(11d)는 클로즈 상태이며, 스위치용 트랜지스터(11b, 11c)는 오픈 상태이다.
- [0137] 이상의 동작을 표시 화면(22)에서 도시하면, 도 4의 (a), 도 4의 (b)에 도시하게 된다. 도 4의 (a)의 참조 부호 41은, 전류 혹은 전압 프로그램하기 위해서 선택되어 있는 화소행(기입 화소행)을 나타내고 있다. 기입 화

소행(41)은, 비점등(비표시 화소행)으로 한다. 비점등으로 하기 위해서는, 게이트 드라이버 회로(12b)를 제어하고, 화소(16)의 스위치용 트랜지스터(11d)를 오픈 상태로 하면 된다. 스위치용 트랜지스터(11d)를 오픈으로 하기 위해서는, 게이트 신호선(17b)에 오프 전압(VGH)을 인가하면 된다. 게이트 드라이버 회로(12)가 게이트 신호선(17)에 오프 전압(VGH)을 인가하는 위치는, 수평 동기 신호(HD)에 동기하여 시프트시킨다. 또한, HD는 통상은, 클럭 신호(CLK)이다.

[0138] 비점등(비표시) 상태는, EL 소자(15)에 전류가 흐르고 있지 않은 상태를 말한다. 혹은, 일정 이내의 작은 전류가 흐르고 있는 상태를 말한다. 즉, 어두운 표시 상태이다. 표시 화면(22)의 비표시(비점등)의 범위를 비표시 영역(45)이라고 한다. 표시 화면(22)의 표시(점등)의 범위를 표시(점등) 영역(46)이라고 한다. 표시 영역(46)의 화소(16)의 스위치용 트랜지스터(11d)는 클로즈하여, EL 소자(15)에 전류가 흐르고 있다. 단, 흑 표시의 화상 표시에서는 EL 소자(15)에 전류가 흐르지 않는 것은 당연하다. 스위치용 트랜지스터(11d)가 오픈인 영역은, 비표시 영역(45)으로 된다.

[0139] 타이밍차트를 도 5에 도시한다. 선택된 화소행의 화소(16)에서는, 게이트 신호선(17a)에 온 전압(VGL)이 인가되어 있을 때에는, 게이트 신호선(17b)에는 오프 전압(VGH)이 인가되어 있다(도 3의 (a)를 참조). 이 기간은, 선택된 화소행의 EL 소자(15)에는 전류가 흐르지 않고 있다(비점등 상태).

[0140] 게이트 신호선(17a)에 온 전압이 인가되어 있지 않은(선택되어 있지 않은) 화소행이며, 또한 점등 상태의 화소행에서는, 게이트 신호선(17b)에는 온 전압(VGL)이 인가되어 있다. 이 화소행의 EL 소자(15)에는 전류가 흐르고, EL 소자(15)가 발광하고 있다. 이 발광 회도를 도 5의 위로부터 3번째 발광 회도를 나타내는 타이밍차트에서는, 회도 B(nt)로 하고 있다.

[0141] 게이트 신호선(17a)에 온 전압이 인가되어 있지 않은(선택되어 있지 않은) 화소행이며, 비점등 상태의 화소행에서는, 게이트 신호선(17b)에는 오프 전압(VGH)이 인가되어 있다. 이 화소행의 EL 소자(15)에는 전류가 흐르지 않고, EL 소자(15)는 비발광 상태이다.

[0142] 도 4의 (a), 도 4의 (b), 및 도 5의 위로부터 1번째 게이트 신호선(17a)의 타이밍차트, 도 5의 위로부터 2번째 게이트 신호선(17b)의 타이밍차트, 도 5의 위로부터 3번째 발광 회도를 나타내는 타이밍차트에는, N1 화소행의 점등 영역(46)을 발생시킨 상태가 나타나어져 있다. 표시 화면(22)의 재기입 주기는 동작 프레임 레이트(프레임 주파수)에 의존한다. 통상, NTSC의 동작 프레임 레이트는 60Hz(1초 동안에 60매, 1화면을 재기입하는 시간은 1/60초), PAL은 50Hz(1초 동안에 50매)이다. MPEG에서는, 30프레임(1초 동안에 30매, 1화면을 재기입하는 시간은 1/30초) 또는, 15프레임(1초 동안에 15매, 1화면을 재기입하는 시간은 1/15초)이다.

[0143] 프레임 주파수에 동기하여, 스타트 펄스(ST1)가 게이트 드라이버 회로(12a)에 인가된다. 스타트 펄스(ST2)는, 프레임 레이트 주기의 입력 패턴이 생성되고, 게이트 드라이버 회로(12b)에 인가된다. 도 6의 (a), 도 6의 (b)에 도시한 바와 같이, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 동작 클럭(CLK)은, 동일하다. 또한, 도 6의 (a), 도 6의 (b)에서는, 이해를 용이하게 하기 위해서, 프레임 주파수를 60Hz로 하고 있다.

[0144] 도 6의 (a), 도 6의 (b)에 도시한 바와 같이, 영상 신호를 기입하고 있는 화소(16a)에서, 상기 화소(16)에 접속된 게이트 신호선(17a와 17b)에는, 동시에 온 전압(VGL)이 인가되지 않도록 제어되고 있다. 즉, 도 6의 (b)에 도시한 바와 같이, 화소(16a)에 접속된 게이트 신호선(17a)에 온 전압(VGL)이 인가되어 있을 때는, 게이트 신호선(17b)에는 오프 전압(VGH)이 인가된다. 화소(16a)의 게이트 신호선(17a)과 게이트 신호선(17b)에 동시에 온 전압(VGL)이 인가되면, 본래 소스 드라이버 회로(14)에 흐르는 프로그램 전류 I_w 의 일부가, EL 소자(15)에 흐르는 전류 I_e 로 된다. 그 때문에, EL 소자(15)에 이상한 전류가 흐르도록, 컨덴서(19)에 설정 전압이 유지되게 된다.

발명이 이루고자 하는 기술적 과제

[0145] 종래의 EL 표시 장치에서는, 도 6의 (a), 도 6의 (b)에 도시한 바와 같이, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 동작 주파수가, 동일하다. 즉, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)에 인가되는 클럭(CLK)이 동일하다. 도 6의 (a), 도 6의 (b)의 경우에는, 기입 화소행(41)을 선택하는 게이트 신호선(17a)과, EL 소자(15)의 점등을 지정하는 게이트 신호선(17b)이 동일한 화소행을 선택하지 않도록 하는 것은 용이하다. 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a) 위치와 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b) 위치가, 동일한 클럭 신호(CLK)에서 순차적으로 이동하기 때문이다. 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)에 입력하는 스타트 펄스 신호(ST)가, 게이트 드라이버

회로(12a)와 게이트 드라이버 회로(12b)로 중첩되지 않도록 입력하면 되기 때문이다.

- [0146] 휴대 전화 등의 화상 표시 신호는, 30코마/초(30프레임 레이트=30코마/초)이다. 도 7의 (a), 도 7의 (b)에 도시한 바와 같이, 게이트 드라이버 회로(12a)를 동작시키는 신호는, 30프레임 레이트에 대응하는 30Hz(30코마/초)이다. 클럭 신호(CLK1)는 30Hz에 대응하는 클럭 신호이며, 스타트 펄스 신호(ST1)도 30코마/초에 대응하도록, 1초 동안에 30회 발생한다. MPEG 등의 화상 표시 신호는, 15코마/초(15프레임 레이트=15코마/초)인 경우가 있다. 이 경우에는, 스타트 펄스 신호(ST1)도 15코마/초에 대응하도록, 1초 동안에 15회 발생한다. 즉, 1초 동안에 15회 화상을 재기입한다.
- [0147] 게이트 드라이버 회로(12a)의 동작이, 15코마/초의 화상 재기입 동작이어도, 게이트 드라이버 회로(12b)는, 동작 프레임 레이트 60Hz(임의의 화소가 선택되는 주기는, 1초 동안에 60회)에서 동작시킬 필요가 있다. 화소가 선택되는 주기가 느리면, 플리커가 시인되기 때문이다. 플리커는, 화소(16)의 컨덴서(19)의 리크에 의해 발생하는 것으로 추정된다.
- [0148] 도 7의 (a), 도 7의 (b)의 구동 방법에서는, 게이트 드라이버 회로(12a)의 동작 주파수가, 게이트 드라이버 회로(12b)의 동작 주파수보다도 느리다. 그 때문에, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)과, 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 경우가 발생한다. 즉, 도 7의 (b)에 도시한 바와 같이, 스위치용 트랜지스터(11b)와 스위치용 트랜지스터(11d)가 동시에 온 상태로 되는 경우가 발생한다. 스위치용 트랜지스터(11b)와 스위치용 트랜지스터(11d)가 동시에 온 상태로 되면, 컨덴서(19)에 정상인 전압이 유지되지 않는다.
- [0149] 이상으로부터, 도 7의 (a), 도 7의 (b)에 도시한 바와 같이, 종래의 구성에서는, 게이트 드라이버 회로(12a)를 30프레임 레이트로 동작시키고, 게이트 드라이버 회로(12b)를 게이트 드라이버 회로(12a)와는 서로 다른 동작 프레임 레이트로 동작시킬 수는 없었다.
- [0150] 따라서, 종래의 구성에서는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)를, 동일한 동작 프레임 레이트로 동작시키고 있었다. 화상 재기입 주기가, 게이트 드라이버 회로(12b)의 동작 프레임 레이트보다 작은 경우에는(예를 들면, 게이트 드라이버 회로(12a)의 동작 프레임 레이트가 30Hz, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 60Hz), 종래의 구성에서는, 화상 데이터를 프레임 메모리에 유지시켜 둘 필요가 있다. 즉, 종래의 구성에서는, 30코마/초의 화상을 프레임 메모리에 유지해 두고, 프레임 메모리에 유지된 화상을, 60코마/초의 프레임 레이트로 변환하여 소스 드라이버 회로(14)에 출력한다. 프레임 메모리는 표시 장치의 고비용의 요인으로 된다.
- [0151] 즉, 종래의 EL 표시 장치에서는, 기입 화소행을 선택하는 게이트 신호선의 구동과, EL 소자의 점등을 지정하는 게이트 신호선의 구동을 서로 다른 프레임 레이트로 동작시킬 수 없다고 하는 과제가 있다.
- [0152] 또한, 종래의 EL 표시 장치에서는, 화상 재기입 주기가, 게이트 드라이버 회로의 동작 프레임 레이트와 서로 다른 경우에는, 프레임 메모리를 둘 필요가 있으며, 고비용으로 된다고 하는 과제가 있다.
- [0153] 본 발명은, 상기 과제를 고려하여, 기입 화소행을 선택하는 게이트 신호선의 구동과, EL 소자의 점등을 지정하는 게이트 신호선의 구동을 서로 다른 프레임 레이트로 동작시켜도 표시 품질이 열화하지 않는 EL 표시 장치의 구동 방법, 및 EL 표시 장치를 제공하는 것을 목적으로 하는 것이다.
- [0154] 또한, 본 발명은, 상기 과제를 고려하여, 화상 재기입 주기가, 게이트 드라이버 회로의 동작 프레임 레이트와 서로 다른 경우라도, 프레임 메모리가 불필요하며, 따라서, 고비용으로 되지 않는 EL 표시 장치의 구동 방법, 및 EL 표시 장치의 구동 방법을 제공하는 것을 목적으로 하는 것이다.

발명의 구성 및 작용

- [0155] 진술한 과제를 해결하기 위해서, 제1 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,
- [0156] 영상 신호를 기입하기 위해서 선택한 화소행과, 상기 EL 소자에 전류를 공급하기 위해서 선택한 화소행이 일치할 때,
- [0157] 상기 영상 신호를 기입하기 위해서 선택한 화소행과 상기 EL 소자에 전류를 공급하기 위해서 선택한 화소행 중 적어도 한 쪽의 화소행을 비선택으로 하는 EL 표시 장치의 구동 방법이다.
- [0158] 또한, 제2 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법

으로서,

- [0159] 영상 신호를 기입하기 위해서 선택한 화소행과, EL 소자에 전류를 공급하기 위해서 선택한 화소행이 일치할 때, 상기 일치하는 기간에 상기 화소행의 EL 소자에 전류를 공급하는 것을 중지하는 동작과,
- [0160] 상기 동작이 발생하는 프레임 또는 상기 프레임 전의 프레임 또는 상기 프레임 이후의 프레임에서, 상기 화소행의 EL 소자에 전류를 공급하는 것을 중지하는 동작에 의해 저하한 휘도를 보정하도록, 보정 데이터를 인가하는 동작을 구비하는 EL 표시 장치의 구동 방법이다.
- [0161] 또한, 제3 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치를 구동하는 EL 표시 장치의 구동 방법으로서,
- [0162] 영상 신호를 기입하는 화소행을 선택하는 제1 동작 프레임 레이트와, 상기 EL 소자에 전류를 공급하는 화소행을 선택하는 제2 동작 프레임 레이트가 서로 다른 EL 표시 장치의 구동 방법이다.
- [0163] 또한, 제4 본 발명은, 상기 영상 신호의 기입 제어는, 제1 게이트 드라이버 회로에서 실시되고,
- [0164] 상기 EL 소자에 전류를 공급하는 제어는, 제2 게이트 드라이버 회로에서 실시되고,
- [0165] 상기 제1 게이트 드라이버 회로의 제1 동작 프레임 레이트와, 상기 제2 게이트 드라이버 회로의 제2 동작 프레임 레이트가 서로 다르고,
- [0166] 상기 제2 동작 프레임 레이트는, 상기 제1 동작 프레임 레이트보다 빠른 제1 내지 제3 본 발명 중 어느 하나의 EL 표시 장치의 구동 방법이다.
- [0167] 또한, 제5 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치로서,
- [0168] 영상 신호를 기입하는 화소행을 선택하는 제1 선택부와,
- [0169] EL 소자를 점등시키는 화소행을 선택하는 제2 선택부와,
- [0170] 상기 제1 선택부가 선택하는 화소행과, 상기 제2 선택부가 선택하는 화소행이 일치할 때, 상기 제1 선택부와 상기 제2 선택부 중 적어도 한쪽이 선택하는 화소행을, 비선택으로 하는 선택 제어부를 구비하는 EL 표시 장치이다.
- [0171] 또한, 제6 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치로서,
- [0172] 영상 신호를 기입하는 화소행을 선택하는 제1 게이트 드라이버 회로와,
- [0173] EL 소자를 점등시키는 화소행을 선택하는 제2 게이트 드라이버 회로와,
- [0174] 상기 제1 게이트 드라이버 회로에 접속된 제1 게이트 신호선과, 상기 제2 게이트 드라이버 회로에 접속된 제2 게이트 신호선을 입력으로 하는 선택 제어 회로를 구비하는 EL 표시 장치이다.
- [0175] 또한, 제7 본 발명은, 상기 제1 게이트 드라이버 회로의 동작 프레임 레이트와, 상기 제2 게이트 드라이버 회로의 동작 프레임 레이트가 서로 다르고,
- [0176] 상기 선택 제어 회로는, 제1 게이트 드라이버 회로가 선택하는 화소행과, 상기 제2 게이트 드라이버 회로가 선택하는 화소행이 일치할 때, 상기 제1 게이트 드라이버 회로와 제2 게이트 드라이버 회로 중 적어도 한쪽이 선택하는 화소행을, 비선택으로 하는 제6 본 발명의 EL 표시 장치이다.
- [0177] 또한, 제8 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치로서,
- [0178] 영상 신호를 기입하는 화소행을 선택하는 제1 게이트 드라이버 회로와,
- [0179] EL 소자를 점등시키는 화소행을 선택하는 제2 게이트 드라이버 회로를 구비하고,
- [0180] 상기 제1 게이트 드라이버 회로의 동작 프레임 레이트와, 상기 제2 게이트 드라이버 회로의 동작 프레임 레이트가 서로 다른 EL 표시 장치이다.
- [0181] 또한, 제9 본 발명은, 상기 제1 선택부 또는 상기 제1 게이트 드라이버 회로의 동작 프레임 레이트보다, 상기 제2 선택부 또는 상기 제2 게이트 드라이버 회로의 동작 프레임 레이트쪽이 고속인 제5 내지 제8 본 발명 중 어느 하나의 EL 표시 장치이다.
- [0182] 또한, 제10 본 발명은, 점등율에 대응하여, 듀티비를 가변할 수 있는 제5 내지 제8 본 발명 중 어느 하나의 EL

표시 장치이다.

- [0183] 또한, 제11 본 발명은, 상기 선택 제어 회로의 복수의 입력 단자 중, 적어도 1단자는, 제1 게이트 드라이버 회로 또는 제2 게이트 드라이버 회로와 전기적으로 접속된 게이트 신호선인 제7 본 발명의 EL 표시 장치이다.
- [0184] 또한, 제12 본 발명은, EL 소자가 매트릭스 형상으로 배치된 EL 표시 장치로서,
- [0185] 영상 신호를 기입하는 화소행을 선택하는 제1 선택 회로와,
- [0186] EL 소자를 점등시키는 화소행을 선택하는 제2 선택 회로를 구비하는 EL 표시 장치이다.
- [0187] 또한, 본 발명의 일례는, 예를 들면 이하와 같지만, 본 발명은, 이하의 일례에 한정되는 것은 아니다.
- [0188] 예를 들면, 본 발명은, 게이트 신호선(17a)의 온 전압(VGL) 인가 위치와 게이트 신호선(17b)의 온 전압(VGL) 인가 위치가 동일한 화소(16)로 되는 경우 혹은 일치할 때에, 게이트 신호선(17a)과 게이트 신호선(17b) 중 어느 한쪽, 혹은 양방에, 강제적으로 오프 전압(VGH)을 인가한다. 즉, 게이트 신호선(17a)의 온 전압(VGL)과 게이트 신호선(17b)의 온 전압(VGL) 중 적어도 한쪽을 무효로 한다. 혹은, 한 쪽만을 유효로 한다.
- [0189] 예를 들면, 본 발명은, 게이트 드라이버 회로(12a)는, 입력 영상 신호의 주파수(동작 프레임 레이트, 예를 들면 1초 동안에 화상이 30매)에 동기하여 표시 화면(22)을 재기입한다. 게이트 드라이버 회로(12a)는, 수평 동기 신호(HD) 혹은 클럭 신호(CLK1)에 동기하여 표시 화면(22)의 1번째 화소행으로부터 n(n은 화소행의 최대값)번째 화소행을 순차적으로 선택하고, 소스 드라이버 회로(14)로부터의 프로그램 전류(전압)를 선택된 화소행에 인가한다.
- [0190] 예를 들면, 게이트 드라이버 회로(12b)는, 게이트 드라이버 회로(12a)의 수평 동기 신호(HD) 혹은 수직 주사 동기 신호(VD)와는 서로 다른 점등 제어 동기 신호(클럭 신호(CLK2))에 동기하여 표시 화면(22)의 1번째 화소행으로부터 n(n은 화소행의 최대값)번째 화소행을 순차적으로 선택한다. 게이트 드라이버 회로(12b)는, 점등 제어 동기 신호에 동기하여 게이트 신호선(17b)을 선택하고, 또는 선택하는 게이트 신호선(17b)의 위치를 시프트하고, 게이트 신호선(17b)의 온 오프 제어를 행한다. 동일한 화소(16)의 게이트 신호선(17a)과 게이트 신호선(17b)이 선택하는 경우에는, 게이트 신호선(17a)과 게이트 신호선(17b) 중 어느 한쪽, 혹은 양방에, 강제적으로 오프 전압(VGH)을 인가한다.
- [0191] 예를 들면, 점등 제어 동기 신호(클럭 신호(CLK2))는, EL 표시 장치 내에서 발진시킨다. 구체적으로는, 소스 드라이버 회로(14)에 발진 회로를 형성하고, 이 발진 회로가 출력하는 클럭 신호(CLK)를 분주하여 점등 제어 동기 신호(클럭 신호(CLK2))로서 이용한다. 점등 제어 동기 신호(클럭 신호(CLK2))는 필요에 따라, 그 주파수를 가변할 수 있도록 구성하고 있다.
- [0192] 예를 들면, 게이트 드라이버 회로(12a)는, 화상의 재기입 주기에 동기하여 게이트 신호선(17a)을 선택하고, 영상 신호를 화소(16)에 기입한다. 게이트 드라이버 회로(12b)는, 점등 제어 동기 신호(클럭 신호(CLK2))에 동기하여 게이트 신호선(17b)을 선택하고, 게이트 신호선(17b)의 온 오프 제어를 행한다. 화상의 재기입 주기(재기입 주파수)와 점등 제어 동기 신호(점등 제어 주파수)는, 서로 다른 주파수이다. 혹은, 화상의 재기입 주기(재기입 주파수)와 점등 제어 동기 신호(점등 제어 주파수)는 독자적으로 발생시킨다. 따라서, 영상 신호를 기입하는 동작 프레임 레이트와 화상 표시하는 동작 프레임 레이트를 서로 다르게 할 수 있으며, 화상 표시하는 동작 프레임 레이트를 빠르게 할 수 있으므로 플리커 등은 발생하지 않는다. 또한, 화상을 유지하는 프레임 메모리는 필요가 없다.
- [0193] <실시예>
- [0194] 이하에, 본 발명의 실시예를 도면을 참조하여 설명한다.
- [0195] 본 명세서에서, 각 도면은 이해를 용이하게 하기 위해서, 또한 작도를 용이하게 하기 위해서, 생략 및 확대 혹은 축소한 개소가 있다. 또한, 동일 번호 또는, 기호 등을 붙인 개소는 동일 혹은 유사한 형태, 구성 혹은 재료 혹은 기능 혹은 동작을 갖는다.
- [0196] 본 발명에서는, 도 4의 (a), 도 4의 (b)에 도시한 바와 같이, 표시 화면(22)에 비표시 영역(45)과, 표시 영역(46)을 발생시킨다. 이와 같이 표시하는 구동 방법을 듀티 구동 방식이라고 한다. 또한, 표시 영역(46)/(표시 영역(46)+비표시 영역(45))의 비율을 듀티비라고 한다. 혹은, 듀티비는(온 전압이 인가되어 있는 게이트 신호선(17b)의 개수)/(전체 게이트 신호선(17b)의 개수)이기도 하다. 또한, 게이트 신호선(17b)에 온 전압이 인가되고, (이 게이트 신호선(17b)에 접속되어 있는 선택 화소행수)/표시 영역(46)의 전체 화소행수이기도 하다.

- [0197] 본 발명은, 표시 영역(46)과 비표시 영역(45)의 비율을 변화시킨다. 혹은 표시 화면(22)의 면적에 대하여 비표시 영역(45)의 면적을 변화시킨다. 혹은 표시 상태의 화소수를 증감함으로써, 화면의 휘도 혹은 밝기를 조정하는 것을 특징으로 한다. 또한, 표시 화면(22)에 기입 영상 신호의 크기 혹은 진폭값을 변화시킨다. 일례로서 화면의 휘도는, 듀티비, 기준 전류, 영상 진폭값을 변화 혹은 조정함으로써 실현한다.
- [0198] 본 발명은, 점등율에 대응시켜서 듀티비를 변화시킨다. 점등율은, 패널의 애노드 또는 캐소드에 흐르는 최대 전류에 대한 비율이다. 또한, 점등율은, 임의의 영상이 표시되어 있을 때에 패널에 흐르는 전류와, 패널의 전체 EL 소자에 흐르는 최대 전류와의 비율이라고도 바꿔 말할 수 있다. 점등율이 높을 때에는 백 래스터에 가까운 표시이다. 점등율이 낮은 경우에는, 화면 전체적으로 흑 표시부가 많다. 점등율에 대응시켜서 듀티비를 변화시킴으로써, 표시 화면(22)에서 소비하는 전력을 평균화할 수 있다. 또한, 일정한 소비 전력 이하로 억제할 수 있다.
- [0199] 저점등율은, 표시 화면(22)에 흐르는 전류가 작은 것으로 의미하고 있지만, 화상을 구성하는 저계조 표시의 화소가 많은 것도 의미한다. 즉, 표시 화면(22)을 구성하는 영상은, 어두운 화소(저계조의 화소)가 많다. 따라서, 저점등율은, 화면을 구성하는 영상 데이터를 히스토그램 처리했을 때, 저계조의 영상 데이터가 많은 상태라고 바꿔 말할 수 있다.
- [0200] 고점등율은, 표시 화면(22)에 흐르는 전류가 큰 것을 의미하고 있지만, 화상을 구성하는 고계조 표시의 화소가 많은 것도 의미한다. 즉, 표시 화면(22)을 구성하는 영상은, 밝은 화소(고계조의 화소)가 많다. 따라서, 고점등율은, 화면을 구성하는 영상 데이터를 히스토그램 처리했을 때, 고계조의 영상 데이터가 많은 상태라고 바꿔 말할 수 있다. 점등율에 대응하여 듀티비 등을 제어한다는 것은, 화소의 계조 분포 상태 혹은 히스토그램 분포에 대응하여 제어하는 것과 동의 혹은 유사한 상태를 의미하는 경우가 있다.
- [0201] 이상으로부터, 점등율에 기초하여 제어한다는 것은, 경우에 따라 화상의 계조 분포 상태(저점등율=저계조 화소가 많다. 고점등율=고계조 화소가 많다)에 기초하여 제어한다라고 바꿔 말할 수 있다. 예를 들면, 저점등율로 됨에 따라 기준 전류비를 증가시키는 것도 유효하다. 고점등율로 됨에 따라 듀티비를 작게 하는 것도, EL 표시 패널에서 소비하는 전력을 평균화한다는 점에서 유효하다. 또한, 피크 전력을 억제할 수 있다는 점에서 유효하다.
- [0202] 이해를 용이하게 하기 위해서, 본 명세서에서는, 주로 점등율(%)에 따라 듀티비 제어 등을 변화시키는 것으로 하여 설명한다.
- [0203] 본 발명은, 표시 화면(22)에 차지하는 표시 영역(46)을 복수로 분할할 수 있다. 표시 영역(46)의 분할은, 게이트 드라이버 회로(12b)에 입력하는 스타트 펄스 신호(ST2)의 입력 패턴에 의해 실현할 수 있다. 표시 영역(46)을 복수로 분할함으로써, 저프레임 레이트로도 플리커의 발생을 억제할 수 있다. 또한, 표시 영역(46) 또는 비표시 영역(45)의 분할수를 동화상 표시와 정지 화상 표시에서 서로 다르게 한다. 또한, 점등율에 대응하여, 표시 영역(46)의 분할수를 변화시켜도 된다.
- [0204] 본 발명은, 표시 화면(22)에 차지하는 비표시 영역(45) 또는 표시 영역(46)이, 띠 형상으로 되어 화면의 위로부터 아래 방향 또는 화면의 아래로부터 위 방향으로 이동하는 것을 특징으로 한다. 경우에 따라서는, 프레임마다, 표시 화면(22)에 차지하는 비표시 영역(45) 또는 표시 영역(46)이, 띠 형상으로 되어, 화면의 위로부터 아래 방향으로 이동하는 경우와, 화면의 아래로부터 위 방향으로 이동하는 경우를 전환해도 된다.
- [0205] 본 명세서에서는, 발명의 이해를 용이하게 하기 위해서, 본 명세서의 실시예에서는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)는 동작 프레임 레이트(프레임 주파수)는 서로 다르지만, 동기는 유지하는 것으로 하여 설명한다. 동기가 유지된 상태는, 메인 클럭 신호(CLK)로부터, 게이트 드라이버 회로(12a)의 클럭 신호(CLK1)와 게이트 드라이버 회로(12b)의 클럭 신호(CLK2)를 발생시킨 예가 예시된다.
- [0206] 예를 들면, 클럭 신호(CLK1)의 2배는, 클럭 신호(CLK2)인 경우이다. 이 경우에는, 게이트 드라이버 회로(12a)의 동작 프레임 레이트가 30Hz일 때, 게이트 드라이버 회로(12b)의 동작 프레임 레이트는 60Hz로 된다.
- [0207] 메인 클럭 신호(CLK)로부터 클럭 신호(CLK1)와 클럭 신호(CLK2)를 발생시킴으로써, EL 표시 장치의 회로 구성이 간단하게 된다. 메인 클럭 신호(CLK)는, EL 표시 장치의 외부로부터 입력되거나, 소스 드라이버 회로(14)에서 발생시킨다. 소스 드라이버 회로(14)에서 메인 클럭 신호(CLK)를 발생시키는 경우에는, 소스 드라이버 회로(14)에의 커맨드에서 클럭 신호(CLK)를 변경할 수 있도록 구성한다.
- [0208] 상기에서는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)는 동작 프레임 레이트(프레임 주파수)는

서로 다르지만, 동기는 유지하는 것으로 하여 설명했지만, 본 발명은 이에 한정되는 것은 아니다.

- [0209] 예를 들면, 클럭 신호(CLK1)와 클럭 신호(CLK2)는, 비동기이어도 된다. 즉, 클럭 신호(CLK1)와 클럭 신호(CLK2)를 독립적으로 발생시켜도 된다. 단, 도 1, 도 2 등의 화소 구성에서는, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)과 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)이 동일한 화소행을 선택하지 않도록, 관리할 필요가 있다.
- [0210] 게이트 신호선(17)의 온 오프 제어의 관리는 용이하다. 컨트롤러 회로(도시 생략)가 게이트 드라이버 회로(12a), 게이트 드라이버 회로(12b)의 데이터 신호(ST1, ST2, CLK1, CLK2)를 관리하고, 제어하고 있기 때문이다. 컨트롤러 회로는, 소스 드라이버 회로(14)에 내장시켜도 된다. 게이트 신호선(17a)과 게이트 신호선(17b) 중 한쪽을 비선택 상태(오프 전압(VGH)을 인가한 상태)로 하는 것으로 하여 설명했지만, 본 발명은 이에 한정되는 것은 아니고, 양방을 비선택 상태(오프 전압(VGH)을 인가한 상태)로 제어해도 되는 것은 물론이다.
- [0211] 따라서, 복수 종류의 게이트 신호선을 갖는 구성의 경우에는, 적어도 1개의 종류의 게이트 신호선의 선택 혹은 비선택 상태를 제어할 수 있는 것이면 된다. 또한, 선택(온 전압(VGL)의 인가), 비선택(오프 전압(VGH)의 인가)의 제어는 시분할로 행해도 된다. 예를 들면, 1수평 주사 기간(1H)을 1/2로 분할하고, 최초의 1/2의 기간에서 게이트 신호선(17a)의 제어를 실시하고, 후반의 1/2의 기간에서 게이트 신호선(17b)의 제어를 행해도 된다.
- [0212] 본 명세서에서는, 게이트 드라이버 회로(12a)는, 영상 신호를 기입하는 화소행을 선택하는 것으로 하고, 게이트 드라이버 회로(12b)는, 점등시키는 화소행을 선택하는 것으로 한다. 따라서, 게이트 드라이버 회로(12)는 화소행의 선택 회로이다. 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)는 명확하게 분리시켜서 설치할 필요가 없다. 1개의 게이트 드라이버 회로에 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)를 형성 혹은 배치한 것이어도 된다.
- [0213] 이 경우에도, 즉, 명확하게 분리시켜서 설치하지 않는 게이트 드라이버 회로(12)에는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)가 형성 혹은 배치되어 있는 것으로 간주한다. 또한, 게이트 드라이버 회로(12)는, 화소행을 선택 혹은 지정하는 기능을 갖는 것이다. 따라서, 시프트 레지스터 회로의 기능을 갖고 있으면, 그러한 회로는, 게이트 드라이버 회로(12)와 동의이다. 또한, 특정의 화소행을 지정 혹은 선택하는 기능이 있으면, 그러한 회로는, 게이트 드라이버 회로(12)이다. 이상과 같이, 본 명세서에서 게이트 드라이버 회로(12)는 광의의 의미로 사용하고 있다.
- [0214] 본 명세서에서는, 오프 전압을 VGH로 하고, 온 전압을 VGL로 하였다. 이는, 스위치용 트랜지스터(11b, 11c, 11d) 등이, P 채널 트랜지스터인 경우이다. 스위치용 트랜지스터(11b, 11c, 11d) 등이, N 채널 트랜지스터인 경우에는, 온 전압은 VGH로 되고, 오프 전압은 VGL로 된다. 따라서, 본 발명에서는, 게이트 신호선(17)에 인가하는 로직 전압(VGH, VGL)의 설정은, 구동용 트랜지스터(11a), 스위치용 트랜지스터(11)의 채널 극성에 맞춰, 게이트 신호선(17)에 인가하는 로직 전압(VGH, VGL)을 설정하면 된다.
- [0215] 도 8에 도시한 바와 같이 게이트 드라이버 회로(12b)를 구성함으로써, 해당 화소행에서, 게이트 신호선(17a)과 게이트 신호선(17b)이 동시에 선택되는 것을 방지할 수 있다.
- [0216] 도 8에서의 게이트 드라이버 회로(12b)의 구성은, 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a1)와 동일한 신호(ST1, CLK1 등)에서 동작하는 시프트 레지스터 회로(111a2)와, 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)를 갖는 구성이다. 게이트 드라이버 회로(12b)는, 표시 화면(22)의 좌우 어느 한쪽에 형성한다. 시프트 레지스터 회로(111a1)와 시프트 레지스터 회로(111a2)는 동일한 회로 구성이다.
- [0217] 도 11, 도 12는, 도 7의 (a), 도 7의 (b), 도 8에 도시한 구성의 동작을 설명하기 위한 설명도이다. 도 11, 도 12에서, ×는 게이트 신호선(17)을 비선택(오프 전압을 출력하는)으로 하는 데이터인 것을 나타내고, ○는 게이트 신호선(17)을 선택(온 전압을 출력하는)으로 하는 데이터인 것을 나타내고 있다.
- [0218] 도 7의 (a), 도 7의 (b), 도 8에 도시한 바와 같이, 시프트 레지스터 회로(111a2)가 동작하는 동작 프레임 레이트와, 시프트 레지스터 회로(111b)가 동작하는 동작 프레임 레이트는 서로 다르다. 즉, 도 7의 (a), 도 7의 (b), 도 8에서는, 시프트 레지스터 회로(111a2)가 동작하는 프레임 레이트가 30Hz이며, 시프트 레지스터 회로(111b)가 동작하는 프레임 레이트가 60Hz로 되어 있다. 본 발명에서는, 도 7의 (a), 도 7의 (b)에서 설명한 바와 같이, 시프트 레지스터 회로(111a2)(=시프트 레지스터 회로(111a1))가 동작하는 동작 프레임 레이트보다, 시프트 레지스터 회로(111b)가 동작하는 동작 프레임 레이트쪽이 높은 것으로 하여 설명을 한다.

- [0219] 점등 제어 동기 신호(클럭 신호(CLK2))는, EL 표시 장치 내에서 발생시킨다. 구체적으로는, 소스 드라이버 회로(14)에 발진 회로를 형성하고, 이 발진 회로가 출력하는 클럭 신호(CLK)를 분주하여 점등 제어 동기 신호(클럭 신호(CLK2))로서 이용한다. 점등 제어 동기 신호(클럭 신호(CLK2))는 필요에 따라, 그 주파수를 가변할 수 있도록 구성하고 있다. 표시 화면(22)에서 표시하는 표시 화상이 동화상인 경우에는, 점등 제어 동기 신호(클럭 신호(CLK2))를 느리게 하고, 동화상 시인성을 향상시킨다. 표시 화면(22)에서 표시하는 표시 화상이 정지 화상인 경우에는, 점등 제어 동기 신호(클럭 신호(CLK2))를 빠르게 하고, 플리커의 발생을 억제하고, 정지 화상 시인성을 향상시킨다.
- [0220] 클럭 신호(CLK2)의 주파수는, 컨트롤러 회로(도시 생략) 내에서의 동화상/정지 화상 검출 회로로부터 출력되는 동화상 혹은 정지 화상의 전환 신호에 의해, 자동적으로 전환하도록 구성한다. 또한, 퍼셀 표시에서는, 점등 제어 동기 신호(클럭 신호(CLK2))를 느리게 하고, 소비 전력을 저감시킨다.
- [0221] EL 표시 장치 내에서 발생시키는 클럭 신호(CLK)를, EL 표시 장치의 외부 환경 조도에 따라, 가변하는 것도 유효하다. 외부 환경 조도는, EL 표시 장치에 부가한 포토 센서로 측정한다. 외부 환경 조도가 높을 때는, 듀티비를 크게 한다(1에 가깝게 한다). 혹은 기준 전류(도 27을 참조)를 크게 한다. 또한, 도 29, 도 30에 의해 영상 신호의 진폭값을 크게 하거나, 감마 커브를 변화시킨다. 이와 같이 조작함으로써, 표시 화면은 밝게 된다. 외부 환경 조도가 낮을 때에는, 듀티비를 작게 한다(0에 가깝게 한다). 혹은 기준 전류를 작게 한다. 또한, 도 29, 도 30에 의해 영상 신호의 진폭값을 작게 하거나, 감마 커브를 변화시킨다. 이와 같이 조작함으로써, 표시 화면은 어두워진다.
- [0222] 또한, 클럭 신호(CLK1)를 이용하여 스타트 펄스 신호(ST1)를 발생시킨다. 클럭 신호(CLK2)를 이용하여 스타트 펄스 신호(ST2)를 발생시킨다. 또한, 소스 드라이버 회로(14) 내 등에, 프레임 메모리를 갖게 하여, 게이트 드라이버 회로(12a)에 의한 영상 신호의 기입과, 게이트 드라이버 회로(12b)에 의한 점등 제어를 조작해도 된다.
- [0223] 앞의 실시예에서는, 점등 제어 동기 신호(클럭 신호(CLK2))는, EL 표시 장치 내에서 발진시킨다고 했지만, 클럭 신호(CLK1)를 EL 표시 장치 내에서 발생시켜도 된다. 점등 제어 동기 신호(클럭 신호(CLK2))는, EL 표시 장치의 외부로부터 입력되는 클럭 신호(CLK)를 사용한다. 또한, 점등 제어 동기 신호(클럭 신호(CLK2))와, 클럭 신호(CLK1)의 양방을 EL 표시 장치 내에서 발생시켜도 된다. 이 경우에는, 소스 드라이버 회로(14)에서 발생시킨 클럭 신호를 분주함으로써, 클럭 신호(CLK1)와 클럭 신호(CLK2)를 발생시킨다.
- [0224] 점등 제어 동기 신호(클럭 신호(CLK2))는, 클럭 신호(CLK1)와 동기를 취해 두는 것도 바람직하다. 클럭 신호(CLK1)와 점등 제어 동기 신호(클럭 신호(CLK2))를 스타트 펄스 신호(ST1)와 동기시킴으로써, 영상 신호의 기입, 점등율 연산, 듀티 제어, 소비 전력 등을 양호한 정밀도로 행할 수 있다.
- [0225] 단, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 시프트 레지스터 회로(111b)가 동작하는 동작 프레임 레이트보다, 시프트 레지스터 회로(111a2)가 동작하는 동작 프레임 레이트쪽을 높게 해도 된다. 본 발명은, 영상 기입의 동작 프레임 레이트와, 화상 표시의 동작 프레임 레이트(점등 제어 주파수)를 서로 다르게 하거나 혹은 자유롭게 설정할 수 있는 것이 특징이다.
- [0226] 도 11은, 도 8의 게이트 드라이버 회로(12a)를 구비하지 않은 구성이다. 전압 레벨 시프트 회로(112)는, 선택 제어 회로(AND 회로(81))의 출력 신호 및 시프트 레지스터(111a2)의 출력 신호를, 각각의 게이트 신호선(17)의 전위에 맞춘 전압에 전위 시프트한다. 게이트 드라이버 회로(12b)는, 클럭 신호(CLK1, CLK2), 스타트 펄스 신호(ST1, ST2)를 동기 신호로 하여, 데이터를 시프트 레지스터 회로(111) 내에서 시프트시킨 데이터 위치에 대응하여, 게이트 드라이버 회로(12b)는 게이트 신호선(17a, 17b)에 온 전압(VGL) 및 오프 전압(VGH)을 출력한다.
- [0227] 시프트 레지스터 회로(111a2)는, 게이트 신호선(17a)에의 전압을 출력하고, 시프트 레지스터 회로(111b)의 출력은, 시프트 레지스터 회로(111b2)의 출력과 선택 제어 회로(AND 회로(81))에서 선택 제어되고, 게이트 신호선(17b)에 전압이 인가된다.
- [0228] 시프트 레지스터 회로(111a2)는 영상 신호의 수평 동기 신호(HD)에 동기하여 데이터 위치를 시프트한다. 시프트 레지스터 회로(111b)는, 점등 제어 동기 신호에 동기하여 데이터 위치를 시프트한다. 수평 동기 신호와 점등 제어 동기 신호는, 동일한 메인 클럭 또는 발진 주파수에 기초하여 발생된다. 수평 동기 신호(HD)는, 기본적으로는 클럭 신호(CLK1)이며, 점등 제어 동기 신호는 기본적으로는 클럭 신호(CLK2)이다.

- [0229] 시프트 레지스터 회로(111a2)(시프트 레지스터 회로(111a1))는, 프로그램 전류(전압)를 기입하는 화소행 혹은 게이트 신호선(17a)을 선택하는 것이다. 선택하는 화소행은, 기본적으로는 1화소행이지만, 의사 인터레이스 구동을 실시하는 경우 등은, 복수(2화소)행을 선택하는 경우에도 있다. 본 명세서에서는, 게이트 드라이버 회로(12a)가 선택하는 화소행은 1화소행에 한정되는 것은 아니다. 그러나, 설명을 용이하게 하기 위해서, 게이트 드라이버 회로(12a)가 선택하는 화소행은 1화소행으로 하여 설명한다. 따라서, 선택하는 데이터(온 전압을 인가하는 위치)의 "○"는 1개소이다. 이 "○"는, 영상 신호의 수평 동기 신호(HD)에 동기하여 시프트된다. 영상 신호의 수직 동기 신호(VD)는, 스타트 펄스 신호(ST1)가 된다.
- [0230] 시프트 레지스터 회로(111b)는, EL 소자(15)를 점등시키는 화소행을 선택하는 것이다. 따라서, 해당 화소행에 접속된 게이트 신호선(17b)을 선택하는 것이다. 선택하는 게이트 신호선(17b)은 1개 이상이며, 또한 선택하는 게이트 신호선(17b)은 연속해서 선택된다. 본 발명의 실시예에서는, 선택하는 게이트 신호선(17b)은 복수개가 동시에 선택되는 것으로 하여 설명한다.
- [0231] 시프트 레지스터 회로(111b)가 선택하는 데이터인 "○"는 복수 개소 있다. 도 11에서는, 이해를 용이하게 하기 위해서, 또한, 작도를 용이하게 하기 위해서, 4개의 ○의 군과, 2개의 ○의 군을 기재하고 있다. 실제로는 ○의 연속은, 1/4 듀티로, $n/4$ ($n=240$ 화소행인 경우에는 $240/4=60$)로 된다. 또한, 도 11과 같이, ○의 군을 분리하기 보다는, 연속시키는 것이 바람직하다. 시프트 레지스터 회로(111b)의 "○"는, 점등 제어 동기 신호(기본적으로는 CLK2)에 동기하여 시프트된다.
- [0232] 도 11, 도 12에서, 112는 전압 레벨 변환 회로이다. 전압 레벨 변환 회로(112)는, AND 회로(81)의 출력인 로직 신호를, 게이트 신호선(17)의 온 오프 제어 로직에 일치하도록 변환한다. 또한, 사용하는 VGL, VGH 전압에 레벨 시프트한다.
- [0233] 본 명세서에서는, AND 회로(81)로서 설명하지만, AND 회로에 한정되는 것은 아니다. 예를 들면, OR 회로로도 구성할 수 있다. AND 회로(81)로서 기술하는 것은 이해를 용이하게 하기 위함이다. AND 회로의 기본적인 기능은, 선택 제어 회로이다. 선택 제어 회로는, 적어도 2개의 입력으로부터 로직적인 판단 출력을 행한다. 또한, 선택 제어 회로는, 필요에 따라 전압 레벨을 변환하는 전압 레벨 시프트 회로의 기능을 갖는다. 또한, 선택 제어 회로는, 필요에 따라, 클럭 신호의 입력에 의한 타이밍 제어 기능을 갖는다. 또한, 선택 제어 회로는, 출력에 신호를 출력하는지의 여부를 선택 제어하는 기능을 갖는다.
- [0234] 본 발명의 도 11의 실시예에서는, 선택 제어 회로(AND 회로(81))는 2개의 입력 신호를 갖고, 2개의 신호 입력은, 2개의 시프트 레지스터 회로(111)의 출력이다. 또한, 본 발명의 도 14, 도 42, 도 55, 도 69의 실시예에서는, 선택 제어 회로(AND 회로(81))는 2개의 입력 신호를 갖고, 그 중 1개의 신호 입력은, 게이트 신호선(17a) 또는 게이트 신호선(17b)에 인가된 신호(VGH, VGL 등)이며, 다른 1개의 신호 입력은, 시프트 레지스터 회로(111)의 출력이다. 선택 제어 회로는, 도 9의 (a), 도 9의 (b), 도 10의 (a), 도 10의 (b)의 입력 신호에 대하여, c 단자로부터 소정의 출력 전압을 출력한다.
- [0235] 도 9의 (b), 도 10의 (b)에서, 0은 비선택, 1은 선택이다. 본 발명에서는, 오프 전압(VGH)의 경우에는, 화소행을 선택하지 않기 때문에 비선택 0으로 하고, 온 전압(VGL)의 경우에는, 화소행을 선택하기 때문에 선택 1로 한다. 또한, 온 전압(VGL)은, 게이트 드라이버 회로(12a와 12b)에서 서로 다르게 하는 것도 상정하고 있기 때문에, VGL1 또는 VGL2로 된다. 오프 전압(VGH)에 대해서도, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)에서 서로 다르게 하는 것도 상정하고 있기 때문에, VGH1 또는 VGH2로 된다. 단, 오프 전압(VGH)은, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)에서 본 발명에서는 동일하게 하고 있다. 전원 발생 회로의 간략화와, VGH1과 VGH2에서 서로 다른 전압을 설정해도 화상 표시에 차가 거의 발생하지 않기 때문이다.
- [0236] 또한, 도 8과 도 42, 도 55에서는 AND 회로(81)의 입력 로직이 서로 다르다. 본 발명은, 화소행의 선택, 비선택의 로직을 각각의 실시예에 대응시켜서 설정한다. 따라서, AND 회로(81)는 일례이다.
- [0237] 이하, 설명을 용이하게 하기 위해서, 선택 제어 회로는 AND 회로(81)로서 설명을 한다. 시프트 레지스터 회로(111a)의 출력은 로직 반전하여 AND 회로(81)의 입력으로 되고, 시프트 레지스터 회로(111b)의 출력은, 상기 AND 회로(81)의 입력으로 된다. AND 회로(81)의 출력은, 게이트 신호선(17b)의 로직 신호로서 레벨 변환 회로(112)에 인가된다. 시프트 레지스터 회로(112a)의 출력은 게이트 신호선(17a)의 로직 신호로서 레벨 변환 회로(112)에 입력된다. 레벨 변환 회로(112)는 입력된 로직 신호를 게이트 신호선(17)의 제어 로직에 일치하도록, 전압의 레벨 시프트를 행한다.
- [0238] 도 11에 도시한 바와 같이, 시프트 레지스터 회로(111b)의 ○ 데이터에 의해, 게이트 신호선(17b)(3), 게이트

신호선(17b)(4), 게이트 신호선(17b)(7), 게이트 신호선(17b)(8), 게이트 신호선(17b)(10)에는 선택 전압인 온 전압(VGL)이 출력된다. 그러나, 게이트 신호선(17b)(9)은, 해당 시프트 레지스터 회로(111a)의 선택 전압(VGL)이 출력되기 때문에, 오프 전압(VGH) 출력으로 되어 있다. 또한, 다른 게이트 신호선(17b)도, 오프 전압(VGH) 출력으로 되어 있다.

- [0239] 시프트 레지스터 회로(111a)는, ○ 데이터에 의해, 게이트 신호선(17a)(9)에는 선택 전압인 온 전압(VGL)이 출력된다. 다른 게이트 신호선(17a)은, 오프 전압(VGH) 출력으로 되어 있다.
- [0240] 이상과 같이 구성함으로써, 선택 전압이 인가된 게이트 신호선(17a)과 선택 전압이 인가된 게이트 신호선(17b)이 동일한 화소가 되지 않도록 용이하게 제어할 수 있다. 또한, 게이트 신호선(17a)은, 게이트 신호선(17b)의 선택에 의존하지 않고, 선택한 화소행에 소스 드라이버 회로(14)로부터의 영상 신호를 기입할 수 있다. 영상 신호의 기입은, 화소(16)의 커패시터(19)에 메모리하는 것을 의미한다. 이 메모리 기능을 이용하고 있어, 동작 프레임 레이트 변환을 용이하게 실현할 수 있다.
- [0241] 도 12는, 영상 신호를 기입하는 게이트 신호선(17a)을 선택하는 게이트 드라이버 회로(12a)를 표시 화면(22)의 좌변에 형성하고, 도 12에서 설명한 게이트 신호선(17b)을 선택하는 게이트 드라이버 회로(12)를 게이트 드라이버 회로(12b)로서 표시 화면(22)의 우변에 형성한 실시예이다.
- [0242] 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a)의 데이터와, 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)의 데이터는 동일 데이터이며, 또한 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b)는, 동일한 수평 동기 신호로 데이터 위치를 시프트함과 함께, 선택 데이터의 입력이 실시된다. 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)는, 클럭 신호(CLK2)에 동기하여 데이터 위치를 시프트함과 함께, 선택 데이터(ST2)가 입력된다.
- [0243] AND 회로(81)의 a 단자에는, 시프트 레지스터 회로(111a2)의 출력이 입력된다. AND 회로(81)의 b 단자에는, 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)의 출력이 입력된다. 시프트 레지스터 회로(111a1)와 시프트 레지스터 회로(111a2)의 구성, 데이터 내용은 동일하다.
- [0244] a 단자의 신호와, b 단자의 신호에 의해, AND 회로(81)의 출력 단자 c의 로직 및 출력 전위가 결정된다. AND 회로(81)의 입력은, 필요에 따라 전위 레벨 변환, 레벨 시프트가 실시된다. 또는, 시프트 레지스터 회로(111b)의 출력은 전압 레벨 시프트 회로(112b)에서 전위가 레벨 변환된다.
- [0245] 도 9의 (a), 도 9의 (b)에 도시한 바와 같이, a 단자와 b 단자의 입력 전압(VGH, VGL)에 의해 c 단자의 출력(VGH, VGL)이 결정된다. 도 9의 (a), 도 9의 (b)에서는, 게이트 신호선(17a)이 선택(VGL) 상태, 또한 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(112b)가 선택 출력(게이트 신호선(17b)이 선택(VGL)되는 상태)일 때, AND 회로(81)의 c 단자가, 비선택(VGH)으로 되도록 로직 제어 혹은 전위 변환이 이루어져 있다. 오프 전압이 인가된 게이트 신호선(17b)에 해당하는 화소행의 EL 소자(15)는, 트랜지스터(11d)가 오픈 상태로 되기 때문에, 전류가 흐르지 않고, 비점등으로 된다.
- [0246] 게이트 드라이버 회로(12a)가 게이트 신호선(17a)에 출력하는 전압(VGH, VGL)과 게이트 드라이버 회로(12b)가 게이트 신호선(17a)에 출력하는 전압(VGH, VGL)은 서로 다르게 하는 것이 바람직하다(도 8 참조).
- [0247] 또한, 도 12는, 게이트 드라이버 회로(12b)에 시프트 레지스터 회로(111a2)와 시프트 레지스터 회로(111b)를 설치한 구성이었다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 게이트 드라이버 회로(12a)에 시프트 레지스터 회로(111b2)와 시프트 레지스터 회로(111a)를 설치해도 된다. 이하, 이 실시예에 대하여 도 55를 이용하여 설명을 한다.
- [0248] 도 55에서는, 게이트 드라이버 회로(12b) 측에는, 시프트 레지스터 회로(111b1)만을 설치한다. 게이트 드라이버 회로(12a) 측의 시프트 레지스터 회로(111b2)는, 시프트 레지스터 회로(111b1)과 동일한 구성이며, 동작도 동일하다. 시프트 레지스터 회로(111b1)와 시프트 레지스터 회로(111b2)에는, 소스 드라이버 회로(14)로부터, 동일한 클럭 신호(CLK2)와 스타트 펄스 신호(ST2)가 인가된다. 또한, 소스 드라이버 회로(14)로부터, 스타트 펄스 신호(ST)는, 전압 레벨 변환되어, 각 게이트 드라이버 회로(12)에 인가된다.
- [0249] 도 55의 구성은, 도 12의 좌우의 게이트 드라이버 회로(12)를 교체한 구성이다. 단, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 선택하고, 게이트 드라이버 회로(12b)는 게이트 신호선(17b)을 선택한다. AND 회로(81)는, 게이트 드라이버 회로(12a) 측에 형성한다. 도 55의 구성을 도 42와 마찬가지로, AND 회로(81)의 입력 신호선으로서 게이트 신호선(17b)을 이용하는 구성으로 해도 되는 것은 물론이다.

- [0250] 도 55의 실시예에서는, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택하는 경우에는, 게이트 신호선(17a)에 오프 전압을 인가하고, 해당 화소행에 영상 신호를 기입하지 않도록 제어한다. 그 때문에, AND 회로(81)의 로직을 도 8과는 서로 다르게 하고 있다. a 단자와 b 단자의 인버터의 위치가 서로 다르다.
- [0251] 게이트 드라이버 회로(12a)의 전압 레벨 시프트 회로(112a)의 입력 전압은, VGH1과 VGL1이다. 게이트 드라이버 회로(12b)의 전압 레벨 시프트 회로(112b)의 입력 전압은, VGH2와 VGL2이다. 전압 레벨 시프트 회로(112)는 각각의 입력 전압에 출력을 레벨 시프트한다.
- [0252] 도 55에서, 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 서로 다르다. 따라서, 게이트 드라이버 회로(12a)가 시프트하는 기간(1화소행을 선택하고 있는 기간 a)과, 게이트 드라이버 회로(12b)가 시프트하는 기간(1화소행을 선택하고 있는 기간 b)이 서로 다르다.
- [0253] 게이트 드라이버 회로(12a)가 게이트 신호선(17a)을 선택하는 기간과, 게이트 드라이버 회로(12b)가 게이트 신호선(17b)을 선택하는 기간이 혼전하여, 화소(16)의 전위 상태가 급변한다. 이 과제에 대하여, 도 55의 실시예에서는, 소스 드라이버 회로(14)로부터 게이트 드라이버 회로(12a)에 인가되는 OEV 신호에 의해, 대책하고 있다. 시프트 레지스터 회로(112a)가 데이터 시프트에서 변화하는 기간에서는, 해당 게이트 신호선(17a)의 출력을 오프 출력 상태(오프 전압(VGH)을 출력)로 제어하고 있다. 오프 전압(VGH)은, 최대 1화소행을 선택하고 있는 기간 $a \times 2$ 의 기간 행하면 된다. OEV 신호는, 수직 방향의 아웃풋 인에이블 제어 신호의 의미이다. 예를 들면, 게이트 드라이버 회로(12b)가 8번째 화소행을 선택하고 있는 기간에, 게이트 드라이버 회로(12a)가 7번째 화소행과 8번째 화소행을 선택하는 경우에는, OEV 단자를 제어하여, 7번째와 8번째 게이트 신호선(17a)에 오프 전압(VGH1)을 인가한다. 즉, 게이트 드라이버 회로(12a)의 2화소행이 선택하는 기간을 비선택 상태로 한다.
- [0254] OEV 신호는, AND 회로(81b)의 a 단자에 인가된다. OEV 신호의 로직 레벨로 시프트 레지스터(112a)의 데이터 내용에 따라 게이트 신호선(17a)에 온 전압 또는 오프 전압이 출력된다. OEV가 L(0) 레벨일 때에는, 게이트 신호선(17a)에 오프 전압(VGH)이 출력된다. 즉, 게이트 신호선(17a)은 비선택으로 된다. OEV 신호가, H(1) 레벨일 때에는, AND 회로(81b)의 b 단자에 입력된 신호를 스루로 통과시킨다. 입력 신호가 온 전압(VGL)의 경우에는, 온 전압(VGL)을 게이트 신호선(17)에 출력하고, 입력 신호가 오프 전압(VGH)의 경우에는, 오프 전압(VGH)을 게이트 신호선(17)에 출력한다. 제1 게이트 신호선(17)을 선택하고 있는 상태에서부터, 다음의 제2 게이트 신호선(다음의 화소행)(17)을 선택하는 상태 변위 시에, OEV 신호를 L로 하고, 게이트 신호선(17)을 비선택(오프 전압(VGH)을 인가)하는 것은, 정상적인 영상 신호를 화소에 기입할 수 있게 되어, 유효하다.
- [0255] 본 발명에서는, 게이트 드라이버 회로(12a)의 프레임 레이트는, 게이트 드라이버 회로(12b)의 프레임 레이트보다 느리다. 따라서, 게이트 신호선(17a)에 오프 전압을 인가하고, 해당 화소행에 영상 신호를 기입하지 않도록 제어하는 기간은, 1화소행을 선택하는 기간(게이트 드라이버 회로(12a)의 1화소행을 선택하는 기간임)의 일부의 기간으로 된다. 게이트 드라이버 회로(12a)의 1화소행을 선택하는 기간>게이트 드라이버 회로(12b)의 1화소행을 선택하는 기간의 관계가 있기 때문이다. 따라서, 남은 기간을 이용하여 해당 화소행에 영상 신호를 기입하는 것도 가능하다.
- [0256] 게이트 드라이버 회로(12a)의 프레임 레이트를 15Hz, 게이트 드라이버 회로(12b)의 프레임 레이트를 60Hz로 하면, 게이트 드라이버 회로(12a)가 1화소행을 선택하는 기간의 1/4밖에, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일 화소행을 선택하는 기간은 없다. 따라서, 1수평 주사 기간의 3/4의 기간에 영상 신호를 화소행에 기입할 수 있다. 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택하는 기간이 인접한 화소행에 미치는 경우에도 있다. 이 경우에도, 남은 기간에서 해당 화소행에 영상 신호를 기입할 수 있다. 물론, 영상 신호를 화소행에 기입하지 않는 방식을 채용해도 된다.
- [0257] 또한, 게이트 드라이버 회로(12a)의 프레임 레이트가 15Hz이며, 게이트 드라이버 회로(12b)의 프레임 레이트가 60Hz인 경우와 같이, 게이트 드라이버 회로(12a)가 1화소행을 선택하는 기간이, 게이트 드라이버 회로(12b)가 1화소행을 선택하는 기간보다 긴 경우에는, 동일 화소행에서, 게이트 신호선(17a)과 게이트 신호선(17b)을 동시에 온 전압(VGL)을 인가해도 된다. 게이트 신호선(17a)과 게이트 신호선(17b)을 동시에 온 전압(VGL)을 인가함으로써, 이상한 전압이, 화소에 기입되어도, 게이트 드라이버 회로(12a)가 1화소행을 선택하는 기간 중 나머지 기간에서, 정상적인 영상 신호를 해당 화소행에 기입할 수 있기 때문이다.
- [0258] 반대로, 게이트 드라이버 회로(12a)의 프레임 레이트가, 게이트 드라이버 회로(12b)의 프레임 레이트보다 빠른 경우에는, 게이트 드라이버 회로(12a)의 1화소행을 선택하는 기간<게이트 드라이버 회로(12b)의 1화소행을 선택하는 기간의 관계로 된다. 따라서, 게이트 드라이버 회로(12b)가 1화소행을 선택하는 기간 중 나머지 기간을

이용하여 해당 화소행을 점등시키는 것도 가능하다. 게이트 드라이버 회로(12a)의 프레임 레이트를 60Hz, 게이트 드라이버 회로(12b)의 프레임 레이트를 15Hz로 하면, 게이트 드라이버 회로(12b)가 1화소행을 선택하는 기간의 1/4밖에, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일 화소행을 선택하는 기간은 없다. 따라서, 1수평 주사 기간의 3/4의 기간에 해당 화소행의 게이트 신호선(17b)을 선택하고, EL 소자(15)에 구동용 트랜지스터(11a)로부터 전류를 공급할 수 있다. 또한, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택하는 기간이 인접한 화소행에 미치는 경우에도 있다. 이 경우에도, 게이트 드라이버 회로(12b)가 1화소행을 선택하는 기간 중 나머지 기간에서 해당 화소행의 EL 소자(15)를 발광시킬 수 있다. 이와 같이 제어함으로써, 보정량도 적게 된다.

[0259] 또한, 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 프레임 레이트는, 그들 사이의 최대 공배수가 커지도록 정하는 것이 좋다. 예를 들면, 게이트 드라이버 회로(12a)의 동작 프레임 레이트를 30Hz로 하면, 게이트 드라이버 회로(12b)의 프레임 레이트를 61Hz로 한다. 이와 같이 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 프레임 레이트의 값을 정함으로써, 표시 화면(22)의 동일 화소행으로 게이트 신호선(17a)과 게이트 신호선(17b)이 일치하는 확률이 감소한다.

[0260] 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 프레임 레이트는, 0.25배의 상수값의 관계에 1.01배 이상 1.3배 이하의 값을 승산한 값으로 정하는 것이 바람직하다.

[0261] 예를 들면, 게이트 드라이버 회로(12a)의 동작 프레임 레이트가 30Hz의 경우에는, 게이트 드라이버 회로(12b)의 동작 프레임 레이트는, $30 \times 2 \times (0.25 \times 8) \times 1.01 = 60.6\text{Hz}$ 이상, $30 \times 2 \times (0.25 \times 8) \times 1.3 = 78\text{Hz}$ 이하 중 어느 하나의 값으로 한다. 또한, 상기에서, $2 \times (0.25 \times 8)$ 가 0.25배의 상수값의 관계이다.

[0262] 또한, 예를 들면, 게이트 드라이버 회로(12a)의 동작 프레임 레이트가 30Hz의 경우에는, 게이트 드라이버 회로(12b)의 동작 프레임 레이트는, $30 \times 1.5 \times (0.25 \times 6) \times 1.01 = 45.5\text{Hz}$ 이상, $30 \times 1.5 \times (0.25 \times 6) \times 1.3 = 58.5\text{Hz}$ 이하의 값으로 한다. 또한, 상기에서, $1.5 \times (0.25 \times 6)$ 이 0.25배의 상수값의 관계이다.

[0263] 이상과 같이 정수치를 설정하면, 영상 신호를 기입하기 위해 선택하는 화소행과, EL 소자에 전류를 인가하기 위해 선택하는 화소행이 일치하는 위치는, 각 프레임에서 고정되어 있지 않게 된다. 예를 들면, 도 40의 (1) 내지 (12)에서의 횡선의 기재는, 영상 신호를 기입하기 위해 선택하는 화소행과, EL 소자에 전류를 인가하기 위해 선택하는 화소행이 일치하는 위치를 나타내고 있다. 도 40의 (1) 내지 (12)는 프레임 번호를 나타내고 있다.

[0264] 도 40에서는, 영상 신호를 기입하기 위해 선택하는 화소행과, EL 소자에 전류를 인가하기 위해 선택하는 화소행이 일치하는 위치는, 각 프레임에서 변화하고 있다. 상기 위치는 각 프레임에서 랜덤하게 되는 것이 바람직하다. 시각적으로 눈에 띄기 어렵기 때문이다.

[0265] 도 8, 도 11, 도 12, 도 42, 도 55의 실시예는, 표시 화면(22)의 한쪽에 게이트 드라이버 회로(12a) 또는 게이트 드라이버 회로(12b)를 형성 혹은 배치하는 구성이다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 화소 선택측의 게이트 드라이버 회로(12a)를 표시 화면(22)의 우측에 배치하고, EL 소자(15)를 온 오프 제어하는 게이트 드라이버 회로(12b)를 표시 화면(22)의 좌측에 배치하는 구성이 예시된다.

[0266] 본 발명에서는, 캐소드 전압 V_{ss} 를 그라운드(접지 전압 GND) 전압으로 한다. 애노드 전압 V_{dd} 와 소스 드라이버 회로(14)의 전원 전압 V_{cc} 는 공통으로 하고 있다. 즉 동일 전압으로 한다. 물론, 캐소드 전압 V_{ss} 는, GND 이외의 전압으로 설정할 수 있지만, 캐소드 전압 V_{ss} 를 캐소드 전압 $V_{ss} = \text{GND}$ 로 함으로써, 전원 회로를 간략화할 수 있고, 효율도 향상한다. 애노드 전압 V_{dd} 가 상하 변동하면, 소스 드라이버 회로(14)의 전원 전압 V_{cc} 도 마찬가지로 상하 변동시킨다.

[0267] 도 8에 도시한 바와 같이 본 발명의 게이트 드라이버 회로(12b)가 출력하는 게이트 오프 전압 V_{GH2} 는, 애노드 전압 V_{dd} 를 기준(원점)으로 하여 플러스 방향으로 취한다. $V_{GH2} - V_{dd}$ 는, 0.2V 이상 2.5V 이하로 한다. 즉, 게이트 신호선(17)의 오프 전압(V_{GH2})은, 애노드 전압 V_{dd} 보다 고전압이다. 또한, 게이트 드라이버 회로(12b)가 출력하는 게이트 온 전압 V_{GL2} 는, 그라운드 전압(GND)을 기준(원점)으로 하여 마이너스 방향으로 취한다. $\text{GND} - V_{GL2}$ 은, 0.0 이하 2.5V 이상으로 한다. V_{GL2} 는, V_{dd} 를 기준으로 하여 발생해도 된다. V_{GH2} , V_{GL2} 는 차지 펄프 회로에서 발생한다.

[0268] 화소(16)를 선택하는 게이트 신호선(17a)의 진폭의 크기 $V_g = V_{GH1} - V_{GL1}$ 로 할 때, 본 발명에서는, V_g 의 크기를 6(V) 이상으로 하고 있다. 또한, 애노드 전압 V_{dd} , 캐소드 전압 V_{ss} 로 할 때, 애노드 전압과 캐소드 전압의 전위차 $V_e = V_{dd} - V_{ss}$ 는, $V_g + 2(\text{V})$ 이상으로 하고 있다. 또한, V_{GL1} 전압은, 폴리실리콘 기술에 의해, 어레이 기판

(30)에 차지 펌프 회로 등을 형성하여 발생시켜도 된다.

- [0269] 도 8은, 게이트 드라이버 회로(12a)의 온 전압을 VGL1, 오프 전압을 VGH1로 하고, 게이트 드라이버 회로(12b)의 온 전압을 VGL2, 오프 전압을 VGH2로 한 예이다.
- [0270] 또한, VGL1은 화소행을 선택하는 게이트 드라이버 회로(12a)의 온 전압이며, VGL2는, 스위치용 트랜지스터(11d)를 선택하는 게이트 드라이버 회로(12b)의 온 전압이다. 이 경우에는, $VGL1 < VGL2$ 의 관계로 하는 것이 바람직하다. 즉, VGL1쪽이 VGL2보다 전압이 낮다. 단, 이상의 실시예는, 구동용 트랜지스터(11a)가 P 채널인 경우이다. 구동용 트랜지스터(11a)가 N 채널의 경우에는, 반대의 관계로 한다. 즉, 구동용 트랜지스터(11a)가 N 채널의 경우에는, $VGL1 = VGL2$ 로 하고, $VGH1 > VGH2$ 의 관계로 하는, 즉 VGH1쪽이 VGH2보다 전압이 높게 되도록 하는 것이 바람직하다.
- [0271] VGL1을 VGL2보다 작게 함으로써, 게이트 신호선(17a)의 진폭 동작에 의해, 구동용 트랜지스터(11a)의 게이트 단자의 관통 전압이 커지고, 본 발명의 구동 방식(구동 방법, 구동 회로, 구동 회로 구성, 구동 기기 등)과 조합함으로써 양호한 흑 표시를 실현할 수 있기 때문이다. 예를 들면, $VGL1 = -9(V)$, $VGL2 = -3(V)$ 가 예시된다.
- [0272] 동화상, 정지 화상 등 표시 화상의 종류 혹은 상태에 의해, 애노드 전압 Vdd, 캐소드 전압 Vss를 변화시켜도 된다. 또한, 외부 조도의 고저에 대응하여 애노드 전압 Vdd, 캐소드 전압 Vss를 변화시켜도 된다. 외부의 조도가 높을 때는, 애노드 전압 Vdd 등을 높게 한다. 조도가 낮을 때는, 애노드 전압 Vdd 등을 낮게 한다. 조도의 검출은, PIN 포토 다이오드(포토 센서)(635) 등에 의해 행한다.
- [0273] 패널 온도에 의해, 프로그램 전압 또는 프로그램 전류를 인가했을 때의 기입 상태가 변화되는 경우가 있다. 이 경우에도, 애노드 전압 Vdd 등을 변화하면 된다. 온도의 검출은 패널의 이면 혹은 무효 영역(표시에 유효한 광이 출사하지 않는 영역)에 부착한 서미스터, 포지스터로 행하고, 이들 출력 전압을 AD 변환하여 이용한다. 또한, 도 41의 온도 검출 회로를 이용한다.
- [0274] 애노드 전압 Vdd 또는 캐소드 전압 Vss의 변화 혹은 조정은, 표시 화면(22)의 표시 휘도, 프로그램 전류의 기입 상태, 듀티비, 점등율, 외부 조도 등에 대응시켜서, 애노드 전압 Vdd, 캐소드 전압 Vss를 변화 혹은 조정한다. 특히 점등율 혹은 듀티비에 대응하여, 애노드 전압 Vdd 등을 변화시키는 것이 바람직하다.
- [0275] 게이트 드라이버 회로(12a)가 게이트 신호선(17a)에 출력하는 전압을 VGH1, VGL1로 하고, 게이트 드라이버 회로(12b)가 게이트 신호선(17a)에 출력하는 전압을 VGH2, VGL2로 한다. AND 회로(81)의 출력 c는, 도 10의 (a), 도 10의 (b)와 같이 설정한다.
- [0276] 도 10의 (a)에서는, c 단자의 출력은, 게이트 신호선(17b)의 전위이기 때문에, VGH2, VGL2이다. 따라서, AND 회로(81)의 a 단자의 입력은 게이트 신호선(17a)의 전위이기 때문에, VGH1, VGL1이다. AND 회로(81)의 b 단자 입력은, 게이트 드라이버 회로(12b)의 출력인 VGH2, VGL2로 하고 있지만, 이에 한정되는 것은 아니다. 시프트 레지스터 회로(112b)의 로직 신호 그대로이어도 되고, 로직 신호를 단자 입력으로 해도 된다. 또한, VGH1은 VGH2와 동일하게 하는 것이 바람직하다. 전원 전압의 발생 회로를 간략화할 수 있기 때문이다.
- [0277] 이하, 다른 실시예에 대하여 설명을 한다. 도 13은, 본 발명의 다른 실시예이다. 도 14는, 도 13의 실시예의 설명도이다. 또한, 도 15는 화소부의 동작을 설명하는 설명도이다.
- [0278] 도 13, 도 14의 특징은, 게이트 드라이버 회로(12a)의 출력 신호를 게이트 신호선(17a)에 의해 표시 화면(22)의 타단에 전파시킨 점이다. 즉, 도 13, 도 14에서는, 게이트 신호선(17a)을 로직 신호선으로서 활용하고 있다. 도 13, 도 14에서는, 게이트 신호선(17a)은 AND 회로(81)의 입력으로 된다. 도 13, 14의 실시예인 경우, 도 8, 도 12의 실시예와 같이, 게이트 드라이버 회로(12b)에 2개의 시프트 레지스터 회로(112a, 112b)를 형성할 필요가 없다. 따라서, 표시 패널의 협액연화를 실현할 수 있다.
- [0279] 도 15에 도시한 바와 같이, 화소(16)의 동작은, 도 8과 동일하다. 게이트 신호선(17b)에 인가되는 온 오프 전압(VGH, VGL)에 의해, 스위치용 트랜지스터(11d)는 온 오프 동작한다. 게이트 신호선(17a)에 인가되는 온 오프 전압에 의해, 스위치용 트랜지스터(11b, 11c)가 온 오프 동작한다.
- [0280] 게이트 드라이버 회로(12a)가 제어하는 게이트 신호선(17a)은, 화소행을 순차적으로 선택하고, 화소(16)에는, 소스 드라이버 IC(회로)(14)로부터의 영상 신호가 기입된다. 동시에, 게이트 신호선(17a)에 인가된 전압은, AND 회로(81)의 로직 신호(a 단자)로 되어 있다.
- [0281] 도 14에서는, 게이트 드라이버 회로(12b) 측에 AND 회로(81) 등을 배치했지만, 본 발명은 이에 한정하는 것은

아니고, 게이트 드라이버 회로(12a) 측에 AND 회로(81) 등을 배치해도 된다. 이 경우에는, 게이트 신호선(17b)에 의해, 게이트 드라이버 회로(12b)의 출력을 게이트 드라이버 회로(12a) 측에 전달한다. 도 42는, 그 실시예이다.

- [0282] 게이트 드라이버 회로(12b)가 제어하는 게이트 신호선(17b)은, 화소행을 순차적으로 선택해서 EL 소자(15)를 점등 제어한다. 동시에, 게이트 신호선(17b)에 인가된 전압은, AND 회로(81)의 a 단자의 로직 신호로 되어 있다. 게이트 드라이버 회로(12a)는, 수평 동기 신호(HD)에 동기하여 게이트 신호선(17a)의 선택 위치를 시프트시킨다. 동시에, 게이트 신호선(17a)에 인가된 전압은, AND 회로(81)의 로직 신호(b 단자)로 되어 있다. 로직 동작은, 도 9의 (a), 도 9의 (b), 도 10의 (a), 도 10의 (b)와 마찬가지로 한다.
- [0283] AND 회로(81)의 c 단자 출력이, 온 전압(VGL 또는 VGL1)의 경우에는, 화소(16)에 소스 드라이버 IC(회로)(14)로부터의 영상 신호를 기입한다. 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 경우에는, 게이트 신호선(17a)의 출력은 무효로 되고, 화소(16) 혹은 화소행은 선택되지 않고, 소스 드라이버 회로(14)로부터의 영상 신호는, 상기 화소(16) 혹은 화소행에는 기입되지 않는다.
- [0284] 도 13, 도 14의 구성에서는, 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a)의 출력 혹은, 전압 레벨 시프트 회로(112a)의 출력, 게이트 신호선(17a)이며, AND 회로(81)의 a 단자의 입력, 게이트 신호선(17a)의 전위이다. 그 때문에, 도 12와 같이, 게이트 드라이버 회로(12b)에 시프트 레지스터 회로(111a2)를 형성할 필요가 없다. 또한, 전위 레벨은, 도 9의 (a), 도 9의 (b), 도 10의 (a), 도 10의 (b)와 같이 전압 레벨 시프트를 행한다. 또한, 필요에 따라 전압 레벨 시프트 회로(112)를 형성한다.
- [0285] 도 12, 도 14에서는, AND 회로(81)에서 게이트 신호선(17b)의 전위를 결정한다고 했지만, AND 회로(81)는 이해를 용이하게 하기 위해서 도시했을 뿐이며, 다른 방식으로 게이트 신호선(17b)의 전위를 결정해도 되는 것은 물론이다. 예를 들면, 아날로그 스위치 회로로 구성해도 된다. 또한, VGH, VGL의 전위는, 도 1 등의 화소(16) 구성을 예시하여 설명하기 위한 편의상의 것이다. 화소(16)의 구성에 따라 전위를 결정하고, 또 전위 제어를 실시하면 된다.
- [0286] 본 발명의 EL 표시 장치는, 영상 신호는 화소(16)의 컨덴서(19)에서 유지되고 있다. 즉, 표시 영역의 화상 메모리를 보유하는 것과 동가이다. 컨덴서(19)에서 유지된 화상은, 스위치용 트랜지스터(11d)를 온 시킴으로써 EL 소자(15)에 전류가 흐르고, 화상 표시된다. 따라서, 게이트 신호선(17b)을 제어하는 것만으로 화상 표시를 실현할 수 있다.
- [0287] 표시 화면(22)에 화상 메모리가 갖는다고 하는 것은, 이 화상 메모리를 이용하여 동작 프레임 레이트 변환을 실현할 수 있다. 예를 들면, 입력 영상 신호의 동작 프레임 레이트(주기)가 60Hz이면, 동작 프레임 레이트=60Hz에서 표시 화면(22)에 매트릭스 형상으로 형성된 컨덴서(19)에 화상을 기입하고, 컨덴서(19)에 유지시킨다. 판독은, 게이트 드라이버 회로(12b)를 조작함으로써 판독시킬 수 있다. 판독은 EL 소자(15)에 전류를 흘리고, 화상 표시를 행하는 것이다.
- [0288] 게이트 드라이버 회로(12b)가 게이트 신호선(17b)을 선택하는 주기(동작 프레임 레이트)는 게이트 드라이버 회로(12a)와 독립적으로 행할 수 있기 때문에, 동작 프레임 레이트 변환을 실현할 수 있다. 즉, 게이트 드라이버 회로(12b)의 동작 프레임 레이트(동작 주기)를 75Hz로 하면, 도 4의 (b)의 표시 영역(46)이 표시 화면(22)의 상하 방향으로 이동하는 동작을 1초 동안에 75회 실시할 수 있다.
- [0289] 액정 표시 장치나 종래의 EL 표시 장치에서는, 동작 프레임 레이트의 변환을 행하기 위해서는, 외장의 반도체 메모리가 필요하다. 또한, 액정 표시 장치나 종래의 EL 표시 장치에서, 동작 프레임 레이트의 변환에는 메모리의 판독 속도를 고속으로 행할 필요가 있다. 그러나, 본 발명의 EL 표시 장치에서는 반도체 메모리는 불필요하며, 이 때문에 저비용화를 실현할 수 있다.
- [0290] EL 소자(15)의 행을 선택하고, EL 소자(15)의 행을 발광시키는 주기를 60Hz 이상으로 하는 것이 중요하다. 게이트 드라이버 회로(12b)의 동작 프레임 레이트는, 바람직하게는, 주기는 70Hz 이상 150Hz 이하로 한다. 더욱 바람직하게는, 72Hz 이상 130Hz 이하로 한다.
- [0291] 또한, 바람직하게는, 게이트 드라이버 회로(12b)의 동작 프레임 레이트(1초 동안에 임의의 화소를 선택하는 횟수)는, 게이트 드라이버 회로(12a)의 동작 프레임 레이트(1초 동안에 화면(22)을 재기입하는 횟수)의 1.2배, 1.5배, 1.75배, 2.0배, 3.0배 등의 값을 한다. EL 표시 장치에 입력되는 화상의 코마수(1초 동안에 재기입되는 횟수) 혹은 게이트 드라이버 회로(12a)의 동작 프레임 레이트를, C로 하고, 게이트 드라이버 회로(12b)가, 화소의 선택 주기(동작 프레임 레이트)를 D로 했을 때, $D=C \times 1.00$, $D=C \times 1.25$, $D=C \times 1.50$, $D=C \times 1.75$, $D=C \times 2.00$,

$D=C \times 2.25$, $D=C \times 2.50$, $D=C \times 2.75$, $D=C \times 3.00$, $D=C \times 3.25$, $D=C \times 3.50$, $D=C \times 3.75$, $D=C \times 4.00$ 중 어느 하나로 한다. 즉, 승산의 계수와 1.0 이상 4.0 이하에서, 0.25의 배수로 한다.

- [0292] 예를 들면, 게이트 드라이버 회로(12a)가 1표시 화면(22)을 재가입하는 주기가 60Hz(60코마/초)이면, 게이트 드라이버 회로(12b)가 1표시 화면(22)을 선택하는 주기는, 60Hz, 75Hz, 90Hz, 105Hz, 120Hz ...로 한다. 게이트 드라이버 회로(12a)가 표시 화면(22)을 재가입하는 주기가 50Hz이면, 게이트 드라이버 회로(12b)가 표시 화면(22)을 선택하는 주기는, 50Hz, 62.5Hz, 75Hz, 87.5Hz, 100Hz ...로 한다.
- [0293] 또한, 이상의 1.25배, 1.5배 등의 배수는, 이 수치에만 한정되는 것은 아니다. 회로의 구성 상, 전후해도 그 효과는 유효하다. 따라서, 상기에 예시하는 승산의 계수에 대하여 $\pm 5\%$ 의 범위이면 본 발명의 기술적 범주이다. 예를 들면, 계수가, 2.0이면, 1.9 이상 2.1 이하이면 본 발명의 기술적 범주이다.
- [0294] 이상의 프레임 레이트 등에 관한 사항은, 이하의 혹은 다른 본 발명의 실시예에서도 마찬가지로 적용된다.
- [0295] 이하, 본 발명의 구동 방법의 동작에 대해서, 도 16을 참조하여 설명을 한다. 도 16에서, 종축은, 화소행 번호이다. 화소행은, n화소행 있는 것으로 한다. 따라서, 게이트 드라이버 회로(12)가 선택하는 화소행은 1번째부터 n번째 화소행이다. 횡축은, 시간이다. 또한, 횡축은, 프레임이라고도 생각할 수 있다.
- [0296] 또한, 설명을 용이하게 하기 위해서, 화소행의 선택은, 표시 화면(22)의 윗변의 1화소행부터 개시되는 것으로 한다. 또한, 도 16에서는, 게이트 드라이버 회로(12b)는, 동작 프레임 레이트(주기)는 입력의 $60\text{Hz} \times 2 = 120\text{Hz}$ 로 하고 있다. 또한, 화소 구성은, 도 1의 화소 구성을 예시하여 설명을 한다.
- [0297] 도 16에서, 실선은, 게이트 드라이버 회로(12a)의 동작을 나타내고 있다. 즉, 게이트 드라이버 회로(12a)가 시프트 동작하고, 온 전압(VGL)을 출력하는 게이트 신호선(17a)의 위치를 나타내고 있다. 게이트 드라이버 회로(12a)는, 60Hz의 1프레임(1F)에서 1화소행부터 n화소행을 선택한다. 게이트 드라이버 회로(12b)는, 120Hz로 동작한다. 따라서, 게이트 드라이버 회로(12a)의 1F에서 2회 표시 화면(22)을 선택한다. 즉, (1/2)F에서, 1번째 화소행부터 n번째 화소행을 선택한다.
- [0298] 또한, 게이트 드라이버 회로(12b)는, 듀티 구동에서는, 동시에 복수의 화소행을 선택한다. 도 16에서는 이해를 용이하게 하기 위해서, 점선을 게이트 드라이버 회로(12b)의 동작의 선단 위치로 한다. 예를 들면, 동시에 1화소행밖에 게이트 신호선(17b)을 선택하지 않는 상태에 있어서, 도 16에 도시한 점선은, 그 게이트 신호선(17b)에 온 전압(VGL)이 인가되어 있는 화소행의 위치이다.
- [0299] 도 16에서, A로부터 게이트 드라이버 회로(12)에 의한 화소행의 선택이 행해진다. 설명을 용이하게 하기 위해서, 또한 이해를 용이하게 하기 위해서, 게이트 드라이버 회로(12b)가 1화소행째를 선택하고, 다음 주사 기간에서 게이트 드라이버 회로(12a)가 1화소행째를 선택한다고 한다. 즉, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)과 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)이 동일한 화소행이 되지 않도록 제어를 시작한다.
- [0300] 게이트 드라이버 회로(12a)에 의해 게이트 신호선(17a)이 순차적으로 선택되고, 소스 드라이버 회로(14)로부터 영상 신호(프로그램 전류 또는 프로그램 전압)가 출력되어 선택된 화소행에 기입된다. 1F에서 표시 화면(22)의 하변인 n화소행(C점)까지 주사가 완료되고, 다음의 프레임에서는, 다시 표시 화면(22)의 윗변의 1화소행째부터 게이트 신호선(17a)의 선택이 개시된다.
- [0301] 게이트 드라이버 회로(12b)에 의해 게이트 신호선(17b)이 순차적으로 선택되고, 게이트 신호선(17b)에 온 전압(VGL) 또는 오프 전압(VGH)이 인가되고, 그 인가 위치가, 점등 제어 동기 신호에 동기하여 시프트된다. 게이트 드라이버 회로(12b)의 동작 프레임 레이트는 120Hz이기 때문에, B점에서 1프레임이 완료되고, 이 프레임 기간은, 게이트 드라이버 회로(12a)의 (1/2)F기간이다.
- [0302] 도 16과 같이, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)는 서로 다른 동작 프레임 레이트로 동작한다. 게이트 드라이버 회로(12b)의 동작 프레임 레이트는 120Hz이기 때문에, 도 4의 (b)의 표시 영역(46)은, 게이트 드라이버 회로(12a)의 1F기간에 2회 화면의 상하 방향으로 주사된다. 또한, 게이트 드라이버 회로(12b)의 동작 프레임 레이트는 120Hz이며, 이것은 70Hz 이상이므로, 플리커는 발생하지 않는다.
- [0303] 게이트 드라이버 회로(12b)가 동시에 온 전압을 인가하는 게이트 신호선(17b)의 개수가 1개인 경우에는, 도 16에 도시한 바와 같이, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 개시 타이밍을 1수평 주사 기간 떨어뜨리면 문제는 발생하지 않는다. 즉, 임의의 화소행에서, 게이트 신호선(17a)과 게이트 신호선(17b)에 동시에 온 전압이 인가되는 일은 없다. 임의의 화소(16) 또는 화소행에 있어서, 게이트 신호선(17a)과 게이트

신호선(17b)에 동시에 온 전압이 인가되는 경우에는, 도 8~도 15에서 설명한 바와 같이, 해당하는 게이트 신호선(17a)과 게이트 신호선(17b) 중 어느 한쪽의 게이트 신호선(17)을, 강제적으로 오프 전압을 인가한다.

- [0304] EL 표시 장치의 점등 제어에서, 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)은 복수인 경우가 대부분이다. 예를 들면, 1/2 듀티 구동의 경우에는, $n/2$ 개의 게이트 신호선(17b)에 온 전압(VGL)이 인가된다. 따라서, 게이트 드라이버 회로(12b)의 1주기의 (1/2)의 기간에 오프 전압(VGH)이 인가되고, (1/2)F의 기간에 온 전압(VGL)이 인가된다.
- [0305] 도 16에 도시한 바와 같이, A의 개시 후는, 게이트 드라이버 회로(12b)는, 오프 전압을 출력하도록 데이터를 시프트 레지스터 회로(11b)에 입력해서 동작시킨다. 1/2 듀티이면, $n/2$ 의 게이트 신호선(17b)에 오프 전압을 출력한 상태 후, 이후의 게이트 신호선(17b)에 온 전압을 출력하도록 조작한다.
- [0306] 도 18은 (1/4)듀티 구동의 실시예이다. 각 EL 소자(15)는, 1주기의 (1/4)의 기간에 온 전압이 인가되고, (3/4)주기에, 오프 전압이 인가된다. 따라서, 표시 화면(22)의 1/4이 점등 상태이며, 3/4이 비점등 상태이다.
- [0307] 임의의 화소(16) 또는 화소행에서, 게이트 신호선(17a)과 게이트 신호선(17b)에 동시에 온 전압이 인가되는 경우에는, 도 8~도 15에서 설명한 바와 같이, 해당하는 게이트 신호선(17a)과 게이트 신호선(17b) 중 어느 한쪽의 게이트 신호선(17)에, 강제적으로 오프 전압을 인가한다. 즉, 임의의 화소에서, 게이트 신호선(17a)과 게이트 신호선(17b)이 동시에 선택될 때에, 강제적으로 게이트 신호선(17b)에 오프 전압을 인가하고, 비선택 상태로 함으로써 정상적인 화상 기입과 화상 표시를 실현할 수 있다.
- [0308] 도 17은, 게이트 드라이버 회로(12a)의 동작 프레임 레이트를 60Hz로 하고, 게이트 드라이버 회로(12b)의 동작 프레임 레이트의 주기는, 게이트 드라이버 회로(12a)의 동작 프레임 레이트의 주기의 3/4으로 한 실시예이다. 게이트 드라이버 회로(12b)는, 게이트 드라이버 회로(12a)의 (3/4)F 기간에서, 1화면을 선택 주사한다.
- [0309] 도 18은, 게이트 드라이버 회로(12a)의 동작 프레임 레이트를 60Hz로 하고, 게이트 드라이버 회로(12b)의 동작 프레임 레이트의 주기는, 게이트 드라이버 회로(12a)의 동작 프레임 레이트의 주기의 1/4로 한 실시예이다. 게이트 드라이버 회로(12b)는, 게이트 드라이버 회로(12a)의 (1/4)F기간에서, 1화면을 선택 주사한다.
- [0310] 도 18의 실시예에서는, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)과 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)은, K1, K2 위치에서 동일한 화소행으로 된다. 이 경우에는, 도 8~도 15에서 설명한 바와 같이, K1, K2 위치에서 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)을 강제적으로 비선택으로 한다.
- [0311] 이상의 실시예에서는, 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)을 강제적으로 비선택 상태로 했지만, 이에 한정하는 것은 아니고, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)을 강제적으로 비선택 상태로 해도 된다. 이 경우에는, 해당 화소행에는, 소스 드라이버 회로(14)로부터의 프로그램 전류(또는 프로그램 전압)가 기입되지 않는다. 그러나, 상기 화소행에는, 다음의 프레임 주기에서 기입되므로 문제 없다.
- [0312] 이상의 실시예에서는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)는 동작 프레임 주파수는 서로 다르나, 동기는 유지하는 것으로 했지만, 이에 한정되는 것은 아니고, 비동기이어도 된다. 단, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)과 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)이, 동일한 화소행을 선택하지 않도록, 관리할 필요는 있다. 이러한 관리는 용이하다. 컨트롤러 회로(도시 생략)가 게이트 드라이버 회로(12a, 12b)의 데이터 신호를 관리하고, 제어하고 있기 때문이다.
- [0313] 도 19는, 게이트 드라이버 회로(12a)의 동작 프레임 레이트를 60Hz(영상 신호의 동작 프레임 레이트 60Hz(1초 동안에 화상이 60매)), 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 90Hz(1초 동안에 90회, 비표시 영역(45)을 화면의 위로부터 아래 방향으로 주사)의 예이다. 따라서, 표시 화면(22)의 화상을 2회 재기입하는 기간에, 게이트 드라이버 회로(12b)가, 3회 화면을 주사한다. 도면의 상측에는, 게이트 드라이버 회로(12b)의 프레임임으로서, 제1 프레임(제1F), 제2 프레임(제2F), 제3 프레임(제3F)이라고 기재하고 있다. 또한, 도면의 하측에는, 게이트 드라이버 회로(12a)의 프레임임으로서, 제1 프레임(제1F), 제2 프레임(제2F)이라고 기재하고 있다. 또한, 일례로서, 구동 방법의 듀티비는, 1/2로 하고 있다.
- [0314] 도 19의 종측은, 표시 화면(22)의 점등 영역(표시 영역(46))과 비점등 영역(비표시 영역(45))의 분포를 나타내고 있다. 예를 들면, t0일 때에는, 표시 화면(22) 위의 절반이 표시 영역(46)(화상이 표시되어 있음)이며, 아래의 절반이 비표시 영역(45)(화상이 표시되어 있지 않음) 상태이다. 게이트 드라이버 회로(12b)의 게이트 신

호선(17b)의 선택 위치가 시간 경과와 함께 이동하고, t1일 때에는, 표시 화면(22) 위의 절반이 비표시 영역(45)(화상이 표시되어 있지 않음)이며, 아래 절반이 표시 영역(46)(화상이 표시되어 있음) 상태로 된다. t1 이후는, 이번에는, 표시 화면(22)의 상측으로부터 표시 영역(46)이 순차적으로 발생하고, 아래 절반이 순차적으로, 비표시 영역(45) 상태로 되어 간다.

- [0315] 도 19에서, 점선은, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)의 위치를 나타내고 있다. 즉, 영상 신호를 기입하는 「기입 화소행(41)」의 위치이다.
- [0316] 본 발명은, 영상 신호를 기입하는 화소행(게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)에 온 전압이 인가된 화소행)과, 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 선택 전압(온 전압)이 인가된 화소행이 일치할 때, 상기 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 비선택 전압(오프 전압)이 인가되도록 처리를 행하는 것이다. 따라서, 표시 영역(46)의 범위 내에, 기입 화소행(41)의 점선이 들어 가면, 앞서 설명한 처리를 행한다. 즉, 게이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)을 강제적으로 비선택 상태로 하거나, 혹은, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)을 강제적으로 비선택 상태로 한다.
- [0317] 도 19의 실시예에서는, 게이트 드라이버 회로(12b)의 제1F에서, 기입 화소행(41)의 위치(점선으로 나타냄)는, 전부 비표시 영역(45)의 범위 내이다. 따라서, 영상 신호를 기입하는 화소행(게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)에 온 전압이 인가된 화소행)과, 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 선택 전압(온 전압)이 인가된 화소행이 일치하는 일은 없다.
- [0318] 게이트 드라이버 회로(12b)의 제2F의 범위에서는, t3~t4의 기간에서, 기입 화소행(41)의 위치(점선으로 나타냄)는, 표시 영역(46)의 범위 내이다. 따라서, 영상 신호를 기입하는 화소행(게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)에 온 전압이 인가된 화소행)과, 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 선택 전압(온 전압)이 인가된 화소행이 일치하고 있다. 따라서, 상기 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 비선택 전압(오프 전압)이 인가되도록 처리를 행할 필요가 있다. 혹은, 상기 게이트 드라이버 회로(12a)의 게이트 신호선(17a)에 비선택 전압(오프 전압)이 인가되도록 처리를 행할 필요가 있다.
- [0319] 게이트 드라이버 회로(12b)의 제3F의 t4~t6의 범위에서는, 기입 화소행(41)의 위치(점선으로 나타냄)는, 전부 표시 영역(46)의 범위 내이다. 따라서, 영상 신호를 기입하는 화소행(게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)에 온 전압이 인가된 화소행)과, 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 선택 전압(온 전압)이 인가된 화소행이 일치한다. 따라서, 상기 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 비선택 전압(오프 전압)이 인가되도록 처리를 행할 필요가 있다. 혹은, 상기 게이트 드라이버 회로(12a)의 게이트 신호선(17a)에 비선택 전압(오프 전압)이 인가되도록 처리를 행할 필요가 있다.
- [0320] 마찬가지로 게이트 드라이버 회로(12b)의 제4F의 범위에서는, 기입 화소행(41)의 위치(점선으로 나타냄)는, 전 반은 비표시 영역(45)의 범위 내이다. 그러나, 후반은 표시 영역(46)의 범위 내로 된다. 즉, 후반은 영상 신호를 기입하는 화소행(게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)에 온 전압이 인가된 화소행)과, 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 선택 전압(온 전압)이 인가된 화소행이 일치하고 있다. 따라서, 상기 게이트 드라이버 회로(12b)의 게이트 신호선(17b)에 비선택 전압(오프 전압)이 인가되도록 처리를 행할 필요가 있다. 혹은, 상기 게이트 드라이버 회로(12a)의 게이트 신호선(17a)에 비선택 전압(오프 전압)이 인가되도록 처리를 행할 필요가 있다.
- [0321] 게이트 드라이버 회로(12b)의 프레임 주파수를 높게 하면, 플리커는 발생하기 어려워진다. 그러나, 너무 높게 하면, 동화상 시인성이 저하한다. 정지 화상에서는, 플리커가 보이기 쉬우므로, 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 높게 할 필요가 있다. 반대로 동화상에서는, 화상 표시가 끊임없이 변화되고 있으므로, 플리커는 눈에 띄기 어렵다. 그 때문에, 동작 프레임 레이트를 낮추어, 동화상 시인성을 향상시킨다.
- [0322] 본 발명은, 상기의 사항을 감안하여, 동화상과 정지 화상에서 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 변화시키고 있다.
- [0323] 또한, 게이트 신호선(17a)과 게이트 신호선(17b) 중 한쪽을 비선택 상태로 한다고 했지만, 본 발명은 이에 한정되는 것은 아니고, 양방을 비선택 상태로 제어해도 되는 것은 물론이다. 따라서, 복수의 게이트 신호선을 갖는 구성의 경우에는, 적어도 1개의 게이트 신호선의 선택 혹은 비선택 상태를 제어할 수 있는 것이면 된다.
- [0324] 또한, 본 발명은, 영상 신호를 기입하는 화소행에 있어서, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류 경로를 차단하는 것이다. 혹은, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류 경로가 발생하

고 있는 화소행에는, 영상 신호를 기입하지 않도록 배타 처리를 실시하는 것이다. 이 동작을 만족하는 것이면, 어느 구성이라도 된다. 배타 처리는, 1수평 주사 기간을 시분할해도 실현할 수 있다. 예를 들면, 1수평 주사 기간을 1/2로 분할하고, 최초의 1/2의 기간에서 게이트 신호선(17a)에 의해 제어를 실시하고, 후반의 1/2의 기간에서 게이트 신호선(17b)에 의해 제어를 행해도 된다.

[0325] 이상에 설명한 본 발명은, 도 42의 실시예에 적용할 수 있는 것은 물론이다. 또한, 이후에 설명하는 도 26~도 40의 보정량의 보정 방법에 관한 사항도 적용할 수 있으며, 또한 조합할 수 있는 것은 물론이다. 또한, 도 41의 온도 보정에 관해서도 적용할 수 있으며, 또한 조합할 수 있는 것은 물론이다. 또한, 도 44~도 47의 (a), 도 47의 (b), 도 49~도 62의 구동 방식에도 적용할 수 있으며, 조합할 수 있는 것은 물론이다. 또한, 이상의 실시예를 도 63~도 65에 도시한 본 발명의 표시 기기에 적용할 수 있는 것은 물론이다.

[0326] 이상의 실시예는, 도 1의 화소 구성을 예시하여 설명했다. 그러나, 본 발명은 도 1의 화소 구성에 한정되는 것은 아니다. 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류 경로를 온 오프(공급, 차단)하는 스위치용 트랜지스터(11)와, 구동용 트랜지스터(11)에 영상 신호를 인가하는 스위치용 트랜지스터(11)를 갖는 화소 구성이면 어느 것이라도 적용할 수 있다.

[0327] 예를 들면, 도 20의 커런트 미러 화소 구성은, EL 소자(15)에의 전류 경로에 스위치용 트랜지스터(11e)가 형성되어 있으며, 구동용 트랜지스터(11a) 또는 구동용 트랜지스터(11b)에 영상 신호를 인가하는 경로를 발생시키는 스위치용 트랜지스터(11c)를 갖고 있다. 동일한 화소(16)에서의 게이트 신호선(17a)과 게이트 신호선(17b)에, 온 전압(VGL)이 인가되는 경우에는, 어느 한쪽의 게이트 신호선(17)(17a, 17b)에 오프 전압을 인가하고, 스위치용 트랜지스터(11e) 또는 스위치용 트랜지스터(11c)를 오픈으로 한다.

[0328] 도 21, 도 22의 화소 구성에서도 마찬가지로 본 발명을 적용할 수 있다. 도 21, 도 22에서 EL 소자(15)에의 전류 경로에 스위치용 트랜지스터(11d)가 형성되어 있으며, 구동용 트랜지스터(11a)에 영상 신호를 인가하는 경로를 발생시키는 스위치용 트랜지스터(11c)를 갖고 있다. 동일한 화소(16)에서의 게이트 신호선(17a)과 게이트 신호선(17b)에, 온 전압(VGL)이 인가되는 경우에는, 어느 한쪽의 게이트 신호선(17)(17a, 17b)에 오프 전압을 인가하고, 스위치용 트랜지스터(11d) 또는 스위치용 트랜지스터(11c)를 오픈으로 한다.

[0329] 도 1, 도 20, 도 21, 도 22는 전류 프로그램 방식의 화소 구성이다. 본 발명은, 도 23, 도 24에 도시한 바와 같은, 전압 프로그램 방식의 화소 구성에도 적용할 수 있다.

[0330] 도 23은, 구동용 트랜지스터(11a)의 게이트 단자와 스위치용 트랜지스터(11c) 사이에 커패시터(19b)가 형성되어 있다. 소스 신호선(18)에 인가된 영상 신호는, 스위치용 트랜지스터(11c)의 온에 의해, 커패시터(19b)를 통하여 구동용 트랜지스터(11a)의 게이트 단자에 인가된다.

[0331] 도 23의 화소 구성은, EL 소자(15)에의 전류 경로에 스위치용 트랜지스터(11e)가 형성되어 있으며, 구동용 트랜지스터(11a)에 영상 신호를 인가하는 경로를 발생시키는 스위치용 트랜지스터(11c)를 갖고 있다. 동일한 화소(16)에서의 게이트 신호선(17a)과 게이트 신호선(17b)에, 온 전압(VGL)이 인가되는 경우에는, 어느 한쪽의 게이트 신호선(17)(17a, 17b)에 오프 전압을 인가하고, 스위치용 트랜지스터(11e) 또는 스위치용 트랜지스터(11c)를 오픈으로 한다.

[0332] 도 24의 화소 구성은, EL 소자(15)에의 전류 경로에 스위치용 트랜지스터(11d)가 형성되어 있으며, 구동용 트랜지스터(11a)에 영상 신호를 인가하는 경로를 발생시키는 스위치용 트랜지스터(11b)를 갖고 있다. 도 24의 화소 구성에 AND 회로(81)의 구성을 적용한 구성을 도 43에 도시하고 있다. 동일한 화소(16)에서의 게이트 신호선(17a)과 게이트 신호선(17b)에, 온 전압(VGL)이 인가되는 경우에는, 어느 한쪽의 게이트 신호선(17)(17a, 17b)에 오프 전압을 인가하고, 스위치용 트랜지스터(11d) 또는 스위치용 트랜지스터(11b)를 오픈으로 한다.

[0333] 이상의 실시예는, EL 소자(15)에의 전류 경로에 스위치용 트랜지스터(11)를 형성한 구성이었다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 도 25의 화소 구성에서도, 본 발명을 적용할 수 있다.

[0334] 도 25에서는, EL 소자(15)에 공급하는 전류 경로에 스위치용 트랜지스터(11)는 형성되어 있지 않다. 대신에, 게이트 신호선(17b)이 애노드 단자로 되어 있다. 또한, 게이트 신호선(17)은, 게이트 드라이버 회로(12b)에 접속되어 있으며, 게이트 드라이버 회로(12b)의 전원 전압이 애노드 전압 Vdd로 되어 있다. 게이트 신호선(17b)이 선택되면, 게이트 신호선(17b)에는, 게이트 드라이버 회로(12b)로부터 애노드 전압 Vdd가 공급된다. 따라서, 게이트 신호선(17b)의 선택에 의해 해당 화소행을 온 오프 제어할 수 있다. 동일한 화소(16)에서의 게이트 신호선(17a)과 게이트 신호선(17b)에, 온 전압(VGL)이 인가되는 경우에는, 어느 한쪽의 게이트 신호선(17)(17a, 17b)에 오프 전압을 인가하고, 스위치용 트랜지스터(11e) 또는 스위치용 트랜지스터(11c)를 오픈으로

한다.

- [0335] 이상의 도 20~도 25의 화소 구성은, 도 8~도 19, 도 42의 실시예에 적용할 수 있는 것은 물론이다. 또한, 이후에 설명하는 도 26~도 40의 보정량의 보정 방법에 관한 사항도 적용할 수 있으며, 또한 조합할 수 있는 것은 물론이다. 또한, 도 41의 온도 보정에 관해서도 적용할 수 있으며, 또한 조합할 수 있는 것은 물론이다. 또한, 도 44~도 47의 (a), 도 47의 (b), 도 49~도 62의 구동 방식에도 적용할 수 있으며, 조합할 수 있는 것은 물론이다. 또한, 이상의 실시예를 도 63~도 65에 도시한 본 발명의 표시 기기에 적용할 수 있는 것은 물론이다.
- [0336] 도 8~도 15의 본 발명의 구동 방법에서, 점등시킬 화소행의 게이트 신호선(17b)을 강제적으로 오프 상태로 한다고 했다. 이 경우에는, 해당 화소행의 발광 기간은, 다른 화소행보다 짧아진다. 따라서, 해당 화소행이 휘도 저하한다. 이 휘도 저하의 보정 방법에 대하여 설명한다.
- [0337] 처음에 영상 신호의 발생 방법에 대하여 설명한다. 도 27은, 소스 드라이버 회로(14)를 구성하는, 프로그램 전류의 발생 회로의 설명도이다. 소스 드라이버 회로(14)는, 적(R), 녹(G), 청(B)에 대응하는 기준 전류 회로(273)(273R, 273G, 273B)를 갖고 있다. 기준 전류 회로(273)는, 저항 R1(R1r, R1g, R1b)과 오피 앰프(271a), 트랜지스터(274a)로 구성된다. 저항 R1(R1r, R1g, R1b)의 값은, R, G, B의 계조 전류에 대응하여 독립적으로 설정 혹은 조정할 수 있도록 구성되어 있다. 저항 R1은, 소스 드라이버 회로(14)의 외부에 배치된 외장 저항이다.
- [0338] 오피 앰프의 +단자 c에는, 전자 볼륨(272)에 의해, 전압 V_i 가 인가되어 있다. 전압 V_i 는, 안정된 기준 전압 V_b 를 저항 R로 분압함으로써 얻어진다. 전자 볼륨(272)은, 신호 IDATA에 의해 출력 전압 V_i 를 변화시키는 것이다. 기준 전류 I_c 는 $(V_s - V_i)/R1$ 로 된다. RGB의 기준 전류 $I_c(I_{cr}, I_{cg}, I_{cb})$ 는, 각각 독립한 기준 전류 회로(273)에서 조정 혹은 가변된다. 가변은, RGB마다 형성된 전자 볼륨에서 실시된다. 따라서, 전자 볼륨(272)에 인가되는 제어 신호에 의해, 전자 볼륨(272)으로부터 출력 되는 전압 V_i 의 값이 변화된다. 전압 V_i 에 의해 RGB의 기준 전류의 크기가 변화되고, 단자(276)로부터 출력되는 계조 전류(프로그램 전류) I_w 의 크기가 비례하여 변화된다.
- [0339] 발생한 기준 전류 $I_c(I_{cr}, I_{cg}, I_{cb})$ 는, 트랜지스터(274a)로부터 트랜지스터(274b)에 인가된다. 트랜지스터(274b)와 트랜지스터군(275)은 커런트 미러 회로를 구성하고 있다. 도 27에서, 트랜지스터(274b1)는, 1개의 트랜지스터로 구성하고 있도록 도시하고 있지만, 실제로는, 트랜지스터군(275)과 마찬가지로, 단위 트랜지스터(282)의 집합(트랜지스터군)으로서 형성하고 있다. 또한, 단위 트랜지스터(282)는, 후술하는 도 28에 도시되어 있다.
- [0340] 트랜지스터군(275)으로부터의 프로그램 전류 I_w 는 출력 단자(276)로부터 출력된다. 트랜지스터군(275)의 각 단위 트랜지스터(282)의 게이트 단자 및 트랜지스터(274b)의 게이트 단자는, 게이트 배선(284)으로 접속되어 있다.
- [0341] 트랜지스터군(275)은, 도 28에 도시한 바와 같이, 단위 트랜지스터(282)의 집합으로서 구성된다. 이해를 용이하게 하기 위해서, 영상 데이터와 프로그램 전류는 비례 혹은 상관의 관계에서 변환되는 것으로 하여 설명한다. 영상 신호에 의해 스위치(281)가 선택되고, 스위치(281)의 선택에 의해, 단위 트랜지스터(282)의 출력 전류의 집합(가산)으로서의 프로그램 전류 I_w 가 발생한다. 따라서, 영상 신호를 프로그램 전류 I_w 로 변환할 수 있다. 본 발명은 단위 트랜지스터(282)의 단위 전류가, 영상 데이터의 1의 크기에 해당하도록 구성되어 있다.
- [0342] 단위 전류는, 기준 전류 I_c 의 크기에 대응하여 단위 트랜지스터(282)가 출력하는 1단위의 프로그램 전류의 크기이다. 기준 전류 I_c 가 변화하면, 단위 트랜지스터(282)가 출력하는 단위 전류도 비례하여 변화된다. 트랜지스터(274b)와 단위 트랜지스터(282)가 커런트 미러 회로를 구성하고 있기 때문이다.
- [0343] RGB의 각 트랜지스터군(275)은 단위 트랜지스터(282)의 집합으로 구성되어 있으며, 단위 트랜지스터(282)의 출력 전류(단위 프로그램 전류)의 크기는, 기준 전류 I_c 의 크기로 조정할 수 있다. 기준 전류 I_c 의 크기를 조정하면, RGB마다 각 계조의 프로그램 전류(정전류) I_w 의 크기를 변경 혹은 가변할 수 있다. 따라서, RGB의 단위 트랜지스터(282)의 특성이 동일한 듯한 이상적 상태에서는, RGB의 기준 전류 회로(273)의 기준 전류 I_c 의 크기를 변화시킴으로써, EL 표시 장치의 표시 화상의 화이트 밸런스를 취할 수 있다.
- [0344] 이하, 설명을 용이하게 하고, 또한 작도를 용이하게 하기 위해서, 소스 드라이버 회로(IC)(14)의 트랜지스터군(275)은 6비트로 하여 설명을 한다. 도 28에서, 각 단위 트랜지스터(282)는, 정전류 데이터(D0~D5)마다 배치된다. D0 비트에는 1개의 단위 트랜지스터(282)가 배치된다. D1 비트에는 2개의 단위 트랜지스터(282)가 배치

된다. D2 비트에는 4개의 단위 트랜지스터(282)가 배치되고, D3 비트에는 8개의 단위 트랜지스터(282)가 배치되고, D4 비트에는 16개의 단위 트랜지스터(282)가 배치된다. 마찬가지로, D5 비트에는 32개의 단위 트랜지스터(282)가 배치되어 있다.

- [0345] 각 비트의 단위 트랜지스터(282)의 출력 전류가 출력 단자(276)에 출력되는지의 여부는, 아날로그 스위치(281)(281a~281f)에 의한 온 오프 제어로 실현된다. 디코더 회로(285)는, 입력된 영상 데이터 KDATA를 디코드한다. 아날로그 스위치는 영상 신호 데이터 KDATA에 대응하여 온 오프 제어된다.
- [0346] 프로그램 전류 I_w 는 내부 배선(283)을 흐른다. 내부 배선(283)의 전위는, 소스 신호선(18)의 전위로 된다. 내부 배선(283)의 전위는 V_{cc} 이하 GND 전위 이상이다. 소스 신호선(18)의 전위는, 정전류 I_w 를 소스 신호선(18)에 인가하고, 정상 상태에 도달했을 때는, 화소(16)의 구동용 트랜지스터(11a)의 게이트 단자의 전압(도 1의 화소 구성인 경우)이다.
- [0347] 도 29는, 전압 프로그램 방식의 계조 전압 출력 회로의 설명도이다. 계조 전압 출력 회로에서 발생하는 전위의 최저는, 0V(GND 전위)이며, 전위의 최대는, 소스 드라이버 회로(14)의 전원 전압 V_{cc} 이다. 감마 커브의 저전위는, 계조 앰프(292L)에서 규정한다. 감마 커브의 고전위는, 계조 앰프(292H)에서 규정한다. 계조 앰프(292H)가 출력하는 전압은 V_H 로 한다. 계조 앰프(292L)가 출력하는 전압은 V_L 로 한다. 따라서, 진폭 폭은, $V_H - V_L$ 이다.
- [0348] 계조 앰프(292)의 출력 전압은, 진폭 조정 레지스터(291)로 제어한다. 진폭 조정 레지스터(291)의 출력 비트는 8비트이다. 따라서, 계조 앰프(292)는, 256단계에서 출력 변화가 가능하다. 계조 앰프(292H)의 값을 높게(고전위) 함으로써, 감마 커브의 진폭값은 커진다. 계조 앰프(292H)의 값을 낮게(저전위) 함으로써, 감마 커브의 진폭값은 작아진다. 계조 앰프(292L)의 값을 높게(고전위) 함으로써, 감마 커브의 진폭값은 작아진다. 계조 앰프(292L)의 값을 낮게(저전위) 함으로써, 감마 커브의 진폭값은 커진다. 도 29의 구성에서는, 계조 앰프(292H)와 계조 앰프(292L)를 독립해서 동작시킬 수도 있다.
- [0349] 계조 앰프(292H)와 계조 앰프(292L) 사이에는, 저항이 래더 형상으로 접속되어 있다. 각각의 저항(VR_1 , VR_2 , VR_3 , VR_4 ..., VR_N) 사이에는, 배선 단자(293)가 인출되어 있다. 배선 단자(293)는, 도 30의 전압 DAC 회로의 각 셀렉터 회로와 접속되어 있다.
- [0350] 저항 래더의 저항(VR_1 , VR_2 , VR_3 , VR_4 ..., VR_N)의 저항값은, 커맨드 설정으로 가변할 수 있도록 구성되어 있다. 커맨드 설정에 의해, 저항(VR_1 , VR_2 , VR_3 , VR_4 ..., VR_N)의 저항값이 변화된다.
- [0351] 도 30에 도시한 바와 같이, 영상 신호 데이터 KDATA는, 전압 데이터 래치 회로(301a)에 유지된다. 각 데이터는, 6비트이다. 또한, 화소열은, 240도트로, 각 도트에 RGB의 3데이터가 있다. 따라서, 전압 데이터 래치 A 회로 및 전압 데이터 래치 B 회로의 라인 메모리는, 6비트×240RGB이다. 전압 데이터 래치 A 회로(301a)의 데이터는, 수평 동기 신호(HD)에 동기하여, 전압 데이터 래치 B 회로(301b)에 카피된다.
- [0352] 전압 회로(303)는, 스위치 회로로 구성되어 있다. 전압 데이터 래치 B 회로(301b)의 디지털 데이터로부터, 계조 전압 출력 회로(302)의 단자(293)로부터 하나를 선택한다. 선택한 단자(293)의 전압을 소스 신호선(18)에 출력한다.
- [0353] 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 서로 다른 경우에, 동일한 화소(16)에 접속된 게이트 신호선(17a) 및 게이트 신호선(17b)에 온 전압(VGL)이 인가되는 경우가 있다.
- [0354] 소스 드라이버 회로(14)에는, 도 27, 도 28의 프로그램 전류의 출력 회로와, 도 29, 도 30의 프로그램 전압의 출력 회로의 쌍방을 구성한다. 프로그램 전류 방식은, 저계조 영역에서 영상 신호의 기입 부족이 발생하지만, 프로그램 전압 방식은, 저계조 영역에서도 양호한 영상 신호의 기입을 실현할 수 있다. 그러나, 프로그램 전압 방식에서는, 구동용 트랜지스터(11a)의 변동 특성의 보정이 완전하지 않다. 프로그램 전류 방식에서는, 구동용 트랜지스터(11a)의 변동 특성의 보정이 양호하다.
- [0355] 소스 드라이버 회로(14)에 프로그램 전류의 출력 회로와, 프로그램 전압의 출력 회로의 쌍방을 구성하고, 동작 시킴으로써, 프로그램 전류 방식의 결점과 프로그램 전압 방식의 결점을 보충할 수 있고, 양호한 화상 표시를 실현할 수 있다. 본 발명에서는, 인가된 영상 신호에 대하여, 1화소행을 선택하는 기간의 전반에 프로그램 전압을 각 화소에 인가하고, 1화소행을 선택하는 기간의 후반에 프로그램 전류를 인가한 구동 방법을 채용하고 있다. 즉, 프로그램 전압을 인가한 후에, 프로그램 전류를 인가한다. 또한, 프로그램 전압은, 대응하는 영상 신호가 고계조인 경우는 인가하지 않는다. 프로그램 전류로 충분히 목표의 계조 신호를 기입할 수 있기

때문이다. 화소 구성은, 도 1과 같이, 구동용 트랜지스터(11a)가 출력하는 전류가 소스 신호선(18)에 추출되는 구성을 채용한다. 도 23의 화소 구성에서는, 전류 경로가 컨텐서(19b)로 컷트되지 않는다. 화소 구성은, 도 1 이외에, 도 15, 도 42, 도 20~도 25의 구성을 채용할 수 있다.

[0356] 소스 드라이버 회로(14)에 프로그램 전류의 출력 회로와, 프로그램 전압의 출력 회로의 쌍방을 구성하면, 상기 와는 달리, 인가된 영상 신호에 대하여, 1화소행을 선택하는 기간의 전반에 정전류를 각 화소에 인가하고, 1화소행을 선택하는 기간의 후반에 프로그램 전압을 인가한 구동 방법에도 적용할 수 있다. 정전류를 인가함으로써, 구동용 트랜지스터(11a)의 동작점을 리셋한다(오프셋 위치를 구한다). 다음으로, 프로그램 전압을 화소에 인가한다. 화소 구성은, 도 1과 도 23을 조합한 구성 등을 이용한다.

[0357] 소스 드라이버 회로(14)에 프로그램 전류의 출력 회로와, 프로그램 전압의 출력 회로의 쌍방을 구성하면, 상기 어느 경우에도, 기준 전류에 의한 영상 신호의 진폭 또는 크기의 변조가 용이해진다. 또한, 화이트 밸런스 조정, 듀티 구동 방식도 용이하게 실현할 수 있다. 도 26 등에서 설명하는 보정량의 처리도 용이하다.

[0358] 본 발명은, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 상태로 된 경우에, 상기 게이트 신호선(17b)에 인가하는 온 전압을 오프 전압으로 변경하는 방식이다. 즉, 게이트 신호선(17b)을 배타적으로 처리(무효)로 하는 방식이다.

[0359] 또한, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 상태로 된 경우에, 상기 게이트 신호선(17a)에 인가하는 온 전압을 오프 전압으로 변경하는 실시에도 본 발명의 기술적 범주이다. 즉, 게이트 신호선(17a)을 배타적으로 처리(무효)로 하는 방식이다. 이 경우에는, 해당 화소행에는 영상 신호는 기입되지 않는다. 해당 화소행은, 재기입되지 않고, 다음의 프레임도 동일한 화상 표시로 되지만, 정지 화상의 경우에는, 어떠한 지장도 없고, 동화상의 경우에는, 또한 다음의 프레임에서 정규의 영상 신호가 기입되므로 시각적으로 인식되는 일은 없다. 또한, 이 경우에는, 해당 화소행은, 게이트 신호선(17b)에 의해 선택되고, 화소행의 EL 소자(15)는 발광한다. 따라서, EL 소자(15)의 발광 휘도가 저하하는 것은 없고, 보정할 필요는 없다. 즉, 보정량을 보정할 필요는 없다.

[0360] 게이트 신호선(17b)을 강제적으로 비선택으로 하면, 본래는 점등하는 화소행의 EL 소자(15)가 비점등으로 된다. 그 때문에, 점등하지 않은 화소행은, 밝기가 감소하게 된다. 그러나, 통상, 듀티비는, 1/4 이상으로 제어된다. 따라서, 각 화소행은, 1프레임에서 1/4 기간 이상은 점등한다. 예를 들면, 화소행이 240화소행 있는 경우에는, 각 화소행은 240/4=60회 점등한다. 이 중, 1회 점등하지 않아도, 1/60=1.7%로 되고, 해당 화소의 휘도 저하는, 2%에도 차지 않는다. 따라서, 시각적으로 인식되지 않는다.

[0361] 보정량(보정 데이터)에 의해, 각 화소(16)에 기입되는 영상 신호를 보정한다. 예를 들면, 발광할 계조 K의 데이터가 기입된 화소가, 비선택으로 되고, 발광할 수 없었던 경우에는, 발광할 수 없었던 분을 보정한다. 발광할 수 없었던 시간이 1프레임의 1/240이면, 이 기간을 보정한다. 보정은, 발광할 수 없었던 시간이, 1프레임의 1/240이면, 다음의 프레임 등에서 발광 시간을 1프레임의 1/240을 연장한다(가산한다). 연장은, 듀티비를 조작함으로써 용이하게 실현할 수 있다. 또한, 게이트 드라이버 회로(12b)의 시프트를 해당 화소행 개소로, 1화소행을 선택하는 시간 분만큼 정지함으로써도 실현할 수 있다. 또한, 해당 화소에 미리 감소하는 휘도를 보정하도록 기입하는 영상 신호를 크게 한다. 또한, 다음의 프레임 등에서 해당 화소에 기입하는 영상 신호를 감소 분만큼 크게 한다. 보정량(보정 데이터)은, 듀티비 제어에 의한 경우에는, 시간 조작으로 실현할 수 있고, 화소행에 기입하는 영상 신호의 크기를 조작하는 경우에는, 승산 회로에 의해 실현하거나, 혹은, 일정한 보정값을 영상 신호에 가산함으로써 실현한다.

[0362] 따라서, 보정량(보정 데이터)은 시간량(시간 데이터)인 경우에도 있고, 영상 신호를 보정하는 승산 계수인 경우에도 있다. 또한, 가산하는 가산량 또는 가산 데이터인 경우에도 있다. 보정량(보정 데이터)은, 감소한 화소의 발광 휘도 혹은 발광량을 수정하는 것이다.

[0363] 듀티비가, 3/4 등 큰 경우에는, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택하는 확률이 높아진다. 그러나, 이번은, 1프레임 기간에서 각 화소행이 점등하는 기간이 길고, 상기 화소행을 비점등 상태로 제어해도 휘도 저하는 작고, 시각적으로 인식되는 일은 없다.

[0364] 게이트 드라이버 회로(12a)의 동작 프레임 레이트에 비하여, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 3배 이상 높은 경우에는, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 확률이 높아진다. 게이트 드라이버 회로(12a)의 동작 프레임 레이트는, 영상 신호의 1초 동안의 코마수에 규정되지만, 게이트 드라이버 회로(12b)의 동작 프레임 레이트는 비교적 자유롭게 설정할 수 있다.

- [0365] 따라서, 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 변화시킴으로써, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 위치를 변동시킬 수 있다. 또한, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 확률을 저감시킬 수도 있다. 또한, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택하는 위치를 랜덤화하는 것도 용이하다.
- [0366] 이상과 같이, 본 발명은, 화소(16)를 점등 제어하는 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 변화시키는 것, 혹은 변경할 수 있는 것도 특징으로 하고 있다.
- [0367] 게이트 신호선(17a)과 게이트 신호선(17b)이 동시에 선택됨으로써, 해당 화소행이 휘도 저하하는 것에 대하여, 다음의 프레임에서 1회 더 점등시키는 것도 용이하다. 반대로, 해당 화소행 이외를 1회 점등시키지 않고, 휘도 저하시켜서 밸런스를 취할 수도 있다. 컨트롤러 회로(도시 생략)에서, 어느 화소행에 있어서 게이트 신호선(17a)과 게이트 신호선(17b)이 동시에 선택되었는지를 파악할 수 있기 때문이다.
- [0368] 게이트 신호선(17a)과 게이트 신호선(17b)이 동시에 선택됨으로써, 해당 화소행이 휘도 저하하는 것의 대책은, 해당 화소행에 기입하는 영상 신호의 크기를 휘도 저하분만큼 가산해서 기입함으로써 대책할 수 있다. 예를 들면, 듀티비가 1/4에서, 화소행이 200개일 때는, $200/4=50$ 수평 주사 기간, 화소행이 점등한다. 이 50수평 주사 기간 중, 1회 비점등 상태로 되는 것이기 때문에, $1/50=2\%$ 분만큼, 해당 화소행에 기입 영상 신호의 2%분을 가산한다. 혹은 승산에 의해 기입하는 영상 신호를 크게 한다. 256계조일 때에는, 본래의 영상 신호에 4계조분을 가산하여, 해당 화소행에 기입한다. 단, 본래의 영상 신호가 253계조 이상의 경우에는, 4계조를 가산해도 최대 256계조 이상은 인가할 수 없다. 그러나, 고계조 영역에서는, 인간의 표시 휘도에 대한 민감도가 낮다. 따라서, 253계조 이상은, 256계조로 보정해도 문제 없다. 반대로, 대상 화소행 이외의 화소행에서, 기입하는 영상 신호의 계조수를 감산해 두어도 된다.
- [0369] 도 27, 도 28의 구성과 같이, 영상 데이터가 전류 데이터인 경우에는, 보정 분에 대응하는 기준 전류 I_c 를 변화시킨다. 기준 전류 I_c 는, 전자 볼륨(272)에의 전류 데이터 IDATA를 변화시킴으로써 용이하게 실현할 수 있다. IDATA에 의해 V_i 전압이 변화되고, 기준 전류 I_c 를 변화시킬 수 있기 때문이다. 적(R), 녹(G), 청(B)의 기준 전류(I_{cr} , I_{cg} , I_{cb})의 변화량은, 듀티비에 대응시켜서 변화시킨다. 보정량은, RGB에서 공통의 비율로 무방하다.
- [0370] 또한, 도 28의 KDATA를 조작하고, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소(16)를 선택한 경우의 보정량을 보충할 수도 있다. 특히, 도 28의 전류 출력단은, 출력하는 전류가 단위 트랜지스터(282)의 개수로 결정되어 있다. 따라서, 계조 데이터와 단위 트랜지스터(282)의 개수는 비례하고 있다. 또한, 보정량은, 듀티비와 비례의 관계에 있다. 따라서, 보정량은 단위 트랜지스터(282)의 개수로 근사할 수 있다.
- [0371] 도 29, 도 30의 전압 프로그램 방식의 경우에는, 보정량은, 계조 앰프(292)를 변화시킴으로써 실현할 수 있다. 또한, 각 저항 VR1~VRN을 변화시킴으로써 실현할 수 있다. 물론, 도 30의 영상 신호 데이터 KDATA를 보정함으로써도 대응할 수 있다.
- [0372] 도 27~도 30의 회로를 이용한 보정은, 보정할 화소행에 대응시켜서, 기준 전류, 계조 앰프(292), 저항값, 영상 신호 데이터 KDATA를 변화시킨다. 즉, 변화는, 수평 동기 신호(HD)에 동기시켜서 행한다.
- [0373] 영상 신호 데이터 KDATA를 보정하는 경우에는, 듀티비를 1/D로 하고, EL 표시 장치의 표시 화면(22)의 화소행수를 N으로 했을 때, 인가하는 계조를 1로 한 경우에, $1/(N/D)$ 의 비율을 가산한다. 즉, 인가하는 영상 신호의 크기에 대하여, 일정한 비율을 승산 혹은 가산하는 것이 바람직하다. 예를 들면, 듀티비를 1/4로 하고, EL 표시 장치의 표시 화면(22)의 화소행수를 200으로 했을 때, $1/(200/4)=1/50=2\%$ 로 된다.
- [0374] 전술한 계조수의 보정은, 간이하게는 게이트 드라이버 회로(12b)의 1프레임 기간으로 보정한다. 그러나, 실제로는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 1프레임 기간은 서로 다르므로, 게이트 드라이버 회로(12a)의 주기도 고려해서 가감산하는 계조수 혹은 비율을 결정한다.
- [0375] 특히, 본 발명은, 듀티비로 표시 화면(22)의 밝기 제어를 행한다. 표시 화면(22)의 밝기는 점등하는 화소행수에 선형으로 비례한다. 따라서, AND 회로(81)에 의해 1화소행을 강제적으로 비선택으로 해도, 1화소행 분을 보정하면 된다. 보정은 선형의 관계에 있기 때문에 용이하다.
- [0376] 보정량의 보정은, 보정할 사태가 발생한 프레임 또는 상기 프레임 이후에서 행한다. 그러나, 보정할 사태를 사전에 알고 있는 경우(통상은, 듀티비의 변화는 사전에 알고 있음), 보정할 사태가 발생하는 프레임 이전에 보정량을 화소행에 인가해도 된다.

- [0377] 보정량은, 복수 프레임 기간에서 보정해도 된다. 예를 들면, 2%의 보정량이 필요한 경우에는, 제1 프레임에서, 1%분을 보정하고, 다음의 제2 프레임에서, 0.5%분을 보정하고, 또한 다음의 제3 프레임에서, 0.5%분을 보정해도 된다. 또한, 점등율 혹은 듀티비에 대응시켜서, 보정량을 변화시켜도 된다.
- [0378] 도 26은 듀티비에 대한 보정량(%)을 나타내고 있다. 또한, 도 26은, 화소행수는 300인 경우를 예시하고 있다. 보정량은 듀티비가 클수록 작고, 듀티비가 작을수록, 커진다. 보정량의 정밀도는, $\pm 30\%$ 의 범위이면 충분하다. 예를 들면, 보정량이 2%이면, 1.4% 이상 2.6% 이내가 허용 범위이다.
- [0379] 본 발명에서는, 도 31에 도시한 바와 같이, 듀티비는 점등율(%)에 대응시켜서 변화시키고 있다. 점등율은, EL 표시 장치에 입력되는 영상 신호로부터 구해진다. 혹은, 점등율은, EL 표시 장치의 애노드 단자 또는 캐소드 단자에 흐르는 전류를 계측함으로써 구해진다.
- [0380] 따라서, 점등율 및 듀티비는, 표시 화면(22)에 표시하는 표시 화상에 의해 변화된다. 또한, 점등율 및 듀티비의 변화는 리얼타임으로 실시하는 것은 아니고, 일정한 지연 혹은 히스테리시스를 갖게 하여 행한다. 따라서, 보정량의 변화도 일정한 지연을 실시하여 행한다. 또한, 점등율, 듀티비는, 복수 프레임 기간에서의 화상 변화 상태를 감안하여 구하는 것이 바람직하다.
- [0381] 보정량은, EL 표시 장치의 외부 환경 조도에 따라, 가변하는 것도 유효하다. 외부 환경 조도는, EL 표시 장치에 부가한 포토 센서로 측정한다. 외부 환경 조도가 높을 때는, 보정량을 생략할 수 있다. 보정해도 그 효과를 알 수 없기 때문이다. 외부 환경 조도가 낮을 때는, 보정량의 변화에 대하여 인간의 감각은 민감하다. 따라서, 정밀도가 양호한 보정을 실시할 필요가 있다.
- [0382] 도 26의 횡축은, 듀티비라고 했지만, 점등율과 치환해도 된다. 점등율이 높을수록 듀티비는 작아지고, 점등율이 낮을수록 듀티비는 커진다. 또한, 점등율은, EL 표시 장치의 표시 화면(22)에서 소비하는 전력 혹은 전류와 상관하고 있다. 따라서, EL 표시 장치의 표시 화면(22)에서 소비하는 전력 혹은 전류로부터 보정량을 구하는 것으로도 된다. 점등율과 듀티비와의 관계는, 일례로서 도 31로부터 구한다. 도 31은 미리 구해 두거나, 또는 연산에 의해 리얼타임으로 구한다.
- [0383] 이상과 같이, 본 발명은, 강제적으로 오프 전압을 인가한 화소행을 보정하는 것을 특징으로 하고 있다. 보정하는 보정량은, 점등율, 듀티비, 표시 화면(22)의 소비 전력으로부터 구한다.
- [0384] 듀티비가 변화하면, 게이트 신호선(17a)과 게이트 신호선(17b)의 양방에 온 전압(VGL)이 인가되는 화소행 위치도 변화된다. 따라서, 본 발명은, 듀티비에 대응시켜서, 게이트 신호선(17a) 또는 게이트 신호선(17b)의 어느 한쪽에 강제적으로 오프 전압(VGH)을 인가하는 화소행을 변화시키는 구동 방식이라고 할 수 있다. 또한, 듀티비는, 점등율과 치환할 수 있다. 또한, 점등율은, EL 표시 장치의 표시 화면(22)에서 소비하는 전력 혹은 전류와 상관한다. 따라서, 본 발명은, 점등율, EL 표시 장치의 표시 화면(22)에서 소비하는 전력 혹은 전류에 대응시켜서, 게이트 신호선(17a) 또는 게이트 신호선(17b) 중 어느 한쪽에 강제적으로 오프 전압(VGH)을 인가하는 화소행을 변화시키는 구동 방식이라고 할 수 있다.
- [0385] 또한, 이상의 사항은, 본 발명의 다른 실시예에도 적용할 수 있는 것은 물론이다,
- [0386] 게이트 신호선(17a, 17b)의 동시 선택에 의해 화소행이 비점등 상태로 되고, 표시 화면(22)의 휘도가 저하된다고 하는 과제는, 도 32와 같이, 제어함으로써 대책할 수 있다.
- [0387] 도 32는, 각 프레임(F)에서의 게이트 신호선(17a, 17b)의 선택 상태를 나타내고 있다. 도 32의 게이트 신호선(17b)의 선택 상태에서, 흰 동그라미는, 해당 게이트 신호선(17b)에 온 전압이 출력되어 있는 것을 나타내고 있다. 검은 동그라미는, 해당 게이트 신호선(17b)에 오프 전압이 출력되어 있는 것을 나타내고 있다. 또한, 검은 동그라미, 흰 동그라미는, 시프트 레지스터 회로(112b)의 데이터 펄스의 배열이라고 생각해도 된다. 도 32의 게이트 신호선(17b)의 선택 상태의 흰 동그라미, 검은 동그라미 위치는, 게이트 드라이버 회로(12b)의 동작 클럭에 동기하여 이동한다.
- [0388] 도 32의 게이트 신호선(17a)의 선택 상태에서, 흰 동그라미 표시는, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치를 나타내고 있다. 다른 게이트 신호선(17a)은 오프 전압이 인가되어 있다. 설명을 용이하게 하기 위해서, 게이트 신호선(17a)의 선택 위치는, 1화소행째로 하고 있다. 도 32의 게이트 신호선(17a)의 선택 상태의 흰 동그라미 위치는, 게이트 드라이버 회로(12a)의 동작 클럭(영상 신호의 수평 주사 기간)에 동기하여 이동한다.
- [0389] 도 32의 게이트 신호선(17b)의 선택 상태는, 각도를 용이하게 하기 위해서, 듀티비를 1/2로 하고, 검은 동그라

미 4개와, 흰 동그라미 4개로 하고 있다. 따라서, 검은 동그라미와 흰 동그라미를 가산한 개수는 8개로 하고 있다. 또한, 삼각 표시를 넣어, 게이트 드라이버 회로(12b)는, 9클럭에서 1프레임으로 되어 있다.

- [0390] 삼각 표시는, 블랭킹 기간에 삽입하는 데이터이다. 물론, 삼각 표시도 게이트 드라이버 회로(12b)의 동기 신호에 따라, 순차적으로 시프트되고, 화소행을 선택 등을 한다. 백 삼각 표시는, 흰 동그라미와 마찬가지로의 기능(게이트 신호선(17b)에 온 전압을 인가함)이며, 흑삼각 표시는, 검은 동그라미와 마찬가지로의 기능(게이트 신호선(17b)에 오프 전압을 인가함)이다.
- [0391] 도 32의 게이트 신호선(17a)의 선택 상태의 게이트 드라이버 회로(12a)의 1프레임 기간은, 게이트 드라이버 회로(12b)의 1프레임 기간보다 길다고 상정하고 있다. 도 32의 게이트 신호선(17a)의 선택 상태에 나타난 바와 같이, 게이트 드라이버 회로(12a)의 1프레임 기간은, 게이트 드라이버 회로(12b)의 $8+1+6=15$ 로, 게이트 드라이버 회로(12a)의 1프레임 기간으로 하고 있다.
- [0392] 도 32에서는, 게이트 드라이버 회로(12a)의 제1 프레임(제1F)에서, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치한다. 이 때문에, 해당 화소행의 스위치용 트랜지스터(11d)가 오픈 상태로 제어되고, 해당 화소행은 비점등 상태로 된다. 이 때문에, 게이트 드라이버 회로(12a)의 제1 프레임(제1F)에서, 비점등 상태가 발생하여 게이트 드라이버 회로(12b)의 1프레임 기간의 휘도가 저하한다. 이를 보정하기 위해서, 게이트 드라이버 회로(12b)의 제1 프레임(제1F)의 블랭킹 기간에 선택 데이터를 삽입한다. 이 삽입한 데이터를 A의 백 삼각 표시로 나타내고 있다.
- [0393] 마찬가지로 도 32에서는, 게이트 드라이버 회로(12a)의 제2 프레임(제2F)에서, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치하지 않는다. 실제로는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)가 서로 다른 클럭에서 데이터 시프트되므로, 일치할 가능성이 있다. 그러나, 설명을 용이하게 하기 위해서, 도 32에서는, 게이트 드라이버 회로(12a)의 제2 프레임(제2F)에서 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치하지 않는 것으로 한다. 이 때문에, 게이트 드라이버 회로(12a)의 제2 프레임(제2F)에서, 강제적으로 비점등 상태가 발생하는 일이 없다. 따라서, 게이트 드라이버 회로(12b)의 제2 프레임(제2F) 및 제3 프레임(제3F)에서는, 블랭킹 기간에 비선택 데이터를 삽입한다. 이 삽입한 데이터를 A의 흑삼각 표시로 나타내고 있다.
- [0394] 동일하게 도 32에서는, 게이트 드라이버 회로(12a)의 제3 프레임(제3F)에서, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치한다. 게이트 드라이버 회로(12b)의 제4 프레임(제4F)이 해당한다. 이 때문에, 해당 화소행의 스위치용 트랜지스터(11d)가 오픈 상태로 제어되고, 해당 화소행은 비점등 상태로 된다. 이 때문에, 비점등 상태가 발생하여 게이트 드라이버 회로(12b)의 1프레임 기간의 휘도가 저하한다. 이를 보정하기 위해서, 게이트 드라이버 회로(12b)의 제4 프레임(제4F)의 블랭킹 기간에 선택 데이터를 삽입한다. 이 삽입한 데이터를 A의 백삼각 표시로 나타내고 있다.
- [0395] 도 32는, 게이트 드라이버 회로(12b)에 삽입하는 데이터 배열이, 선택(흰 동그라미 표시)과 비선택(검은 동그라미 표시)이 각각 연속한 방식이었다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 도 33에 도시한 바와 같이, 선택(흰 동그라미 표시)과 비선택(검은 동그라미 표시)이 분산되어 있어도 된다.
- [0396] 도 33의 경우에도, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치하는 경우에는, A의 위치에 선택(백삼각 표시)을 삽입한다. 또한, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치하지 않는 프레임에서는, A의 위치에 선택(흑삼각 표시)을 삽입한다.
- [0397] 또한, 도 34에 도시한 바와 같이, 선택(흰 동그라미 표시)과 비선택(검은 동그라미 표시)이 랜덤이어도 된다. 단, 1프레임 기간의 듀티비는 각 프레임에서 일치시킨다.
- [0398] 도 34의 경우에도, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치하는 경우에는, A의 위치에 선택(백삼각 표시)을 삽입한다. 또한, 게이트 드라이버 회로(12a)의 게이트 신호선(17a)의 선택 위치와, 게이트 드라이버 회로(12b)의 선택 위치가 일치하지 않는 프레임에서는, A의 위치에 선택(흑삼각 표시)을 삽입한다.
- [0399] 본 발명은, 듀티비를 일정하게 하면, 도 34와 같이, 게이트 드라이버 회로(12b)의 선택 데이터와 비선택 데이터의 배열을 변화시켜도 된다. 배열은, 동화상 시인성을 문제로 하지 않으면 자유롭게 설정할 수 있다. 선택 데이터와 비선택 데이터의 배열을 설정함으로써, 게이트 드라이버 회로(12a)가 선택하는 게이트 신호선(17a)과 게

이트 드라이버 회로(12b)가 선택하는 게이트 신호선(17b)이 동일한 화소행이 되지 않거나, 또는 일치하기 어렵도록 설정할 수 있다.

- [0400] 또한, 동화상 시인성은, 1프레임이 도 34와 같이 동화상 시인성이 없는 데이터 배열이여도, 다른 프레임이 도 33과 같이, 동화상 시인성이 양호한 데이터 배열이면 문제 없다. 도 32~도 34의 A 위치에 삽입하는 데이터는, 게이트 드라이버 회로(12)를 제어하는 컨트롤러 회로(도시 생략)에서 도출한다. 이 동작, 구성을 도 35의 (a), 도 35의 (b)에 도시하고 있다.
- [0401] 도 35의 (a), 도 35의 (b)에서, 도 35의 (a)가 게이트 드라이버 회로(12b)에 인가하는 데이터 배열을 발생하는 방법을 기재한 것이다.
- [0402] 도 35의 (a)에서는, 32바이트의 데이터 배열이 준비되어 있다. 즉, $32 \times 8 \text{비트} = 256 \text{비트}$ 의 배열이다. 이 배열(데이터 배열 b라고 함)에는, 8비트 버스에서 DATA를 외부로부터 입력하여 설정한다. DATA의 입력에 의한 선택과 비선택의 데이터 배열은 임의로 설정할 수 있다. 도 32와 같이, 비선택과 선택 데이터를 연속시킬 수도 있다. 도 34와 같이 비선택과 선택 데이터를 랜덤화할 수도 있다.
- [0403] 도 35의 (b)는 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(112a)에 인가하는 데이터 배열(데이터 배열 a라고 함)이다.
- [0404] 데이터 배열 b는 게이트 드라이버 회로(12b)의 시프트 클럭(CLK2)에서 비트 시프트를 행하고, 데이터 배열 a는 게이트 드라이버 회로(12a)의 시프트 클럭(CLK1))에서 비트 시프트를 행한다. 컨트롤러 회로에서 데이터 배열 a와 데이터 배열 b의 비트 시프트를 행하고, 선택 위치가 일치하면, 보정 DATA에 선택 데이터(흰 동그라미 표시)를 설정하고, 데이터 배열 b에 입력한다. 게이트 드라이버 회로(12b)의 1프레임 이내에서 선택 위치가 일치하지 않는 경우에는, 보정 DATA에 비선택 데이터(검은 동그라미 표시)를 설정하고, 데이터 배열 b에 입력한다.
- [0405] 선택 위치가 일치하는지의 여부의 판정은, 도 36에 도시한 바와 같이, 데이터 배열 a와 데이터 배열 b의 출력단에 AND 회로(81)를 배치해 두면 된다.
- [0406] 게이트 드라이버 회로(12a)의 클럭(CLK1)과 게이트 드라이버 회로(12b)의 클럭(CLK2)은 서로 다르다. 단, 서로 다른 것에만 한정되는 것은 아니다. 게이트 드라이버 회로(12a)의 클럭(CLK1)과 게이트 드라이버 회로(12b)의 클럭(CLK2)이 일치하고 있어도 된다. 따라서, 도 37에 도시한 바와 같이, 게이트 드라이버 회로(12a)가 시프트하는 기간과, 게이트 드라이버 회로(12b)가 시프트하는 기간이 서로 다르다. 도 37에서, 1개의 틀은, 게이트 드라이버 회로(12)가 1데이터 시프트하는 기간과 타이밍을 나타내고 있다.
- [0407] 도 37에 도시한 바와 같이, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)에서는, 예를 들면, a의 최초의 타이밍이 일치하고 있다고 한 경우, a, b, c, d, e 중, d의 기간의 최초의 타이밍 이외는, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)에서 최초의 타이밍은, 일치하지 않는다. 일치하지 않는 타이밍에서는, 게이트 드라이버 회로(12a)가 게이트 신호선(17a)을 선택하는 기간과, 게이트 드라이버 회로(12b)가 게이트 신호선(17b)을 선택하는 기간이 혼전하여, 화소(16)의 전위 상태가 급변한다. 이 과제에 대하여, 시프트 레지스터 회로(112a)가 데이터 시프트에서 변화하는 기간에서는, 전체 게이트 신호선(17a)의 출력을 오프 출력 상태로 제어하고 있다.
- [0408] 도 37에서의 OEV 신호의 로직 레벨에서 시프트 레지스터(112a)의 데이터 내용에 따라 게이트 신호선(17a)에 온 전압 또는 오프 전압이 출력된다. OEV가 L 레벨일 때에는, 게이트 신호선(17a)에 오프 전압이 출력된다. 즉, 게이트 신호선(17a)은 비선택으로 된다. OEV 신호가, H 레벨일 때는, 입력된 신호를 스루로 통과시킨다. 즉, OEV 신호가, H 레벨일 때, 입력 신호가 온 전압(VGL)의 경우에는, 온 전압(VGL)을 게이트 신호선(17)에 출력하고, 입력 신호가 오프 전압(VGH)의 경우에는, 오프 전압(VGH)을 게이트 신호선(17)에 출력한다. 도 37과 같이, 제1 게이트 신호선(17)을 선택하고 있는 상태로부터, 다음의 제2 게이트 신호선(17)을 선택하는 상태 변위시에, OEV 신호를 L로 하고, 게이트 신호선(17)을 비선택(오프 전압(VGH)을 인가)하는 것은, 정상은 영상 신호를 화소에 기입할 수 있게 되어, 유효하다. 또한, OEV 신호에 대해서는 뒤에도 상세하게 설명한다.
- [0409] 이상의 실시예에서는, 게이트 드라이버 회로(12a)가 선택 전압(온 전압)을 출력하는 게이트 신호선(17a)은 1개로 하였다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 도 38에 도시한 바와 같이, 게이트 드라이버 회로(12a)에 선택된 게이트 신호선(17a)이 2개(기입 화소행(41a, 41b))로 해도 된다.
- [0410] 이 경우에는, 도 39에 도시한 바와 같이, 게이트 드라이버 회로(12a)가 선택하는 위치(흰 동그라미 표시)는, 2

개소로 된다. 또한, 이 2개소가 게이트 드라이버 회로(12b)의 선택 위치와 일치한 개소의 처리를 행하기 위해서, 도 39의 게이트 신호선(17b)의 선택 상태에 도시한 바와 같이, A, B 위치에 보정량(보정 데이터)을 입력하는 데이터 위치를 확보하고 있다. 기타는, 도 32~도 34와 마찬가지로 설명을 생략한다.

[0411] 또한, 이상의 설명에서는, A, B 위치에 입력하는 보정 데이터의 내용(백 삼각 표시, 흑 삼각 표시)은, 전의 프레임에서, 게이트 신호선(17a)과 게이트 신호선(17b)의 선택 위치로부터 판정한다고 했지만, 실제로는, 화상 표시를 행하기 전에, 컨트롤러 회로에서 판정하고 있다. 그 때문에, 1프레임 지연해서 보정 데이터의 처리를 행하는 것은 아니다. 물론, 1프레임 혹은 복수 프레임의 기간, 지연해서 보정량의 보정 데이터 처리를 행해도 된다. 보정량은, 온도 보정을 실시하는 것이 바람직하다. 구동용 트랜지스터(11a)의 전압-전류(V-I) 특성이 온도 의존성을 갖고 있기 때문이다.

[0412] 본 발명에서는, 도 41에 도시한 바와 같이, 화소(16)의 구성과 동일 혹은 유사한 구성의 온도 검출 회로(화소)(411)를 어레이 기판에 형성하고 있다. 온도 검출 회로(411)는 온도 변화를 검출하는 구동용 트랜지스터(11)와 유지용 컨덴서(19)로 구성된다.

[0413] 온도 검출 회로(411)는, 복수개가 어레이 기판에 형성된다. 1개의 온도 검출 회로(411)만을 어레이 기판에 형성한 경우에는, 이 1개의 온도 검출 회로(411)에 결함이 있으면, 패널 모듈이 불량품으로 되기 때문이다. 도 41의 실시예와 같이, 복수개의 온도 검출 회로(411)를 형성해 두면, 적어도 1개의 온도 검출 회로(411)가 양품이면 패널 모듈이 정상적으로 동작할 수 있다. 복수개의 온도 검출 회로(411)로부터 1개의 온도 검출 회로(411)를 선택하는 것은, 셀렉터 회로(414)에 의해 행한다.

[0414] 각 온도 검출 회로(411)에는, 정전류 회로(413)가 접속되어 있다. 정전류 회로(413)는 소스 드라이버 회로(14) 내에 형성되어 있다. 정전류 회로(413)는, 소정의 정전류를 온도 검출 회로(411)에 흘린다.

[0415] 셀렉터 회로(414)는, 1개의 검출 배선(417)을 선택하고, 검출 배선(417)에 출력되어 있는 리세트 전압 V_a 를 AD 변환 회로(1413)에 출력한다. 또한, 셀렉터 회로(414)는 수직 동기 신호 VD 혹은 수평 동기 신호 HD의 타이밍에서 선택하는 온도 검출 회로(411)를 변화시켜도 되는 것은 물론이다. 이 경우에는, 복수의 온도 검출 회로(411)의 리세트 전압 V_a 를 평균화 처리한다.

[0416] AD 변환 회로(413)는 리세트 전압 V_a 를 디지털 데이터로 변환한다. 데이터 비교 회로(415)는, 변환된 디지털 데이터를 외부 기억 회로(예를 들면, EEPROM)(412)의 데이터와 비교한다. 외부 기억 회로(412)에는, 상온 혹은 소정 온도에서의 디지털 데이터가 기억되어 있다.

[0417] 상온 혹은 소정 온도에서의 디지털 데이터의 리세트 전압 V_a 와, 온도 검출 회로(411)에서 취득한 전압을 비교함으로써, 현 패널의 온도에 대응하는 전압 변동값이 구해진다. 이 전압 변동값을 이용하여, 온도 보정을 실시한다. 도 41에 예시한 회로 혹은 구성을 이용하여 듀티비, 점등율, 화소(16)에 인가하는 영상 신호의 크기 등도 가변하는 것이 바람직하다.

[0418] 또한, 이상의 실시예에서는, 보정량에 대하여 온도 보정을 행한다고 하였다. 그러나, 온도 보정은, 보정량뿐만 아니라, 본 발명의 구동 방식에도 적용하는 것이 바람직하다. 듀티비 구동 등에도 실시하는 것이 바람직하다.

[0419] 또한, 이상의 온도 보정에 관한 실시예, 구성은, 도 8~도 19, 도 42, 도 48의 (a), 도 48의 (b), 도 48의 (c), 도 55, 도 66, 도 67, 도 68, 도 69의 실시예에도 적용할 수 있는 것은 물론이고, 또한 조합할 수도 있는 것도 물론이다. 또한, 도 26~도 40의 보정량의 보정 방법에 관한 사항도 적용할 수 있으며, 또한 조합할 수 있는 것은 물론이다. 또한, 도 44~도 47의 (a), 도 47의 (b), 도 49~도 62의 구동 방식에도 적용할 수 있으며, 조합할 수 있는 것은 물론이다. 또한, 이상의 실시예를 도 63~도 65에 도시한 본 발명의 표시 기기에 적용할 수 있는 것은 물론이다.

[0420] 이상의 실시예에서는, 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택하는 경우에, 해당 화소행의 게이트 신호선(17b)에 강제적으로 오프 전압을 인가한다고 하였다. 그러나, 본 발명은 이에 한정되는 것은 아니다.

[0421] 도 44는 강제적으로 오프 전압을 인가하는 화소행에 인접한 화소행의 게이트 신호선(17b)에도 오프 전압(VGH)을 인가한 실시예이다. 도 45는, 도 44의 구동 방식을 설명하기 위한 타이밍차트이다.

[0422] 도 44, 도 45에 도시한 바와 같이, 게이트 신호선(17a)이 선택한 화소행에 인접한 화소행에서는, 게이트 신호선(17b)은 오프 전압(VGH)을 인가하고 있다. 따라서, 해당 화소행에서, 게이트 신호선(17b)은, 3H 기간(3화소행

을 선택하는 기간) 동안, 오프 전압(VGH)이 인가된다. 도 44에서는, 게이트 신호선(17a1)이 선택되었을 때, 게이트 신호선(17b0, 17b1, 17b2)에 오프 전압(VGH)이 인가되고 있다.

[0423] 도 44와 같이 구동하는 이유는, 도 37에서 설명한 바와 같이, 게이트 드라이버 회로(12a)의 동작 프레임 레이트가 게이트 드라이버 회로(12b)의 동작 프레임 레이트보다 낮은 경우에서, 불안정 시간을 없애기 위함이다. 인접한 3화소행 분의 게이트 신호선(17b)을 오프함으로써, 불안정 시간이 없어지기 때문이다. 또한, 게이트 신호선(17a)이 선택한 화소행에 인접한 화소행의 게이트 신호선(17b)에 오프 전압(VGH)을 인가함으로써, 영상 신호의 기입 상태를 안정시키기 위함이다.

[0424] 이상의 실시예에는, 표시 화면(22)의 상단 위치로부터 순차적으로, 화소행에 영상 신호를 기입하는 구동 방식이었다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 인터레이스 주사 구동(비월 주사 구동)이어도 된다. 도 46, 도 47의 (a), 도 47의 (b)는 인터레이스 주사 구동의 설명도이다. 인터레이스 주사 구동에 있어서도, 본 발명의 실시예를 적용할 수 있는 것은 물론이다. 특히, 도 44에서 설명한 구동 방식은, 인터레이스 주사 구동에서 용이하게 실현할 수 있다. 인터레이스 주사 구동에서는, 홀수 필드와 짝수 필드에서 기입하는 화소행이 홀수 화소행과 짝수 화소행으로 된다. 따라서, 인접한 화소행은 오프 상태로 하는 것이 용이하기 때문이다.

[0425] 도 46에서, 게이트 드라이버 회로(12a1)는, 홀수 화소행의 게이트 신호선(17a1)을 선택하는 게이트 드라이버 회로이다. 게이트 드라이버 회로(12a2)는, 짝수 화소행의 게이트 신호선(17a2)을 선택하는 게이트 드라이버 회로이다. 마찬가지로 게이트 드라이버 회로(12b1)는, 홀수 화소행의 게이트 신호선(17b1)을 선택하는 게이트 드라이버 회로이다. 게이트 드라이버 회로(12b2)는, 짝수 화소행의 게이트 신호선(17b2)을 선택하는 게이트 드라이버 회로이다.

[0426] 도 47의 (a)는, 홀수 화소행을 선택하여, 영상 신호 데이터를 기입하는 제1 필드라고 하고, 도 47의 (b)는, 짝수 화소행을 선택하여, 영상 신호 데이터를 기입하는 제2 필드라고 한다.

[0427] 도 47의 (a)에 도시한 바와 같이, 제1 필드에서는, 홀수 화소행에 영상 신호 데이터가 기입된다. 게이트 드라이버 회로(12a1)는, 홀수 화소행의 게이트 신호선(17a1)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터의 영상 신호를 화소행에 기입한다. 이 필드에서는, 게이트 드라이버 회로(12a2)는 동작하지 않고, 게이트 신호선(17a2)에는 항상 오프 전압(VGH)이 인가되어 있다. 또한, 게이트 드라이버 회로(12b1)는 동작하지 않고, 게이트 신호선(17b1)에는 항상 오프 전압(VGH)이 인가되어 있다. 또한, 게이트 드라이버 회로(12b2)는 점등 제어 신호에 의해, 지정된 듀티비로 EL 소자(15)를 점등시킨다.

[0428] 도 47의 (b)의 제2 필드에서는, 짝수 화소행에 영상 신호 데이터가 기입된다. 게이트 드라이버 회로(12a2)는, 짝수 화소행의 게이트 신호선(17a2)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터의 영상 신호를 화소행에 기입한다. 이 필드에서는, 게이트 드라이버 회로(12a1)는 동작하지 않고, 게이트 신호선(17a1)에는 항상 오프 전압(VGH)이 인가되어 있다. 또한, 게이트 드라이버 회로(12b2)는 동작하지 않고, 게이트 신호선(17b2)에는 항상 오프 전압(VGH)이 인가되어 있다. 또한, 게이트 드라이버 회로(12b1)는 점등 제어 신호에 의해, 지정된 듀티비로 EL 소자(15)를 점등시킨다. 이상과 같이 인터레이스 주사 구동 방식에서도 본 발명을 실시할 수 있다. 또한, 제1 필드의 동작 프레임 레이트와, 제2 필드의 동작 프레임 레이트는, 서로 다르게 해도 된다.

[0429] 이상의 실시예에는, 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 서로 다른 경우에서, 화소(16)의 게이트 신호선(17a)과 게이트 신호선(17b)에 동시에 온 전압(VGL)이 인가되는 일이 없도록 구동하는 방식이었다. 또한, 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 프레임마다 서로 다르게 해도 된다.

[0430] 도 48의 (a), 도 48의 (b), 도 48의 (c)는, 본 발명의 다른 실시예의 설명도이다. 도 48의 (a), 도 48의 (b), 도 48의 (c)는, 표시 화면(22)에 화상을 기입하는 방법을 설명하고 있다. 즉, 게이트 드라이버 회로(12a)와 게이트 신호선(17a)의 동작이 중심이다. 도 48의 (a)가 종래의 화상을 기입하는 방법이다. 60코마/초(60프레임/초=60프레임 레이트)로 전송되어 온 화상을, 60코마/초로 표시한다(화상을 재기입한다). 화상은, 화상 1, 화상 2, 화상 3, 화상 4, 화상 5, 화상 6 ...으로 재기입된다. 게이트 드라이버 회로(12b) 및 게이트 신호선(17b)의 제어 등은, 본 발명의 구동 방식을 적용한다.

[0431] 도 48의 (b)는 본 발명의 실시예이다. 화상은, 30코마/초로 전송되어 온다. 단, 동작 프레임 레이트는 60코마/초이다. 즉, 1/60초의 기간에, 그래픽 컨트롤러(도시 생략)로부터 1화면이 전송되고, 다음의 1/60초의

기간은, 그래픽 컨트롤러(도시 생략)로부터는 화상이 전송되어 오지 않는다. 즉, 화상 전송, 화상 전송 없음, 화상 전송, 화상 전송 없음 ...이 반복되고 있다.

- [0432] 도 48의 (b)의 화상 전송에서는, 본 발명은, 1/60초의 기간으로 화상 1을 재기입한다. 이 때는, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터 출력되는 화상 1을 순차적으로 화소에 기입한다. 다음의 1/60초의 기간으로 화상 1은 유지된다. 이 때는, 게이트 드라이버 회로(12a)는 동작을 정지한다. 게이트 드라이버 회로(12b) 및 게이트 신호선(17b)의 제어 등은, 본 발명의 구동 방식을 적용한다.
- [0433] 게이트 드라이버 회로(12a)에 의한 화상 기입을 간헐적으로 할 수 있는 것은, 본 발명의 EL 표시 장치에 있어서, 화상 데이터가 아날로그 전압으로서 화소(16)의 컨덴서(19)에 유지되어 있기 때문이다. 게이트 드라이버 회로(12a)가 간헐적으로 화상 기입을 행하고 있는데도, 플리커가 발생하지 않는 것은, 게이트 드라이버 회로(12b)가 동작 프레임 레이트 60Hz 이상에서 동작하고 있기 때문이다. 즉, 본 발명의 구동 방식에 의해 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)가 서로 다른 동작 프레임 레이트로 구동할 수 있기 때문이다. 이상과 같이, 본 발명은 도 48의 (b)의 구동 방식에 있어서 특징있는 효과를 발휘한다.
- [0434] 이하, 다음의 1/60초의 기간으로 화상 3을 재기입한다. 이 때는, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터 출력되는 화상 3을 순차적으로 화소에 기입한다. 다음의 1/60초의 기간으로 화상 3은 유지된다. 이 때는, 게이트 드라이버 회로(12a)는 동작을 정지한다. 이하 마찬가지로, 다음의 1/60초의 기간으로 화상 5를 재기입한다. 이 때는, 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터 출력되는 화상 5를 순차적으로 화소에 기입한다. 다음의 1/60초의 기간으로 화상 5는 유지된다. 이 때는, 게이트 드라이버 회로(12a)는 동작을 정지한다. 이상과 같이, 구함으로써, 그래픽 컨트롤러의 동작 시간을 간헐적으로 할 수 있다. 따라서, EL 표시 장치의 저소비 전력화를 기대할 수 있다.
- [0435] 도 48의 (b)의 실시예에서도, 게이트 드라이버 회로(12b) 및 게이트 신호선(17b)의 제어 등은, 본 발명의 구동 방식을 적용한다. 도 48의 (b)도 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 서로 다르다. 따라서, 도 48의 (b)는, 본 발명의 구동 방식을 실시한 것이다.
- [0436] 도 48의 (c)는, 화상의 도중에서 화상 기입을 정지하는 방식이다. 화상의 전송 프레임 레이트는 불문한다. 도 48의 (c)의 c1에서는, 점선까지, 그래픽 컨트롤러(도시 생략)로부터 전송되어 온 화상을 기입한다. 이 화상의 기입에는, 게이트 드라이버 회로(12a)가 동작한다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터 출력되는 화상을 순차적으로 화소에 기입한다. 점선까지 기입한 시점에서, 일단 화상의 기입은 정지한다. 점선에서 정지하는지의 여부는 설명의 문제이며, 점선 위치에서 정지하는 것에 의미가 있는 것은 아니다. 게이트 드라이버 회로(12b) 및 게이트 신호선(17b)의 제어 등은, 본 발명의 구동 방식을 적용한다.
- [0437] 다음으로, 도 48의 (c)의 c2에서는, 다시, 그래픽 컨트롤러(도시 생략)로부터 전송되어 온 화상을 점선의 개시 위치(=도 48의 (c)의 c1의 정지 위치)로부터 기입을 개시한다. 이 화상의 기입에는, 게이트 드라이버 회로(12a)가 동작한다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터 출력되는 화상을 순차적으로 화소에 기입한다. 화상은, 표시 화면(22)의 아래변까지 기입하면, 그래픽 컨트롤러로부터의 화상 전송은 정지하고, 화상의 기입은 정지한다.
- [0438] 다음으로, 도 48의 (c)의 c3에서는, 다시, 그래픽 컨트롤러(도시 생략)로부터 전송되어 온 화상을 점선의 화면의 윗변 위치로부터 기입을 개시한다. 이 화상의 기입에는, 게이트 드라이버 회로(12a)가 동작한다. 게이트 드라이버 회로(12a)는 게이트 신호선(17a)을 순차적으로 선택함과 함께, 소스 드라이버 회로(14)로부터 출력되는 화상을 순차적으로 화소에 기입한다. 이상과 같이, 구동함으로써, 그래픽 컨트롤러의 동작 시간을 간헐적으로 할 수 있다. 따라서, 저소비 전력화를 기대할 수 있다.
- [0439] 도 48의 (c)도 게이트 드라이버 회로(12a)의 동작 프레임 레이트와, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가 서로 다르다. 따라서, 본 발명의 구동 방식을 실시한 것이다.
- [0440] 게이트 드라이버 회로(12a)가 간헐적으로 화상 기입을 행하고 있는데도, 플리커가 발생하지 않는 것은, 게이트 드라이버 회로(12b)의 동작 프레임 레이트가, 플리커가 보이지 않는 동작 속도로 동작하고 있기 때문이다. 즉, 본 발명의 구동 방식에 의해 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)가 서로 다른 동작 프레임

레이트로 구동할 수 있기 때문이다. 이상과 같이, 본 발명은 도 48의 (c)의 구동 방식에 있어서도 특징있는 효과를 발휘한다.

- [0441] 이상의 도 48의 (a), 도 48의 (b), 도 48의 (c)에서 설명한 사항은, 도 8~도 19, 도 42, 도 55, 도 66, 도 67, 도 68, 도 69의 실시예에도 적용할 수 있는 것은 물론이고, 또한 조합해서 실시예를 구성할 수 있는 것도 물론이다. 예를 들면, AND 회로(81)의 도입, 시프트 레지스터 회로(111a), 시프트 레지스터 회로(111b)의 도입, 전압 레벨 시프트 회로(112)의 도입, 온 전압(VGL1, VGL2)의 설정, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 동작 프레임 레이트의 차이화 등이 예시된다.
- [0442] 도 48의 (a), 도 48의 (b), 도 48의 (c)의 본 발명에, 도 26~도 40의 보정량의 보정 방법에 관한 사항도 적용할 수 있으며, 또한 조합해서 실시예를 구성할 수 있는 것은 물론이다. 또한, 도 41의 온도 보정의 구성과 방법도 도 48의 (a), 도 48의 (b), 도 48의 (c)의 본 발명에 적용할 수 있다. 또한, 조합할 수 있는 것은 물론이다.
- [0443] 도 44~도 47의 (a), 도 47의 (b), 도 49~도 62, 도 66, 도 67, 도 68, 도 69의 구동 방식도, 도 48의 (a), 도 48의 (b), 도 48의 (c)의 실시예를 적용할 수 있다. 조합하는 것도 용이하다. 또한, 화소 구성도 도 1, 도 20~25 등의 어느 화소 구성도 도 48의 (a), 도 48의 (b), 도 48의 (c)의 실시예에는 적용할 수 있다. 또한, 이상의 실시예를 도 63~도 65에 도시한 본 발명의 표시 기기에 적용할 수 있는 것은 물론이다.
- [0444] 본 발명의 구동 방식의 주지의 하나는, 게이트 드라이버 회로(12a)가 행하는 표시 화면(22)에 영상 신호를 기입하는 주기와, 게이트 드라이버 회로(12b)에 의한 EL 소자(15)를 점등 제어하는 주기를 서로 다르게 한 것이다. 이상은, 도 8~도 15, 도 42, 도 48의 (a), 도 48의 (b), 도 48의 (c), 도 55, 도 66, 도 67, 도 68, 도 69의 실시예에 의하지 않더라도 실현할 수 있다. 이하, 그 실시예에 대하여 기재한다.
- [0445] 이하에, 본 발명의 변경예를 설명한다. 이하의 변경예는, 게이트 드라이버 회로(12b)의 동작을 주로 하는 것이다. 이하의 변경예와, 이전에 설명한 본 발명의 실시예를 조합함으로써, 보다 고화질화를 실현할 수 있다.
- [0446] 도 49의 실시예는, 점등, 비점등 제어를 1수평 주사 기간 이내에 실시할 수 있는 실시예이다. 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a)는, 수평 주사 기간 신호(수평 동기 신호)에 동기하여 데이터 위치를 시프트한다.
- [0447] 게이트 신호선(17b)을 선택하는 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)는, 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a)의 4배의 단수를 갖고 있다. 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)는, 시프트 레지스터 회로(111a)의 4배의 동작 클럭(CLK4)에서 데이터를 시프트한다. 즉, 시프트 레지스터 회로(111a)가 1데이터 시프트하는 기간에, 시프트 레지스터 회로(111b)는, 4데이터를 시프트한다. 이상의 구성에 의해, 게이트 드라이버 회로(12b)는, 1수평 주사 기간의 1/4단위로 화소행의 점등, 비점등 제어를 실현할 수 있다.
- [0448] 도 50의 (a), 도 50의 (b), 도 50의 (c), 도 50의 (d)는, 시프트 레지스터 회로(111b)의 단수와, 게이트 신호선(17b)이 접속된 위치를 나타낸 것이다. 시프트 레지스터 회로(111b)의 출력은 4단마다 게이트 신호선(17b)의 로직 출력으로서 출력된다.
- [0449] 인접한 시프트 레지스터 회로(111b)의 단수를 저감하기 위해서, 또한 각 단의 데이터의 변화를 완화하기 위해서는, 도 51과 같이 구성하면 된다.
- [0450] 도 51에서, ×는 게이트 신호선(17)을 비선택(오프 전압을 출력함)으로 하는 데이터인 것을, ○는 게이트 신호선(17)을 선택(온 전압을 출력함)으로 하는 데이터인 것을 나타내고 있다. 또한, AND 회로(81)의 출력에는 레벨 변환 회로가 구성되지만 설명을 용이하게 하기 위해서 생략하고 있다.
- [0451] 시프트 레지스터 회로(111b)의 인접한 각 단의 데이터 출력은, AND 회로(81)에서 AND한다. 또한, 수직 방향의 아웃풋 인에이블(OEV) 단자에 의해, 게이트 신호선(17b)의 선택을 강제적으로 비선택으로 하도록 구성되어 있다.
- [0452] 이상의 구성에 의해 시프트 레지스터 회로(111b)의 인접한 단의 두 개가, 선택 "○"일 때, 해당의 게이트 신호선(17b)으로부터 선택 전압(VGL)이 출력된다.
- [0453] 도 52는, 시프트 레지스터 회로(111b)의 인접한 2개의 단수의 데이터가 선택일 때에, 또한 2개의 단수가 독립해서 로직 제어할 수 있도록 구성한 실시예이다. 인접한 단의 2개가, 선택 "○"일 때, 해당의 게이트 신호선

(17b)으로부터 선택 전압(VGL)이 출력된다.

- [0454] 이상의 실시예는, 시프트 레지스터 회로(111b)의 출력에 AND 회로(81)를 형성한 실시예이었다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 도 53에 도시한 바와 같이, OR 회로(531)를 형성해도 된다.
- [0455] 또한, 시프트 레지스터 회로를 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b)의 2단으로 구성하고, 또한 OEV 단자를 형성하고, 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b)와 OEV 단자의 로직을 AND함으로써, 게이트 신호선(17b)의 선택, 비선택을 유연하게 실시할 수 있다. 이 로직 신호의 조합예를 도 54에 도시한다.
- [0456] 이상과 같이, 도 49 등의 본 발명의 구성은, 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)의 단수를, 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a)의 단수의 m배(m 은 2이상의 정수)로 하고, 또한 게이트 드라이버 회로(12b)의 시프트 레지스터 회로(111b)의 동작 클럭을, 게이트 드라이버 회로(12a)의 시프트 레지스터 회로(111a)의 동작 클럭의 m배(m 은 2이상의 정수)로 함으로써, 1수평 주사 기간 이하의 점등 제어를 실시할 수 있도록 구성한 것, 혹은 방식이다. 이 구성에 의해, 휘도 제어를 플리커리스로 스무스하게 행할 수 있다.
- [0457] 도 4 등에서 설명한 바와 같이, 본 발명은, 주로 표시 영역(46) 또는 비표시 영역(45)을 띠 형상으로 하고, 표시 화면(22)을 상하 또는 반대로 이동시킨 표시를 하는 방식이었다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 도 56의 (a), 도 56의 (b)에 도시한 바와 같이, 표시 화면(22)을 상하로 분할하고, 화상 표시를 행해도 된다.
- [0458] 도 56의 (a)는, 1프레임의 전반의 (1/2)프레임의 표시 상태이다. 도 56의 (b)는, 1프레임의 후반의 (1/2)프레임의 표시 상태이다. 1프레임의 전반에서는, 표시 화면(22) 위의 절반은 비표시 영역(45)(해당 영역의 게이트 신호선(17b)에 선택 전압(VGL)이 인가되어 있지 않음)으로 되어 있다. 위의 절반의 영역에서는, 게이트 드라이버 회로(12a)에 의해 게이트 신호선(17a)에 선택 전압이 순차적으로 인가되어 있다.
- [0459] 도 56의 (b)는, 1프레임의 후반의 (1/2)프레임의 표시 상태이다. 1 프레임의 후반에서는, 표시 화면(22) 아래 절반은 비표시 영역(45)(해당 영역의 게이트 신호선(17b)에 선택 전압(VGL)이 인가되어 있지 않음)으로 되어 있다. 아래 절반의 영역에서는, 게이트 드라이버 회로(12a)에 의해 게이트 신호선(17a)에 선택 전압이 순차적으로 인가되어 있다.
- [0460] 이해를 용이하게 하기 위해서, 구체적 수치를 기재하여 설명한다. 화소행을 240이라고 한다. 따라서, 위의 절반의 영역은, 1화소행째부터 120화소행째가 해당한다. 아래 절반의 영역은, 121화소행째부터 240화소행째가 해당한다. 게이트 드라이버 회로(12a)는, 게이트 신호선(17a)을 순차적으로 선택하고, 1프레임 기간에서, 1화소행째부터 240화소행째를 순차적으로 선택하고, 소스 드라이버 회로(14)의 프로그램 전류(전압)를 순차적으로 화소(16)에 인가한다.
- [0461] 게이트 드라이버 회로(12b)에는, 도 58에 도시한 바와 같이, 표시 화면(22) 위의 절반을 구동하는 게이트 드라이버 회로(12b1)와 표시 화면(22) 아래의 절반을 구동하는 게이트 드라이버 회로(12b2)가 구성되어 있다. 게이트 드라이버 회로(12b1), 게이트 드라이버 회로(12b2)는, 각각 내부에 시프트 레지스터 회로(31)를 갖고, 데이터를 시프트함으로써, 임의의 게이트 신호선(17b)의 온 전압 또는 오프 전압을 인가할 수 있다. 그러나, 도 56의 (a), 도 56의 (b)의 실시예에서는, OEV 단자 제어를 행한다.
- [0462] OEV1 단자는, 단자에 로직 레벨의 L을 입력함으로써, 게이트 드라이버 회로(12b1)의 전체 게이트 신호선(17b)에 오프 전압이 출력된다. 따라서, 표시 화면(22) 위의 절반이 비표시 영역(45)으로 된다. 또한, OEV1 단자에 로직 레벨의 H를 입력함으로써, 게이트 드라이버 회로(12b1)의 전체 게이트 신호선(17b)에 온 전압이 출력된다. 따라서, 표시 화면(22) 위의 절반이 표시 영역(46)으로 된다.
- [0463] OEV2 단자는, 단자에 로직 레벨의 L을 입력함으로써, 게이트 드라이버 회로(12b2)의 전체 게이트 신호선(17b)에 오프 전압이 출력된다. 따라서, 표시 화면(22) 아래 절반이 비표시 영역(45)으로 된다(도 56의 (b)). 또한, OEV2 단자에 로직 레벨의 H를 입력함으로써, 게이트 드라이버 회로(12b2)의 전체 게이트 신호선(17b)에 온 전압이 출력된다. 따라서, 표시 화면(22) 아래 절반이 표시 영역(46)으로 된다(도 56의 (a)).
- [0464] 게이트 드라이버 회로(12a)가, 표시 화면(22)의 1화소행째부터 120화소행째를 재기입하고 있는 기간은, 도 56의 (a)의 상태로 제어된다. 즉, OEV1 단자에 L 로직 신호가 인가되고, 게이트 드라이버 회로(12b1)가 담당하는 게이트 신호선(17b)에는 오프 전압이 인가된다. 또한, OEV2 단자에 H 로직 신호가 인가되고, 게이트 드라이버 회

로(12b2)가 담당하는 게이트 신호선(17b)에는 온 전압이 인가된다.

- [0465] 게이트 드라이버 회로(12a)가, 표시 화면(22)의 121화소행째부터 240화소행째를 재기입하고 있는 기간은, 도 56의 (b)의 상태로 제어된다. 즉, OEV1 단자에 H 로직 신호가 인가되고, 게이트 드라이버 회로(12b1)가 담당하는 게이트 신호선(17b)에는 온 전압이 인가된다. 또한, OEV2 단자에 L 로직 신호가 인가되고, 게이트 드라이버 회로(12b2)가 담당하는 게이트 신호선(17b)에는 오프 전압이 인가된다.
- [0466] 도 57의 (a), 도 57의 (b), 도 57의 (c), 도 57의 (d)는, 2프레임 기간의 화상 표시 상태를 도시하고 있다. 표시 화면(22) 위의 절반과 아래 절반이 교대로 표시된다. 이상과 같이 표시 제어함으로써, 동화상 시인성이 대폭 향상한다. 또한, 게이트 드라이버 회로(12b)에 시프트 레지스터 회로(31)를 형성할 필요가 없어, 회로 구성을 간략화할 수 있다. 또한, 표시 패널의 협액연화가 가능하다.
- [0467] 이상의 실시예는, 표시 화면(22)을 상하로 2분할로 하는 구성이었다. 그러나, 본 발명은 이에 한정되는 것은 아니고, 예를 들면, 도 59의 (a), 도 59의 (b)에 도시한 바와 같이, 화면을 4분할해도 된다. 이 실시예의 경우에는, 게이트 드라이버 회로(12b)를 게이트 드라이버 회로(12b1), 게이트 드라이버 회로(12b2), 게이트 드라이버 회로(12b3), 게이트 드라이버 회로(12b4)에 구성하고, 각 게이트 드라이버 회로(12b)에 OEV 단자(OEV1, OEV2, OEV3, OEV4)를 배치하면 된다. 게이트 드라이버 회로(12a)의 동작은 도 58과 마찬가지로 화면의 상방으로부터 하방을 향해서 순차적으로 주사한다.
- [0468] 이상과 같이, 본 발명은, 1프레임 기간을 복수의 시간으로 분할하고, 또한 표시 영역을 복수로 분할해서 표시 영역(46), 비표시 영역(45)의 제어를 실시하는 것이다.
- [0469] 또한, 본 발명은, 도 56의 (a), 도 56의 (b) 등의 표시 화면(22)을 분할하는 방식에 한정되는 것은 아니다. 예를 들면, 도 60에 도시한 바와 같이, 실시해도 된다. 도 60은 1프레임 기간의 구동 방식의 설명이다.
- [0470] 도 60에서, 도 60의 a1, a2, a3, a4는, 게이트 드라이버 회로(12a)에 의한 화상의 기입 위치(화살표로 나타내고 있음)를 나타내고 있다. 게이트 드라이버 회로(12a)는, 도 56의 (a), 도 56의 (b) 등과 마찬가지로 화면의 1화소행째부터 240화소행째에 순차적으로 게이트 신호선(17a)을 선택하고, 소스 드라이버 회로(14)로부터의 영상 신호를 화소행에 기입한다.
- [0471] 도 60의 b1, b2, b3, b4는, 게이트 드라이버 회로(12b)에 의한 표시 영역(46), 비표시 영역(45)의 제어 상태를 나타내고 있다. 게이트 드라이버 회로(12b)는, 표시 화면(22) 전체를 OEV 단자의 제어에 의해, 점등 혹은 비점등 상태로 제어한다.
- [0472] 게이트 드라이버 회로(12a)의 화상 기입은, (1/2)프레임 기간으로 완료한다. 즉, 배속 기입을 행한다. 그 기간은, 게이트 드라이버 회로(12b)의 OEV 단자에는, L 로직이 인가되고, 모든 게이트 신호선(17b)에는 오프 전압(비선택 전압)이 인가된다. 1프레임의 후반의 1/2프레임 기간에서는, 게이트 드라이버 회로(12a)의 기입 동작은 정지한다. 이 기간은, 게이트 드라이버 회로(12b)의 OEV 단자에는 H 로직 신호가 인가되고, 모든 게이트 신호선(17b)에는 온 전압이 인가된다. 따라서, 1프레임의 (1/2)프레임 기간에서는 표시 화면(22)은 비점등 상태(비표시)이며, 후반의 (1/2)프레임 기간에서는 표시 화면(22)은 점등 상태(표시)이다. 또한, 화상의 표시 시간, 비표시 기간은, (1/2)프레임에 한정되는 것은 아니다. 게이트 드라이버 회로(12a)의 기입 클럭, 게이트 드라이버 회로(12b)의 OEV 단자의 제어에 의해 자유롭게 설정 혹은 조절할 수 있다.
- [0473] 도 56의 (a), 도 56의 (b)의 실시예는, 표시 화면(22)을 2분할한 실시예이었다. 또한, 도 59의 (a), 도 59의 (b)는 화면을 4분할하고, 그 중, 복수의 영역을 표시 영역(46)으로 하는 실시예이었다. 또한, 도 59의 (a), 도 59의 (b)는, 표시 화면(22)의 화상을 재기입하고 나서 표시 화면(22)을 표시 상태로 하는 실시예이었다. 본 발명은, 이상의 실시예에 한정되는 것은 아니고, 많은 변형예가 고려된다.
- [0474] 도 61의 (a), 도 61의 (b), 도 61의 (c), 도 61의 (d)는, 표시 화면(22)을 3이상의 복수(실시예에서는 4) 분할하는 실시예이다. 또한, 화상을 재기입하고 있는 영역만을 비표시 영역(45)으로 하는 것이다.
- [0475] 도 61의 (a), 도 61의 (b), 도 61의 (c), 도 61의 (d)에서, 화상을 재기입하고 있는 화소행(기입 위치라고 도시하고 있음)을 포함하는 영역을 비표시 영역(45)으로 하고 있다. 다른 영역은 표시 영역(46)(화상 표시 상태의 영역)과 제어하고 있다. 기입 위치는, 표시 화면(22)의 위로부터 아래 방향으로 순차적으로 재기입된다. 기입 위치의 이동에 따라, 기입 위치를 포함하는 영역은 비표시 영역(45)에 제어된다.
- [0476] 비표시 영역(45)과 표시 영역(46)의 전환은, 게이트 드라이버 회로(12b)에 입력하는 스타트 펄스(ST 신호)의 제어에 의해 행해도 되지만, 도 61의 (a), 도 61의 (b), 도 61의 (c), 도 61의 (d)에 도시한 바와 같이 OEV 단자

에 의한 제어로 행해도 된다. 게이트 드라이버 회로(12b)의 OEV 단자에, L 로직을 입력함으로써 해당 영역은 비표시 영역(45)으로 된다. OEV 단자에, H 로직 신호를 입력함으로써 해당 영역이 표시 영역(46)으로 된다.

[0477] 도 62에 도시한 바와 같이, EL 소자(15)에 흘리는 전류를 온 오프 제어하는 게이트 신호선(17b)을 직접 제어하는 방법도 예시된다. 도 62에서는, 표시 화면(22)을 복수의 블록으로 분할하고, 각 블록의 게이트 신호선(17b)을 선택 신호선(621)으로 공통으로 하고 있다. 게이트 드라이버 회로(12a)는, 각 블록(분할된 표시 화면(22))에서 공통이다. 즉, 게이트 신호선(17a)은, 1화소행 또는 인접한 복수의 화소행이 순차적으로 선택된다.

[0478] 선택 신호선(621a)은 제1 블록의 게이트 신호선(17b)과 접속되어 있다. 선택 신호선(621b)은 제1 블록의 게이트 신호선(17b)과 접속되어 있다. 선택 신호선(621a)에 오프 전압 VGH를 인가함으로써, 제1 블록은 비표시 영역(45)으로 된다. 선택 신호선(621a)에 온 전압 VGL을 인가함으로써, 제1 블록은 표시 영역(46)으로 된다. 선택 신호선(621b)에 오프 전압 VGH를 인가함으로써, 제1 블록은 비표시 영역(45)으로 된다. 선택 신호선(621b)에 온 전압 VGL을 인가함으로써, 제1 블록은 표시 영역(46)으로 된다. 이상과 같이, 선택 신호선(621)에 온 전압 또는 오프 전압을 인가함으로써, 도 57의 (a), 도 57의 (b), 도 57의 (c), 도 57의 (d)나, 도 59의 (a), 도 59의 (b)나, 도 60이나, 도 61의 (a)나, 도 61의 (b), 도 61의 (c), 도 61의 (d)와 같이, 표시 화면(22)을 블록마다 표시, 비표시 제어를 용이하게 실현할 수 있다.

[0479] 또한, 이상의 실시예는, 블록 내의 인접한 게이트 신호선(17b)을 선택 신호선(621)으로 전기적으로 공통으로 한다고 했지만, 본 발명은 이에 한정되는 것은 아니다. 예를 들면, 인접한 화소행의 게이트 신호선(17b)을, 서로 다른 선택 신호선(621)과 전기적으로 접속해도 된다. 이상과 같이 표시 화면(22)의 표시를 제어함으로써 동화상 시인성이 향상하고, CRT와 동등한 화상 표시를 실현할 수 있다.

[0480] 이상의 실시예는, 본 명세서의 다른 실시예와 조합할 수 있는 것은 물론이다. 또한, 본 실시예를 본 발명의 장치 등에 적용할 수 있는 것도 물론이다.

[0481] 예를 들면, 도 55에 도시한 바와 같이, 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 동작 주파수 혹은 선택 주파수를 서로 다르게 해도 된다. 도 55의 실시예에서는, 게이트 드라이버 회로(12a)를 60Hz 주기로 동작시키고, 게이트 드라이버 회로(12b)를 1.25배인 75Hz 주기로 동작시킨 실시예이다.

[0482] 도 55는, 표시 화면(22)의 좌우에 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)를 배치한 구성이었다. 도 11은, 표시 화면(22)의 우측에 게이트 드라이버 회로(12)를 배치한 구성이었다.

[0483] 도 66은, 표시 화면(22)의 좌측에 게이트 드라이버 회로(12)를 배치한 구성이다. 전압 레벨 시프트 회로(112a와 112b)는 공통의 VGH 전압으로 하고 있다. 전압 레벨 시프트 회로(112a)의 온 전압(VGL1)은, 게이트 신호선(17a)의 온 전압에 적합시키고 있다. 전압 레벨 시프트 회로(112b)의 온 전압(VGL2)은, 게이트 신호선(17b)의 온 전압에 적합시키고 있다.

[0484] 시프트 레지스터 회로(111b)의 출력은, AND 회로(81)의 입력으로 됨과 함께, 전압 레벨 시프트 회로(112b)의 입력으로 된다. 전압 레벨 시프트 회로(112b)는, 게이트 신호선(17b)을 구동하고, 스위치용 트랜지스터(11d)를 온 오프 제어한다.

[0485] 시프트 레지스터 회로(111a)의 출력과 시프트 레지스터 회로(111b)의 출력은 AND 회로(81)의 입력으로 된다. AND 회로(81) 및 전압 레벨 시프트 회로(112a)는, 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b)가 모두 선택일 때(동일한 화소행을 선택할 때), 게이트 신호선(17a)에 오프 전압(VGH)을 출력한다. 게이트 신호선(17a)은 오프 전압(VGH)의 인가에 의해, 스위치용 트랜지스터(11b, 11c)를 오프시키고, 해당 화소행은 비선택 상태로 된다. 다른 구성은, 도 55와 동일 혹은 유사하므로 설명을 생략한다.

[0486] 또한, 이상의 실시예에서도 화소 구성은, 도 1, 도 20~도 25 등 어느 화소 구성이어도 되는 것은 물론이다. 이상의 사항은 본 발명의 다른 실시예에도 마찬가지이다.

[0487] 이상의 실시예는, 게이트 드라이버 회로(12)가 시프트 레지스터 회로(111)를 갖는 구성이었다. 그러나, 본 발명은, 영상 신호를 기입하는 화소행을 선택하는 부분과, EL 소자를 점등시키는 화소행을 선택(지정)하는 부분을 갖으면 된다. 따라서, 게이트 드라이버 회로(12)는 반드시 필요한 구성 요소는 아니다. 또한, 게이트 드라이버 회로(12)에 시프트 레지스터 회로(111)를 갖지 않아도 화소행의 선택(지정)은 가능하다.

[0488] 도 67은, 게이트 드라이버 회로(12) 내에 디코드 회로(671)를 구비하는 구성이다. 디코드 회로(671)의 입력 신호는, GSDAT이다. GSDAT는 8비트이며, 게이트 신호선(17a)의 240개를 지정할 수 있다. GADAT이 0일 때에는,

1번째 게이트 신호선(17a)을 지정한다(선택한다). GADAT가 1일 때에는, 2번째 게이트 신호선(17a)을 지정한다(선택한다). 마찬가지로, GADAT가 2일 때에는, 3번째 게이트 신호선(17a)을 지정한다(선택한다). ...GADAT가 239일 때에는, 240번째 게이트 신호선(17a)을 지정한다(선택한다). 게이트 신호선(17a)의 전압은 전압 레벨 시프트 회로(112a)에 의해, 레벨 시프트된다. 또한, 게이트 신호선(17a)이, 240개 있는 것으로 하여 설명하고 있다. GSDAT가 0일 때는, 모든 게이트 신호선(17a)에는 비선택 상태가 인가된다(오프 전압(VGH)이 인가된다). 모든 게이트 신호선(17a)을 비선택으로 하기 위해서는, OEV 신호를 항상, L 레벨로 해도 된다.

[0489] 도 67의 구성은, 도 55의 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b2) 및 AND 회로(81)를 디코더 회로(671)로 치환한 구성이다. 도 55의 구성에서는, 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b2)의 출력으로부터, 선택하는 화소행이 일치하고 있지 않은지를 판단할 필요가 있었다.

[0490] 소스 드라이버 회로(14)는, 스타트 펄스 신호(ST2)를 발생하고 있다. 소스 드라이버 회로(14)는, 선택하는 게이트 신호선(17b)의 위치(화소행 위치)를 파악하고 있다. 또한, 시프트 레지스터 회로(111b)의 데이터 위치도 파악하고 있다. 소스 드라이버 회로(14)는, 게이트 드라이버 회로(12a)가 선택하는 화소행 위치도 파악하고 있다. 선택하는 화소행 위치는, 디코드되는 데이터 GSDAT가 나타나 있다. 따라서, 선택하는 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택할 때, GSDAT를 0로 하여, 해당 화소행을 비선택으로 한다. 혹은, OEV 신호를 L 레벨로 하여, 모든 게이트 신호선(17a)을 선택하지 않도록 제어한다. 이상과 같이 구성함으로써, 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b2) 및 AND 회로(81)가 없어도, 특정한 화소행을 비선택 상태로 하고, 영상 신호를 해당 화소행에 기입하지 않도록 제어할 수 있다(게이트 신호선(17b)에 온 전압이 인가되고, EL 소자(15)에 전류가 공급되어 있는 화소행에, 영상 신호를 기입하지 않도록 제어할 수 있다). 다른 사항은, 도 55, 도 66 등과 마찬가지로 또는 유사하므로 설명을 생략한다.

[0491] 또한, 도 67에서, 시프트 레지스터 회로(111b)도 디코드 회로로 치환해도 되는 것은 물론이다.

[0492] 도 67은 디코더 회로(671)에서, 게이트 신호선(17a) 또는 게이트 신호선(17b)을 선택하는 방식이었다. 도 68은 필요한 게이트 신호선(17)을 소스 드라이버 회로(14)로부터 배선한 구성이다.

[0493] 도 68에서, 소스 드라이버 회로(14)로부터 240개의 게이트 신호선(17a)이 출력되고 있다. 상기 각 게이트 신호선(17a)에는, 폴리실리콘 기술에 의해, 기판에 직접 전압 레벨 시프트 회로(112a)가 형성되어 있다. 소스 드라이버 회로(14)로부터 출력되는 게이트 신호선(17a)의 1~240에는, 그 중 1개의 게이트 신호선(17a)에 온 전압(VGL) 또는 '선택' 로직 신호가 인가되어 있다. 다른 게이트 신호선(17a)에는 오프 전압(VGH) 또는 '비선택' 로직 신호가 인가되어 있다.

[0494] 게이트 신호선(17a)과 게이트 신호선(17b)이 동일한 화소행을 선택할 때, 모든 게이트 신호선(17a)에 오프 전압(VGH)을 인가하고, 해당 화소행을 비선택으로 한다. 혹은, OEV 신호를 L 레벨로 하여, 모든 게이트 신호선(17a)을 선택하지 않도록 제어한다.

[0495] 소스 드라이버 회로(14)는, 스타트 펄스 신호(ST2)를 발생하고 있다. 소스 드라이버 회로(14)는, 선택하는 게이트 신호선(17b)의 위치(화소행 위치)를 파악하고 있다. 또한, 시프트 레지스터 회로(111b)의 데이터 위치도 파악하고 있다. 소스 드라이버 회로(14)는, 선택하는 화소행 위치도 파악하고 있다. 선택하는 화소행 위치는, '선택'하는 게이트 신호선(17)에 온 전압(VGL) 또는 로직 신호를 인가함으로써 지정한다.

[0496] 이상과 같이 구성함으로써, 시프트 레지스터 회로(111a)와 시프트 레지스터 회로(111b2) 및 AND 회로(81)가 없더라도, 특정한 화소행을 비선택 상태로 하고, 영상 신호를 해당 화소행에 기입하지 않도록 제어할 수 있다(게이트 신호선(17b)에 온 전압이 인가되고, EL 소자(15)에 전류가 공급되어 있는 화소행에, 영상 신호를 기입하지 않도록 제어할 수 있다). 기타 사항은, 도 55, 도 66, 도 67 등과 마찬가지로 또는 유사하므로 설명을 생략한다.

[0497] 또한, 도 68에서, 게이트 신호선(17b)을 소스 드라이버 회로(14)부터 출력시켜도 된다. 게이트 신호선(17a)과 게이트 신호선(17b)의 양방을 소스 드라이버 회로(14)로부터 출력시켜도 된다.

[0498] 이상의 실시예 등은, 게이트 드라이버 회로(12a)가 게이트 신호선(17a)을 선택하고, 게이트 드라이버 회로(12b)가 게이트 신호선(17b)을 선택하는 것이었다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 도 69에 도시한 바와 같이, 게이트 드라이버 회로(12b)의 출력이 게이트 신호선(17a)에 인가되고, 동시에, 게이트 드라이버 회로(12a)의 출력이 게이트 신호선(17a)에 인가되도록 구성해도 된다. 게이트 신호선(17a)은, 표시 화면(22)의 좌우에 배치된 2개의 게이트 드라이버 회로(12)(12a, 12b)에서 선택된다. 또한, 2개의 게이트 드라이버 회로(12)(12a, 12b)에서 선택되는 화소행 위치는 동일하다. 도 69의 구성에서는, 게이트 신호선(17a)의 전위 경사

가 표시 화면(22)의 좌우가 아니라, 양호한 영상 신호의 기입을 실현할 수 있다. 또한, 게이트 신호선(17b)에 대해서도 도 69에 도시한 바와 같이 표시 화면(22)의 좌우의 게이트 드라이버 회로(12)의 출력에 접속해 된다.

- [0499] 기타 사항은, 도 11, 도 12, 도 55, 도 66, 도 67 등과 마찬가지로 설명을 생략한다. 또한, 도 11, 도 12, 도 44~도 46, 도 49~53, 도 55, 도 66~도 69의 구성은 서로 조합할 수 있는 것도 물론이다. 이상의 도 37, 도 40~도 62에서 설명한 OEV 신호 등에 관한 사항 혹은 이상의 도면 등에서 설명한 구동 방식에 관한 사항은, 도 8~도 19, 도 42, 도 55, 도 66, 도 67, 도 68, 도 69의 실시예에 적용할 수 있는 것은 물론이다. 또한, 도 8~도 19, 도 42, 도 55, 도 66, 도 67, 도 68, 도 69의 실시예와 조합할 수 있는 것도 물론이다. 또한, 이상의 실시예 혹은 본 발명은 도 26~도 40의 보정량의 보정 방법에 관한 사항도 적용할 수 있으며, 또한 조합할 수 있는 것은 물론이다. 또한, 도 41의 온도 보정에 관해서도 적용할 수 있으며, 조합할 수 있는 것은 물론이다. 또한, 도 44~도 47의(a), 도 47의 (b)의 구동 방식에도 적용할 수 있으며, 조합할 수 있는 것은 물론이다. 또한, 이상의 실시예 혹은 발명 혹은 조합한 발명을 도 63~도 65에 도시한 본 발명의 표시 기기에 적용할 수 있는 것은 물론이다.
- [0500] 본 발명은, 영상 신호를 기입하는 화소행에서, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류 경로를 차단하는 것이다. 혹은, 구동용 트랜지스터(11a)로부터 EL 소자(15)에 흐르는 전류 경로가 발생하고 있는 화소행에는, 영상 신호를 기입하지 않도록 배타(한 쪽의 게이트 신호선(17)의 설정 로직 신호를 무효로 함) 처리를 실시하는 것이다. 이 동작을 만족하는 것이면, 어느 구성이라도 된다. 따라서, 본 발명은 게이트 드라이버 회로(12a)와 게이트 드라이버 회로(12b)의 유무에는 한정되지 않는다. 예를 들면, 도 62의 구성에서는, 게이트 드라이버 회로(12b)는 필요가 없다. 그러나, 게이트 신호선(17b)은, 선택 신호선(621)에 의해 온 오프 전압을 인가 혹은 설정할 수 있다.
- [0501] 본 발명의 구동 방식은, 유기 EL 표시 패널의 구동 방법 및 구동 회로 등에 한정되는 것은 아니다. 예를 들면, 필드 에미션 디스플레이(FED), 무기 EL 디스플레이 등의 기타 디스플레이에도 적용할 수 있는 것은 물론이다.
- [0502] 본 발명은, 화소(16)의 컨덴서(19) 등에 설정 전압을 유지할 수 있는 디스플레이이면 어느 디스플레이라도 적용할 수 있다. 또는, 도 1, 도 20, 도 23과 같이, 영상 신호를 화소에 기입하는 스위치용 트랜지스터(11c)와, EL 소자(15)에 흐르는 전류 경로의 온 오프를 제어할 수 있는 스위치용 트랜지스터(11d) 또는 스위치용 트랜지스터(11e)를 갖는 화소를 갖는 디스플레이이면, 본 발명을 실시할 수 있다.
- [0503] 다음으로, 본 발명의 구동 방식을 실시하는 EL 표시 장치를 표시 디스플레이로서 이용한 본 발명의 표시 주기에 대하여 설명을 한다.
- [0504] 도 63은 정보 단말 장치의 일례로서의 휴대 전화의 평면도이다. 케이싱(633)에 안테나(631) 등이 부착되어 있다. 참조 부호 632a는, 듀티비를 변화시키는 절환키, 참조 부호 632b는 전원 온 오프키, 참조 부호 632c가 게이트 드라이버 회로(12b)의 동작 프레임 레이트를 절환하는 키이다. 동작 프레임 레이트의 변경 혹은 설정은, 도 8~도 19, 도 47의 (a), 도 47의 (b), 도 48의 (a), 도 48의 (b), 도 48의 (c), 도 55, 도 66, 도 67, 도 68, 도 69 등에서 설명한 구동 방식 등에 의해 용이하게 실현할 수 있다. 참조 부호 635는 포토 센서이다. 포토 센서(635)는, 외광의 강약에 따라, 듀티비 등을 변화시켜, 표시 화면(22)의 휘도를 자동 조정한다. 듀티비에 관해서는, 도 4의 (a), 도 4의 (b)나, 도 27, 도 31 등에서 설명을 행하고 있으므로 설명을 생략한다.
- [0505] 도 64는 비디오 카메라의 사시도이다. 비디오 카메라는 촬영(촬영) 렌즈부(643)와 비디오 카메라 본체(633)를 구비하고 있다. 본 발명의 EL 표시 장치는 표시 모니터(634)로서도 사용되고 있다. 표시 화면(22)은 지점(641)에서 각도를 자유롭게 조정할 수 있다. 표시 화면(22)을 사용하지 않을 때는, 저장부(643)에 저장된다.
- [0506] 도 63, 도 64 등의 본 발명의 표시 기기에서는, 키(632a)의 조작에 의해, 듀티비를 절환할 수 있다. 키(632a)의 조작은, 사용자가 절환할 수 있도록 해 둔다. 또한, 설정 모드에서 자동적으로 변경할 수 있는지를 절환되도록 하고 있다. 자동의 경우에는, 외광의 밝기를 검출하여 자동적으로, 표시 휘도를 50%, 60%, 80%로 설정할 수 있도록 구성하고 있다.
- [0507] 본 실시예의 EL 표시 장치 등은 비디오 카메라뿐만 아니라, 도 65에 도시한 바와 같은 전자 카메라에도 적용할 수 있다. 본 발명의 EL 표시 장치는 카메라 본체(651)에 부착된 모니터(22)로서 이용한다. 카메라 본체(651)에는 셔터(653) 외, 스위치(632a, 632c)가 부착되어 있다.

[0508] <산업상의 이용 가능성>

[0509] 본 발명에 따른 EL 표시 장치 및 EL 표시 장치의 구동 방법은, 동작 프레임 레이트를 용이하게 변환할 수 있거나, 또는 플리커를 발생시키지 않는다고 하는 효과를 가지므로, 유기 또는 무기 일렉트로루미네센스(EL) 소자들을 이용한 EL 표시 패널(표시 장치) 등의 자발광 표시 패널(표시 장치), 그 구동 방법, 구동 장치, 및 이들 표시 패널을 이용한 표시 장치 등에 유용하다.

발명의 효과

[0510] 본 발명은, 기입 화소행을 선택하는 게이트 신호선의 구동과, EL 소자의 점등을 지정하는 게이트 신호선의 구동을 서로 다른 프레임 레이트로 동작시켜도 표시 품질이 열화하지 않는 EL 표시 장치의 구동 방법, 및 EL 표시 장치를 제공할 수 있다.

[0511] 또한, 본 발명은, 화상 재기입 주기가, 게이트 드라이버 회로의 동작 프레임 레이트와 서로 다른 경우라도, 프레임 메모리가 불필요하며, 따라서 고비용으로 되지 않는 EL 표시 장치의 구동 방법, 및 EL 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0001] 도 1은 EL 표시 장치의 화소의 구성도.

[0002] 도 2는 EL 표시 장치의 구성도.

[0003] 도 3의 (a)는 EL 표시 장치의 화소의 동작의 설명도, (b)는 EL 표시 장치의 화소의 동작의 설명도.

[0004] 도 4의 (a)는 EL 표시 장치의 구동 방법의 설명도, (b)는 EL 표시 장치의 구동 방법의 설명도.

[0005] 도 5는 EL 표시 장치의 구동 방법의 설명도.

[0006] 도 6의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.

[0007] 도 7의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.

[0008] 도 8은 본 발명의 EL 표시 장치의 설명도.

[0009] 도 9의 (a)는 본 발명의 EL 표시 장치의 설명도, (b)는 본 발명의 EL 표시 장치의 설명도.

[0010] 도 10의 (a)는 본 발명의 EL 표시 장치의 설명도, (b)는 본 발명의 EL 표시 장치의 설명도.

[0011] 도 11은 본 발명의 EL 표시 장치의 설명도.

[0012] 도 12는 본 발명의 EL 표시 장치의 설명도.

[0013] 도 13은 본 발명의 EL 표시 장치의 설명도.

[0014] 도 14는 본 발명의 EL 표시 장치의 설명도.

[0015] 도 15는 본 발명의 EL 표시 장치의 설명도.

[0016] 도 16은 본 발명의 EL 표시 장치의 구동 방법의 설명도.

[0017] 도 17은 본 발명의 EL 표시 장치의 구동 방법의 설명도.

[0018] 도 18은 본 발명의 EL 표시 장치의 구동 방법의 설명도.

[0019] 도 19는 본 발명의 EL 표시 장치의 구동 방법의 설명도.

[0020] 도 20은 본 발명의 EL 표시 장치의 설명도.

[0021] 도 21은 본 발명의 EL 표시 장치의 설명도.

[0022] 도 22는 본 발명의 EL 표시 장치의 설명도.

[0023] 도 23은 본 발명의 EL 표시 장치의 설명도.

- [0024] 도 24는 본 발명의 EL 표시 장치의 설명도.
- [0025] 도 25는 본 발명의 EL 표시 장치의 설명도.
- [0026] 도 26은 본 발명의 EL 표시 장치의 설명도.
- [0027] 도 27은 본 발명의 EL 표시 장치의 설명도.
- [0028] 도 28은 본 발명의 EL 표시 장치의 설명도.
- [0029] 도 29는 본 발명의 EL 표시 장치의 설명도.
- [0030] 도 30은 본 발명의 EL 표시 장치의 설명도.
- [0031] 도 31은 본 발명의 EL 표시 장치의 설명도.
- [0032] 도 32는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0033] 도 33은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0034] 도 34는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0035] 도 35의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0036] 도 36은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0037] 도 37은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0038] 도 38은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0039] 도 39는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0040] 도 40은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0041] 도 41은 본 발명의 EL 표시 장치의 설명도.
- [0042] 도 42는 본 발명의 EL 표시 장치의 설명도.
- [0043] 도 43은 본 발명의 EL 표시 장치의 설명도.
- [0044] 도 44는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0045] 도 45의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (c)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0046] 도 46은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0047] 도 47의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0048] 도 48의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (c)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0049] 도 49는 본 발명의 EL 표시 장치의 설명도.
- [0050] 도 50의 (a)는 본 발명의 EL 표시 장치의 설명도, (b)는 본 발명의 EL 표시 장치의 설명도, (c)는 본 발명의 EL 표시 장치의 설명도, (d)는 본 발명의 EL 표시 장치의 설명도.
- [0051] 도 51은 본 발명의 EL 표시 장치의 설명도.
- [0052] 도 52는 본 발명의 EL 표시 장치의 설명도.
- [0053] 도 53은 본 발명의 EL 표시 장치의 설명도.
- [0054] 도 54는 본 발명의 EL 표시 장치의 설명도.
- [0055] 도 55는 본 발명의 EL 표시 장치의 설명도.

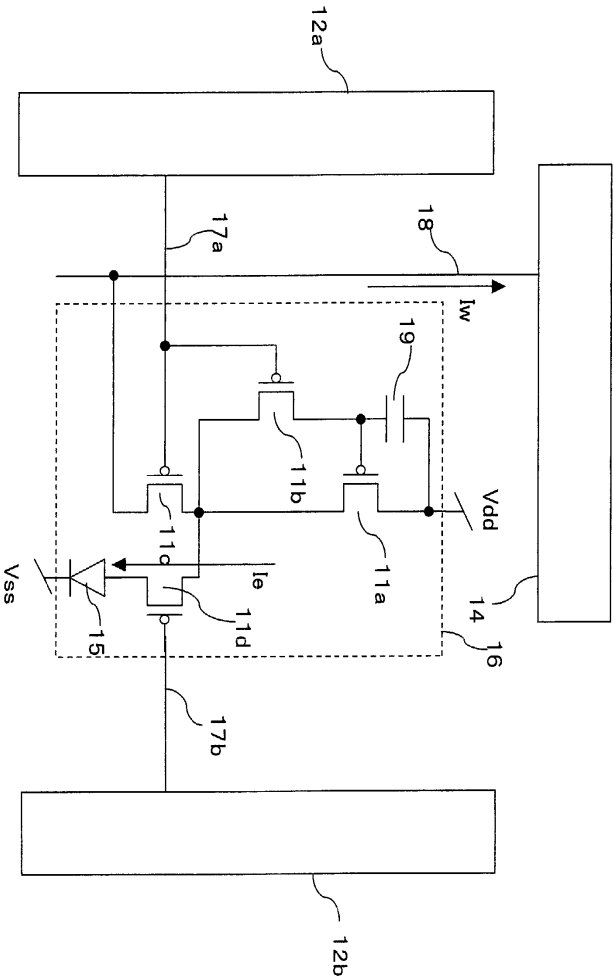
- [0056] 도 56의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0057] 도 57의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (c)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (d)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0058] 도 58은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0059] 도 59의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0060] 도 60은 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0061] 도 61의 (a)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (b)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (c)는 본 발명의 EL 표시 장치의 구동 방법의 설명도, (d)는 본 발명의 EL 표시 장치의 구동 방법의 설명도.
- [0062] 도 62는 본 발명의 EL 표시 장치의 설명도.
- [0063] 도 63은 본 발명의 EL 표시 장치를 이용한 표시 기기의 설명도.
- [0064] 도 64는 본 발명의 EL 표시 장치를 이용한 표시 기기의 설명도.
- [0065] 도 65는 본 발명의 EL 표시 장치를 이용한 표시 기기의 설명도.
- [0066] 도 66은 본 발명의 EL 표시 장치의 설명도.
- [0067] 도 67은 본 발명의 EL 표시 장치의 설명도.
- [0068] 도 68은 본 발명의 EL 표시 장치의 설명도.
- [0069] 도 69는 본 발명의 EL 표시 장치의 설명도.
- [0070] <도면의 주요 부분에 대한 부호의 설명>
- [0071] 11 : 트랜지스터(TFT)
- [0072] 12 : 게이트 트랜지스터 IC(회로)
- [0073] 14 : 소스 드라이버 회로(IC)
- [0074] 15 : EL(소자)
- [0075] 16 : 화소
- [0076] 17 : 게이트 신호선
- [0077] 18 : 소스 신호선
- [0078] 19 : 축적 용량(부가 커패시터, 부가 용량)
- [0079] 22 : 표시 화면
- [0080] 41 : 기입 화소행
- [0081] 45 : 비표시 영역(비점등 영역, 흑표시 영역)
- [0082] 46 : 표시 영역(점등 영역, 화상 표시 영역)
- [0083] 81 : AND 회로
- [0084] 111 : 시프트 레지스터 회로
- [0085] 112 : 전압 레벨 시프트 회로
- [0086] 271 : 오피 앰프(버퍼 회로)

[0087]	272 : 전자 볼륨(전압 출력 회로)
[0088]	273, 413 : 정전류 회로
[0089]	274 : 트랜지스터
[0090]	275 : 단위 트랜지스터군
[0091]	276 : 출력 단자
[0092]	281 : 아날로그 스위치(온 오프부, 선택부)
[0093]	282 : 단위 트랜지스터
[0094]	283 : 내부 배선
[0095]	284 : 게이트 배선
[0096]	285 : 디코더 회로
[0097]	291 : 진폭 조정 레지스터
[0098]	292 : 계조 앰프
[0099]	293 : 단자(배선)
[0100]	301 : 전압 데이터 래치 회로
[0101]	302 : 계조 전압 출력 회로
[0102]	303 : 전압 DAC 회로
[0103]	304 : 전압 앰프 회로
[0104]	411 : 온도 검출 회로
[0105]	412 : 외부 기억 회로(EEPROM)
[0106]	1413 : A/D 변환 회로
[0107]	414 : 셀렉터 회로
[0108]	415 : 데이터 비교 회로
[0109]	416 : 온도 보정 회로
[0110]	417 : 검출 배선
[0111]	621 : 선택 신호선
[0112]	631 : 안테나
[0113]	632 : 키
[0114]	633 : 케이싱
[0115]	634 : 표시 패널
[0116]	635 : 포토 센서
[0117]	641 : 지점
[0118]	643 : 촬영 렌즈
[0119]	644 : 저장부
[0120]	651 : 본체
[0121]	652 : 촬영부
[0122]	653 : 셔터 스위치

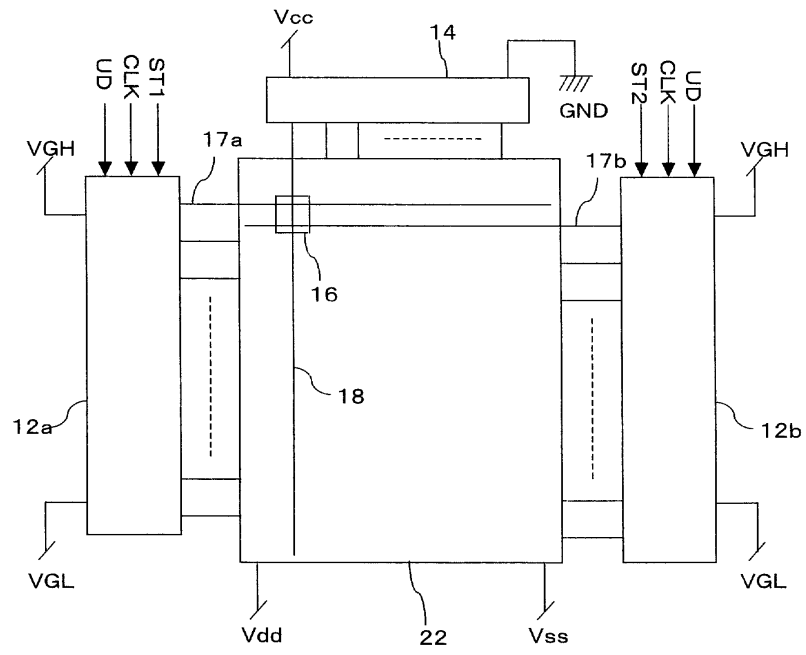
[0123] 671 : 디코더 회로

도면

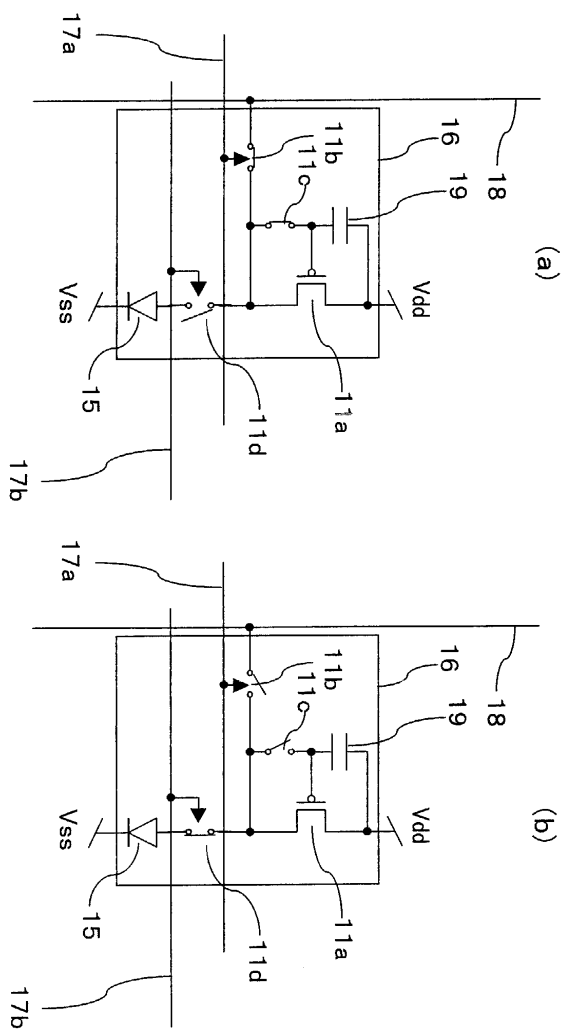
도면1



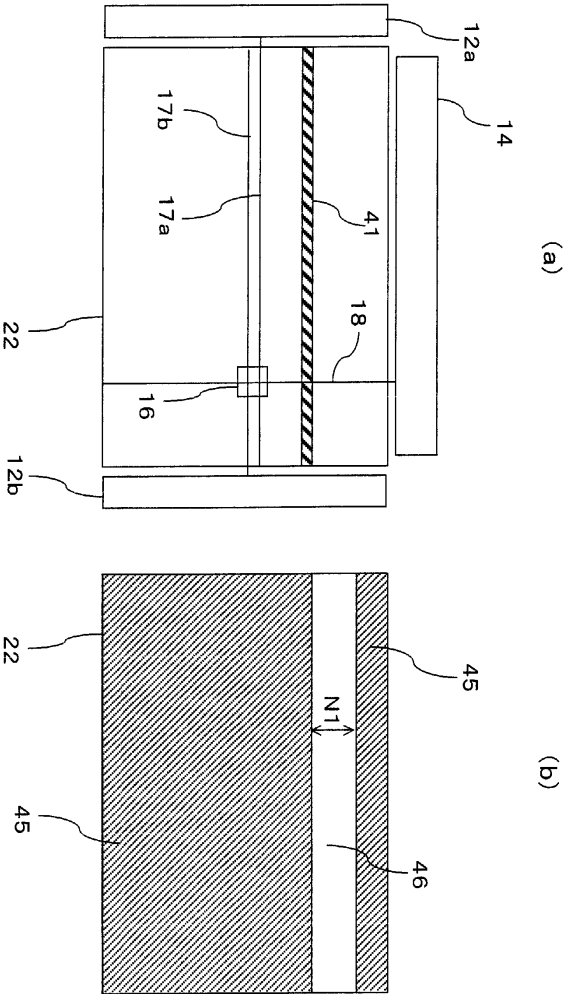
도면2



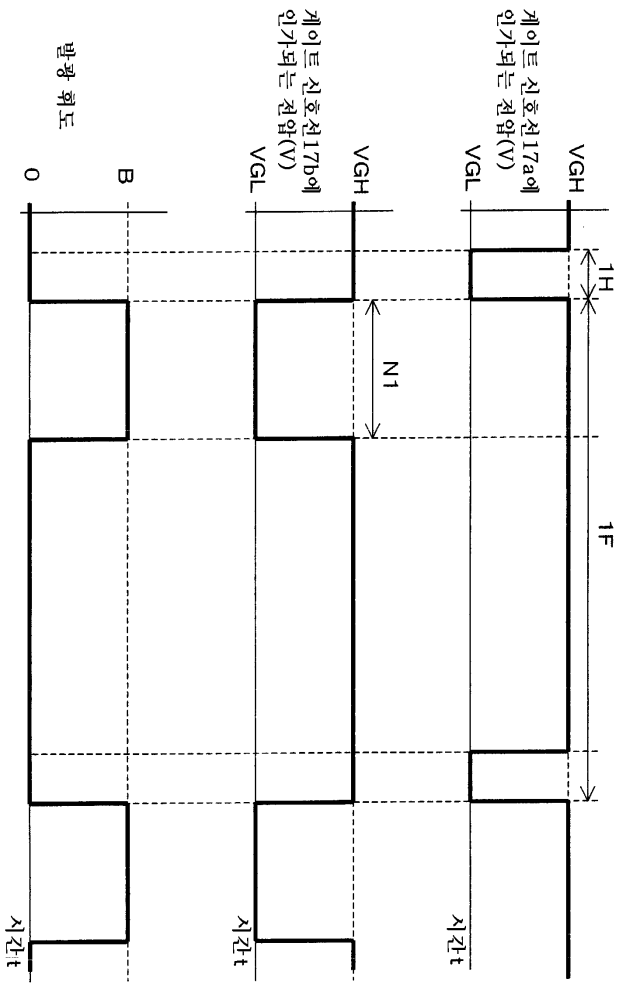
도면3



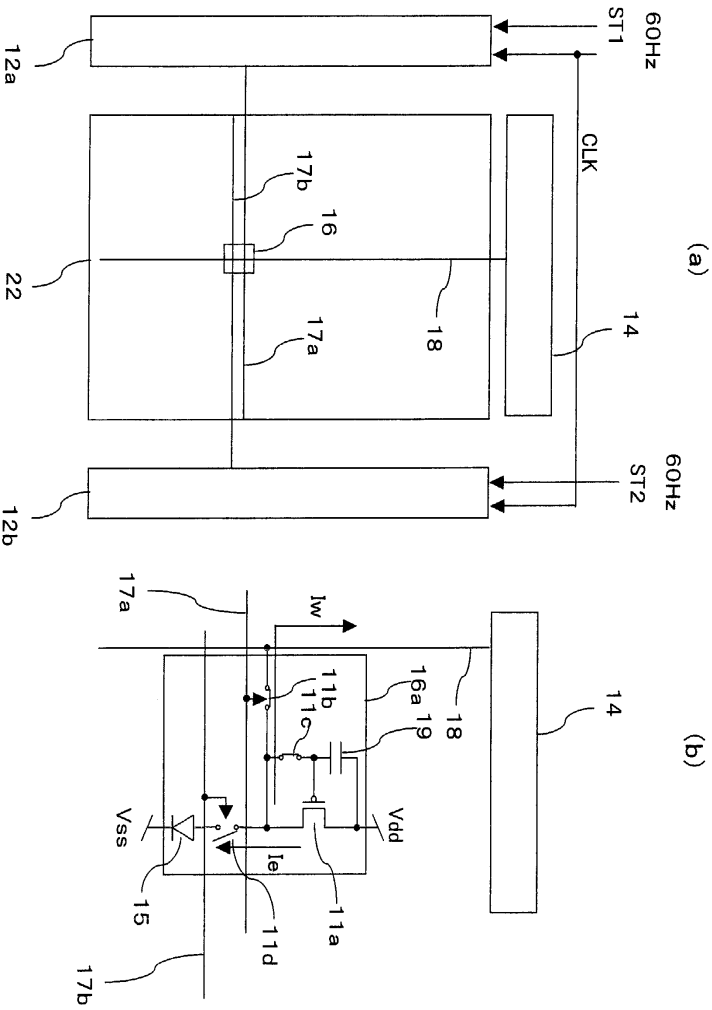
도면4



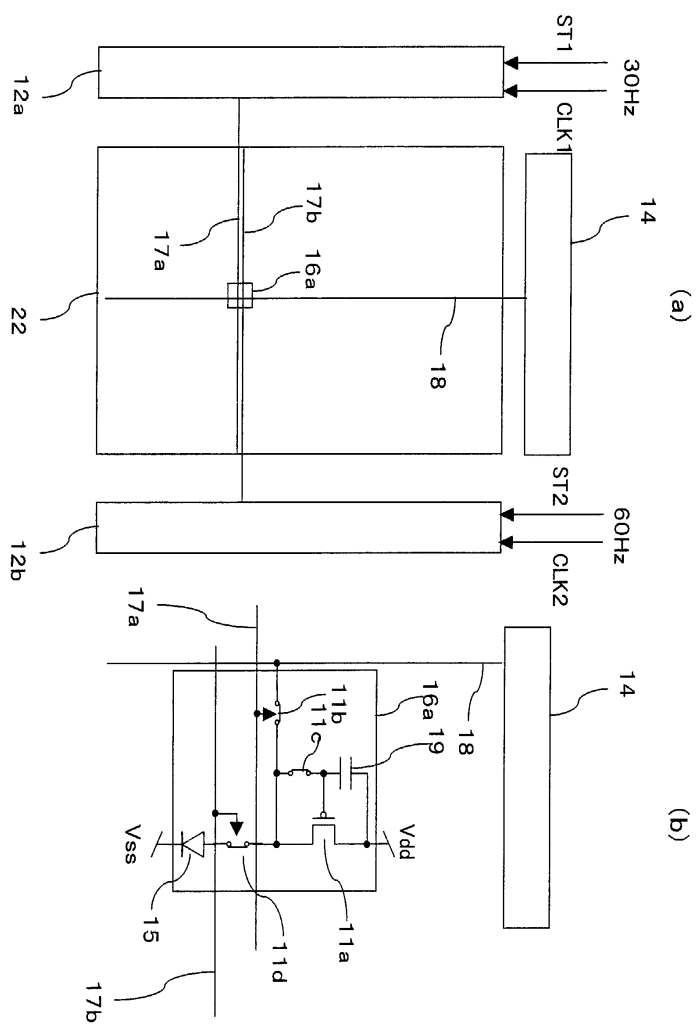
도면5



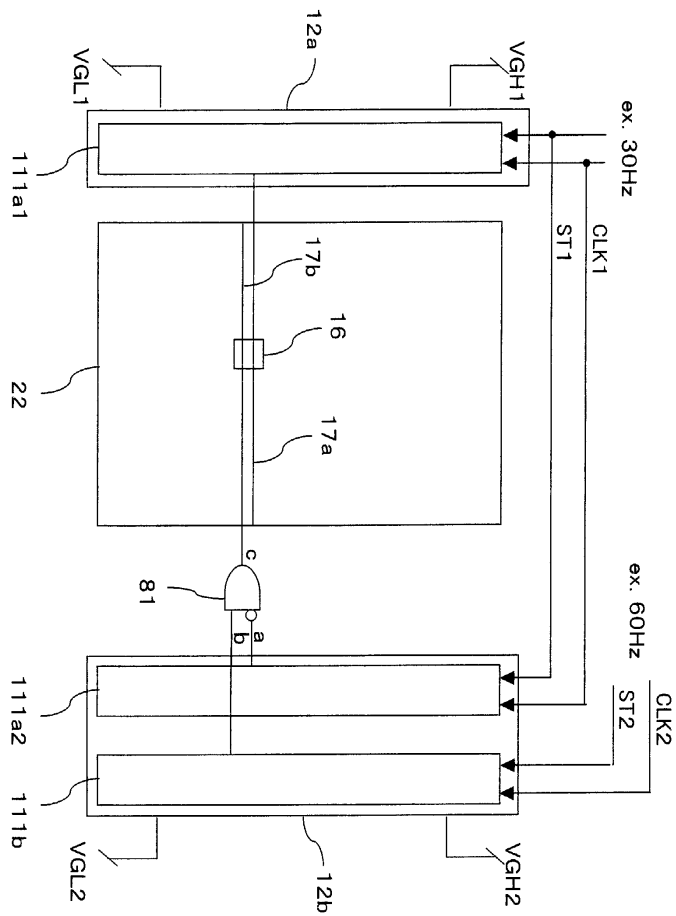
도면6



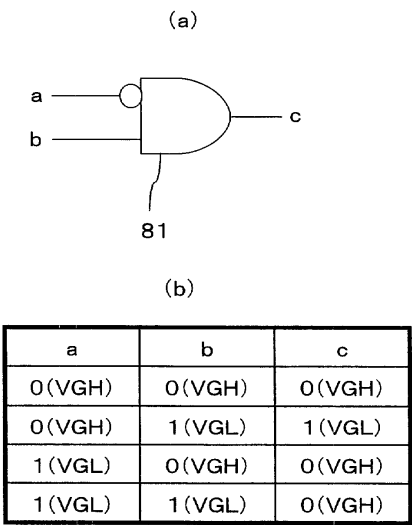
도면7



도면8

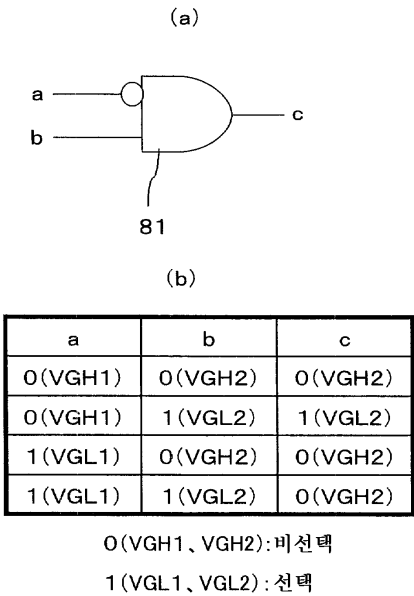


도면9

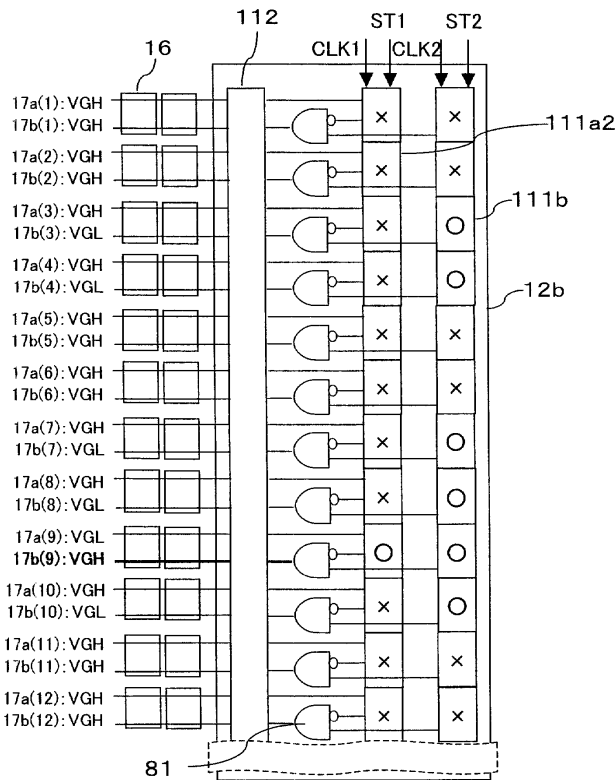


0(VGH):비선택
1(VGL):선택

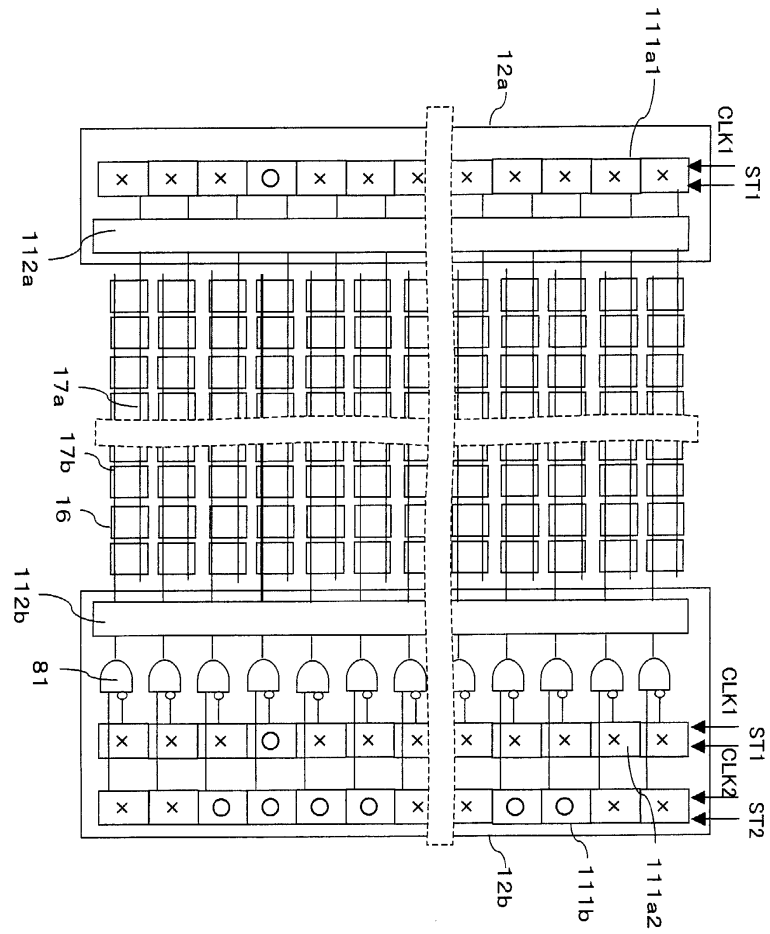
도면10



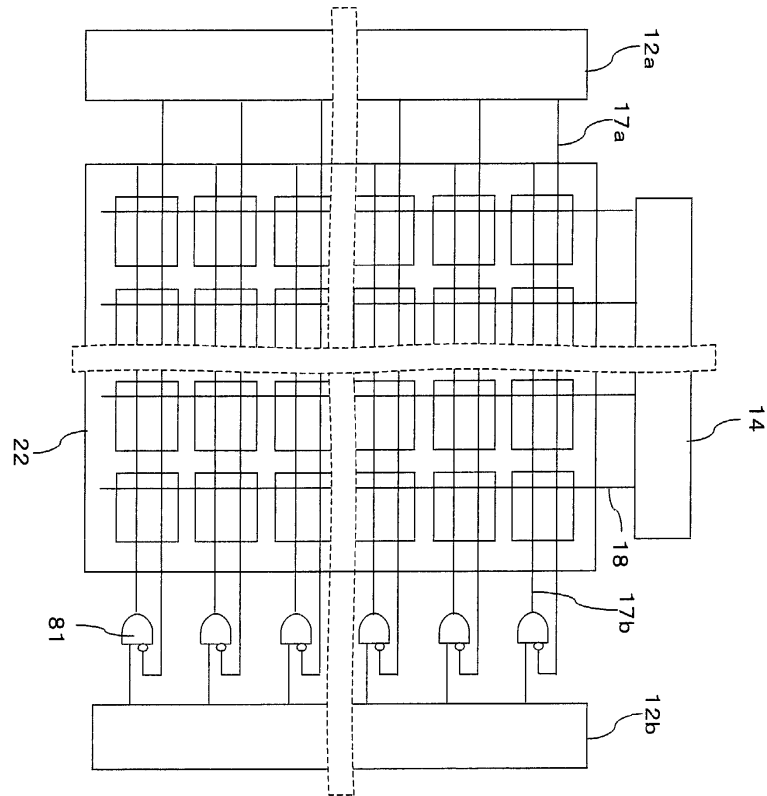
도면11



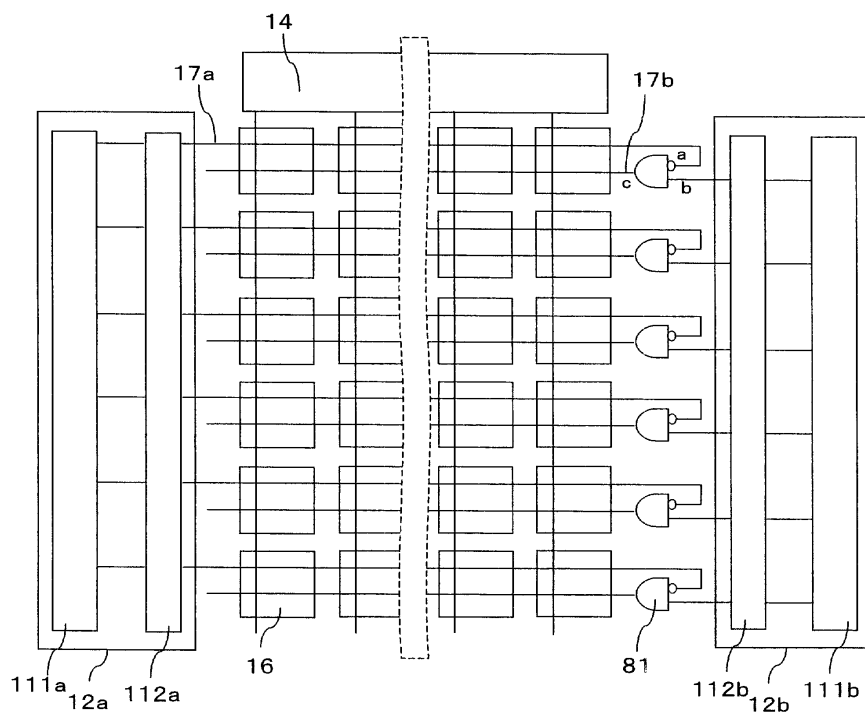
도면12



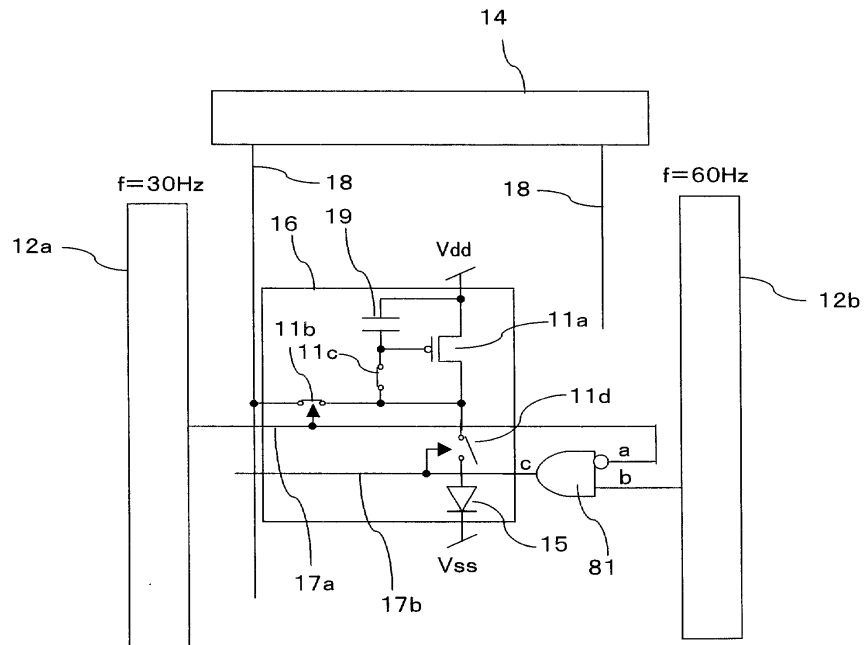
도면13



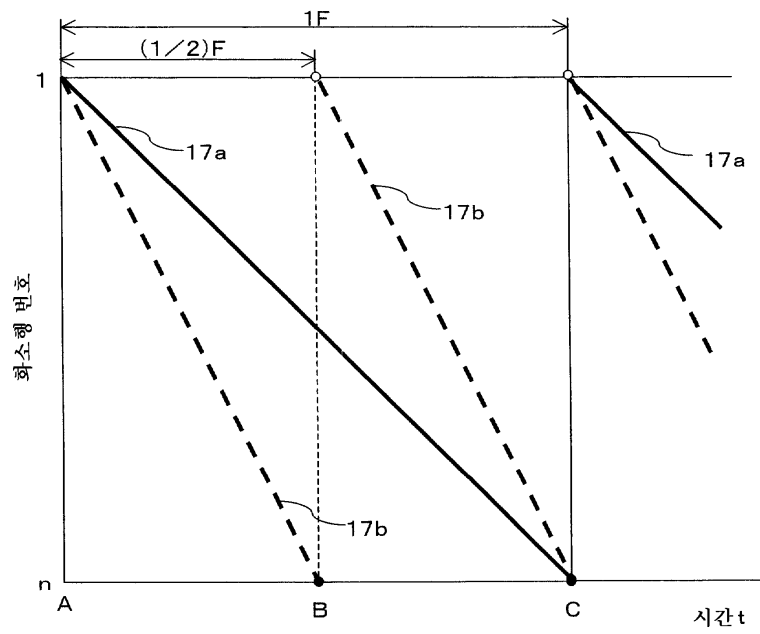
도면14



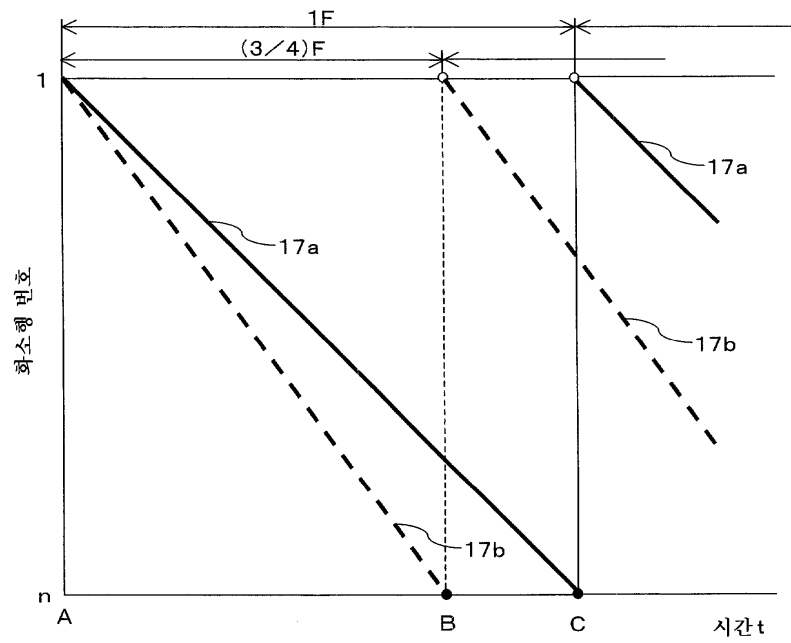
도면15



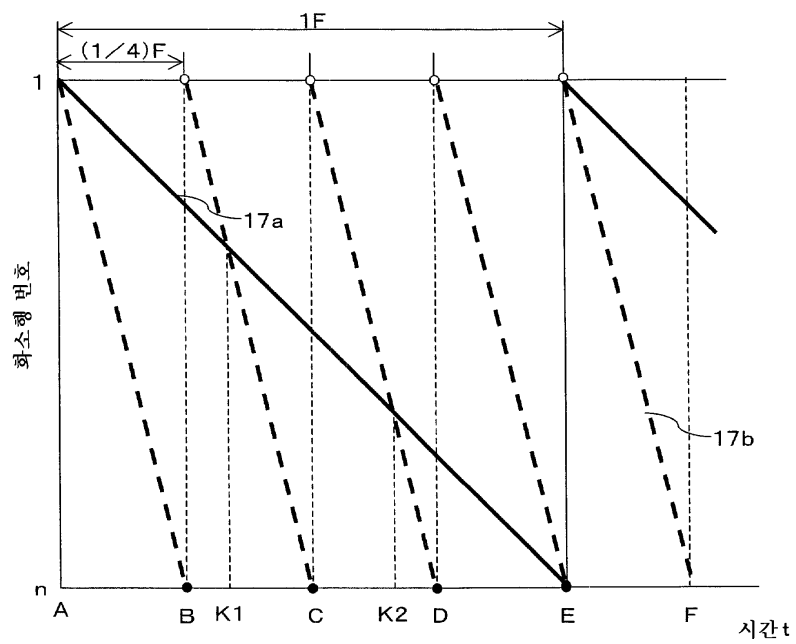
도면16



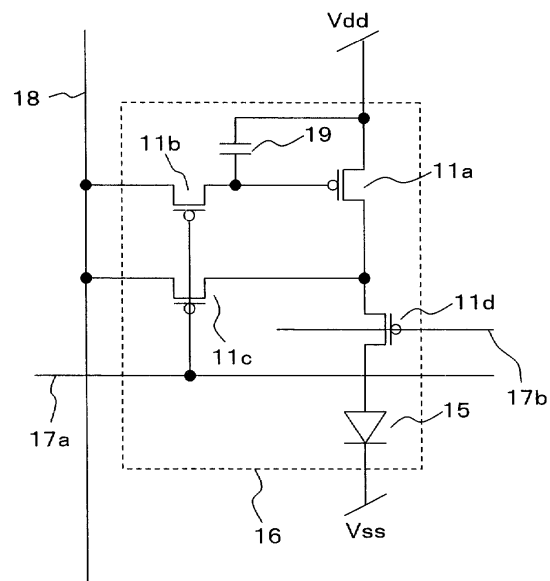
도면17



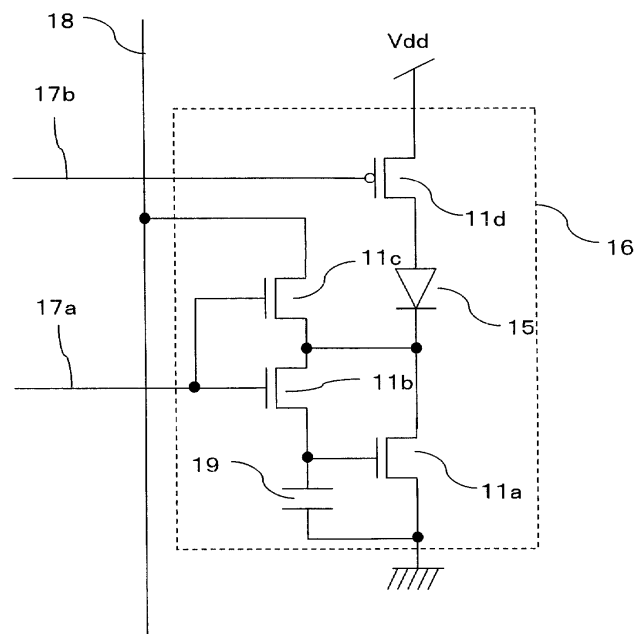
도면18



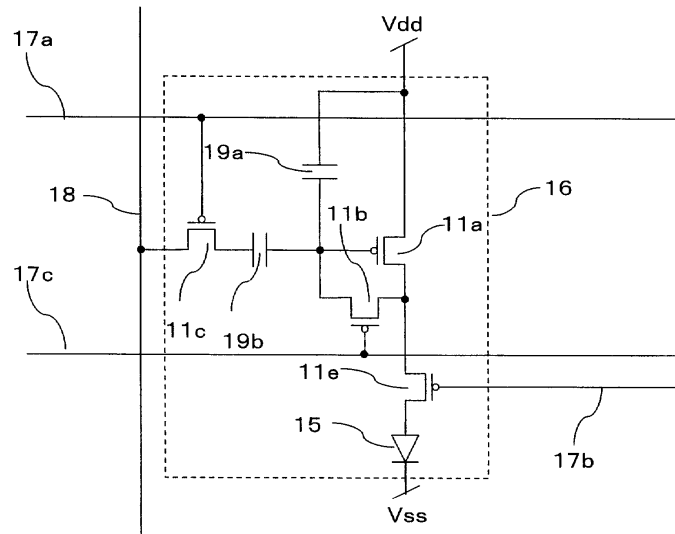
도면21



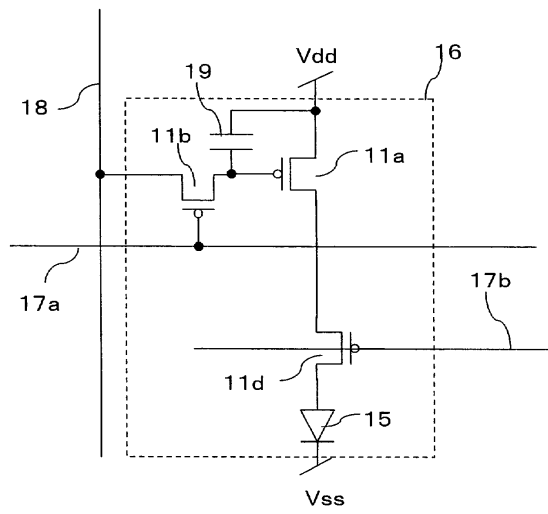
도면22



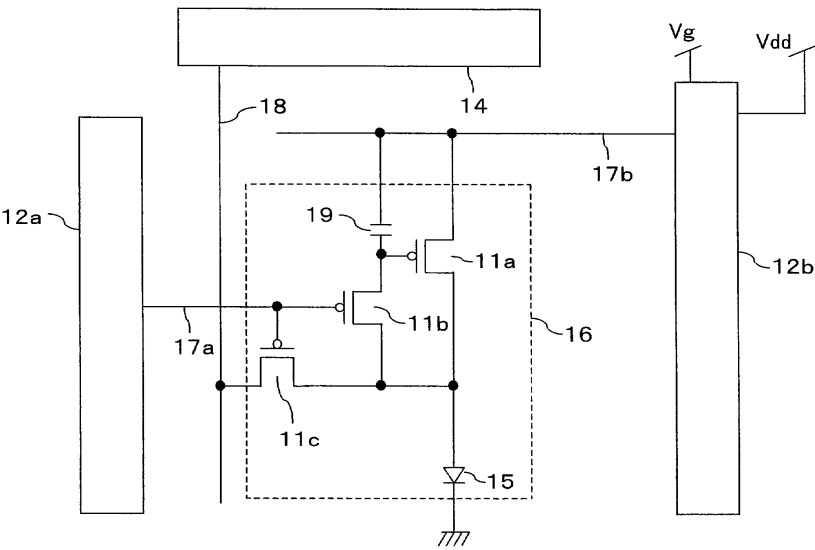
도면23



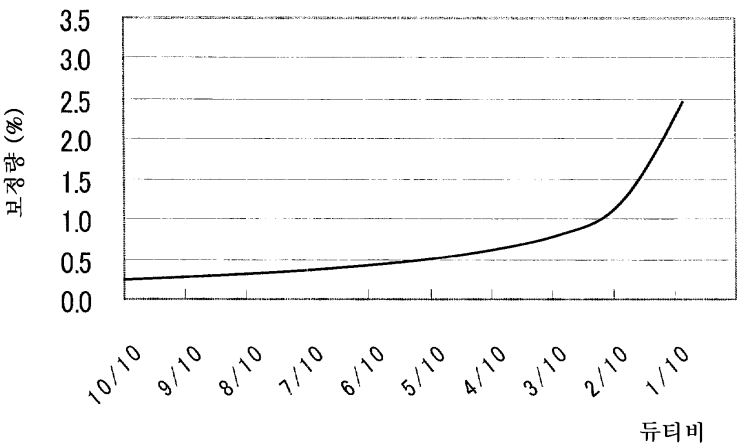
도면24



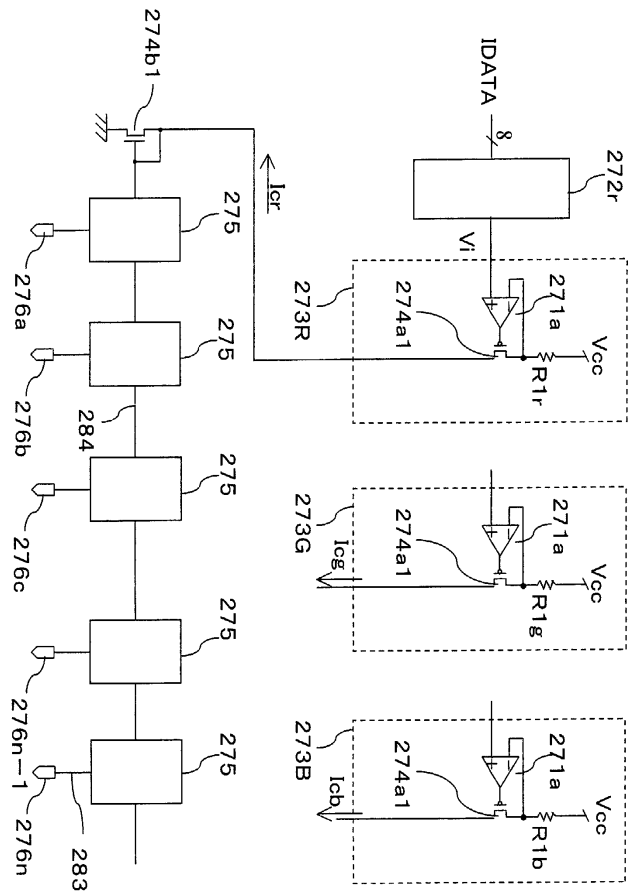
도면25



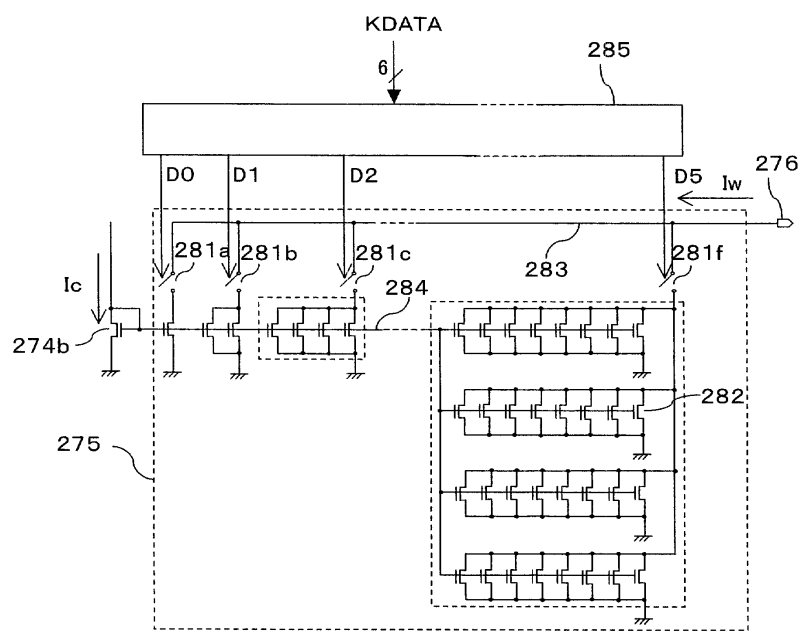
도면26



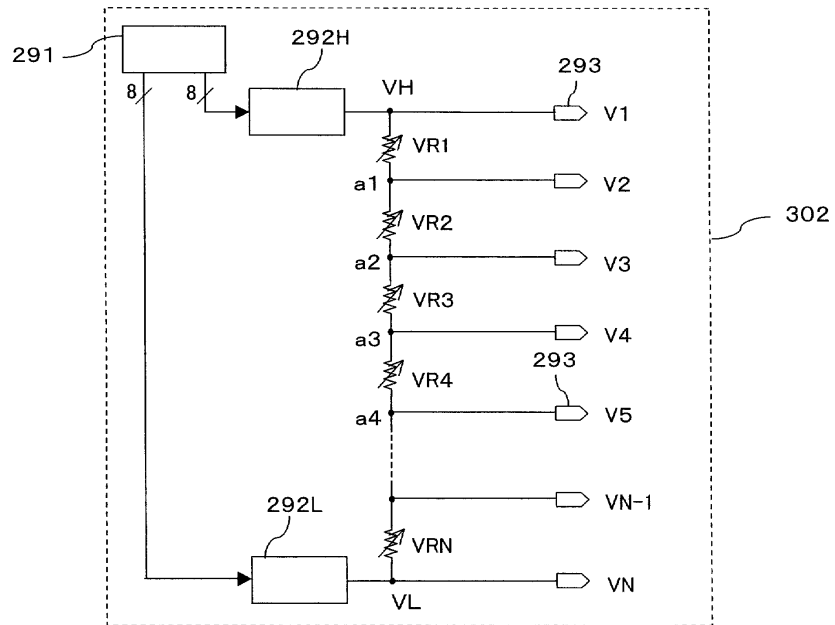
도면27



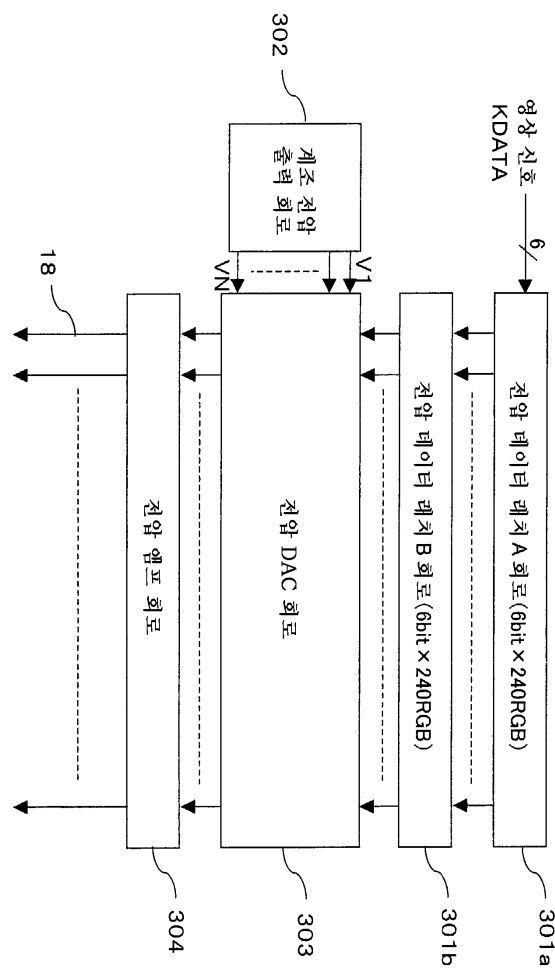
도면28



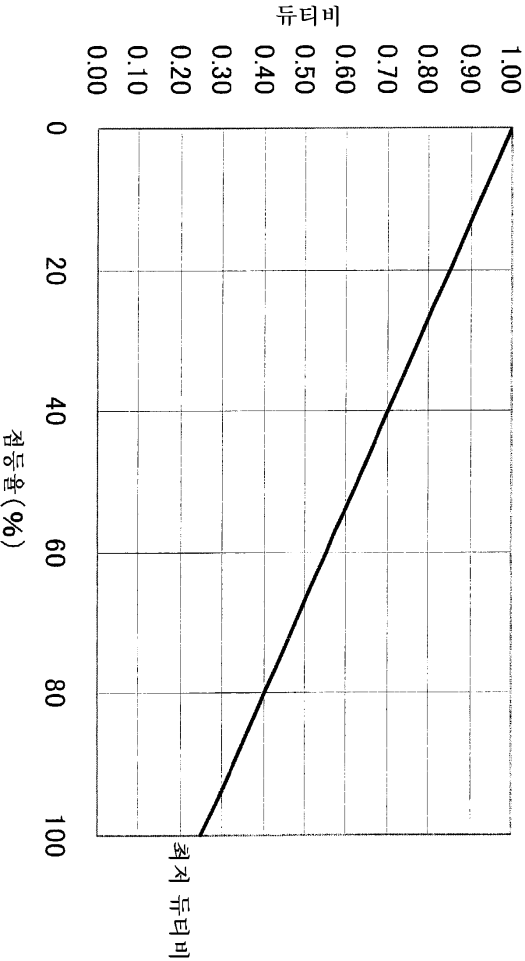
도면29



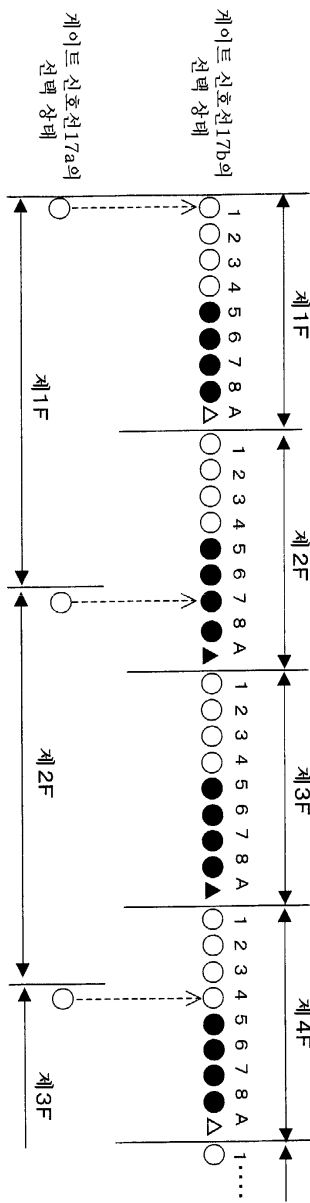
도면30



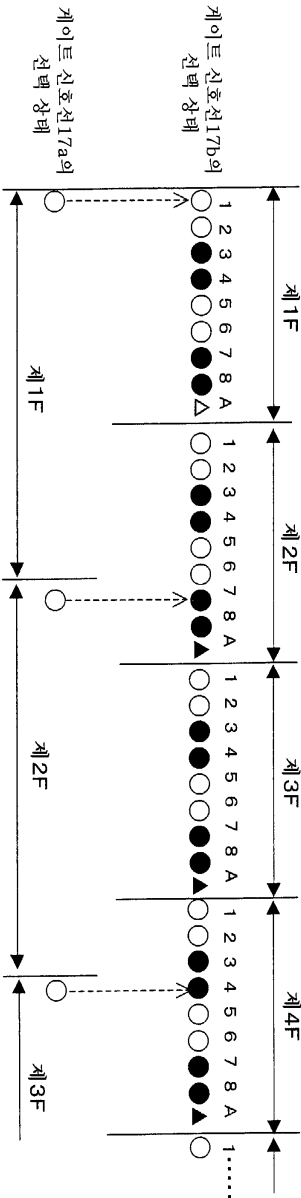
도면31



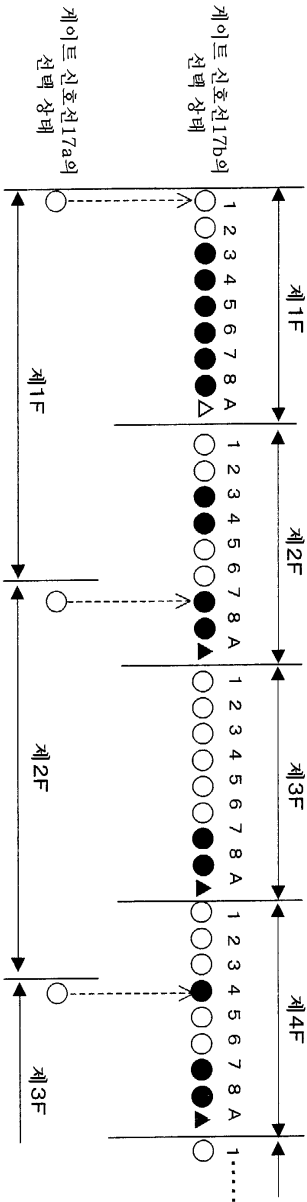
도면32



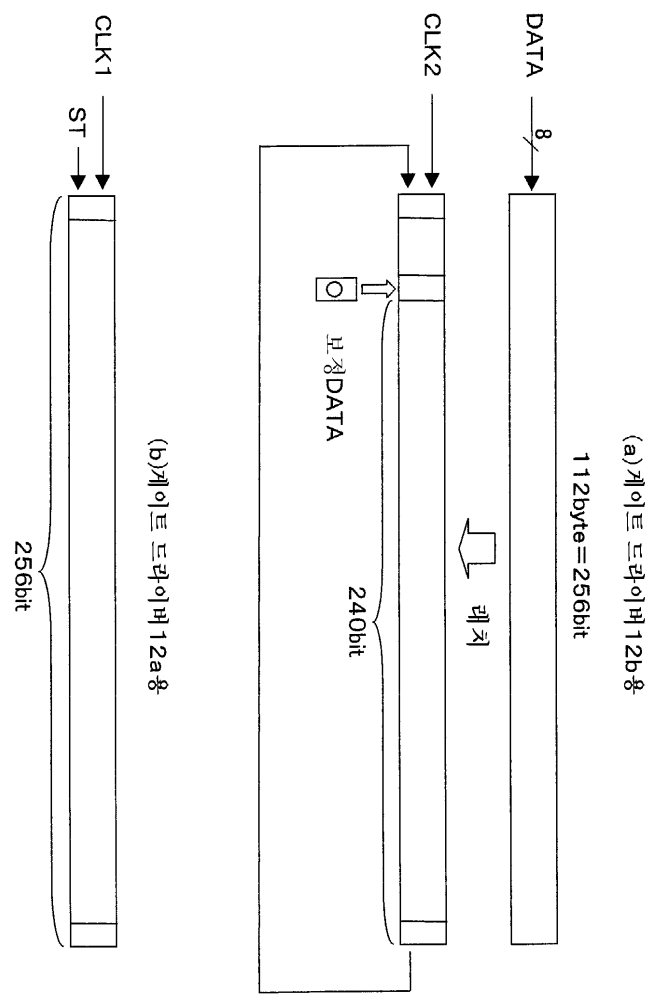
도면33



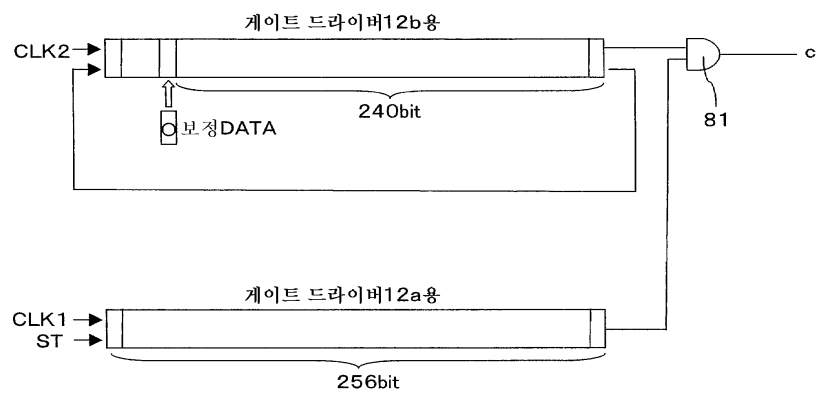
도면34



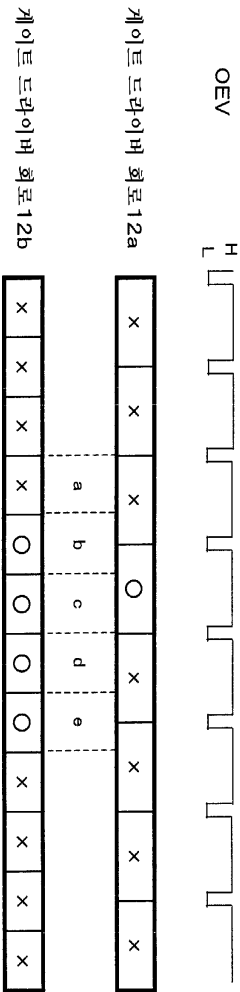
도면35



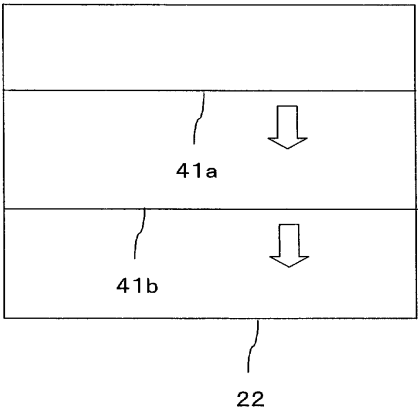
도면36



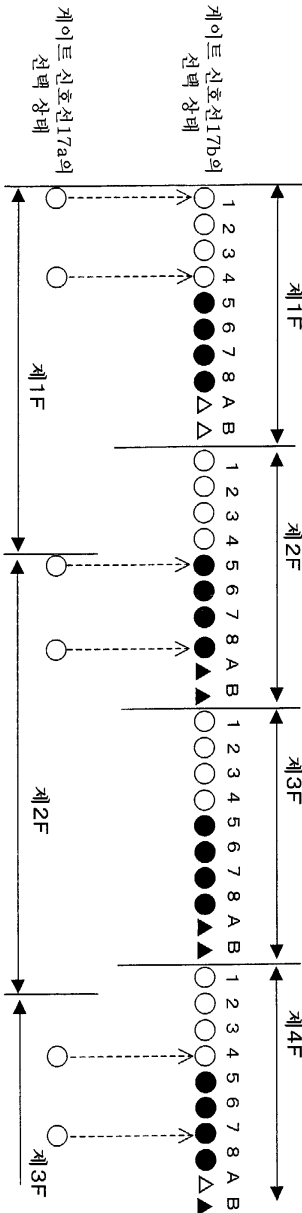
도면37



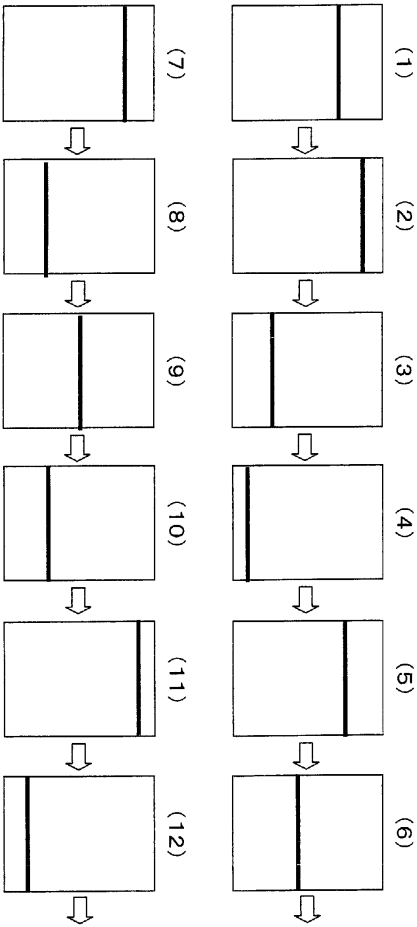
도면38



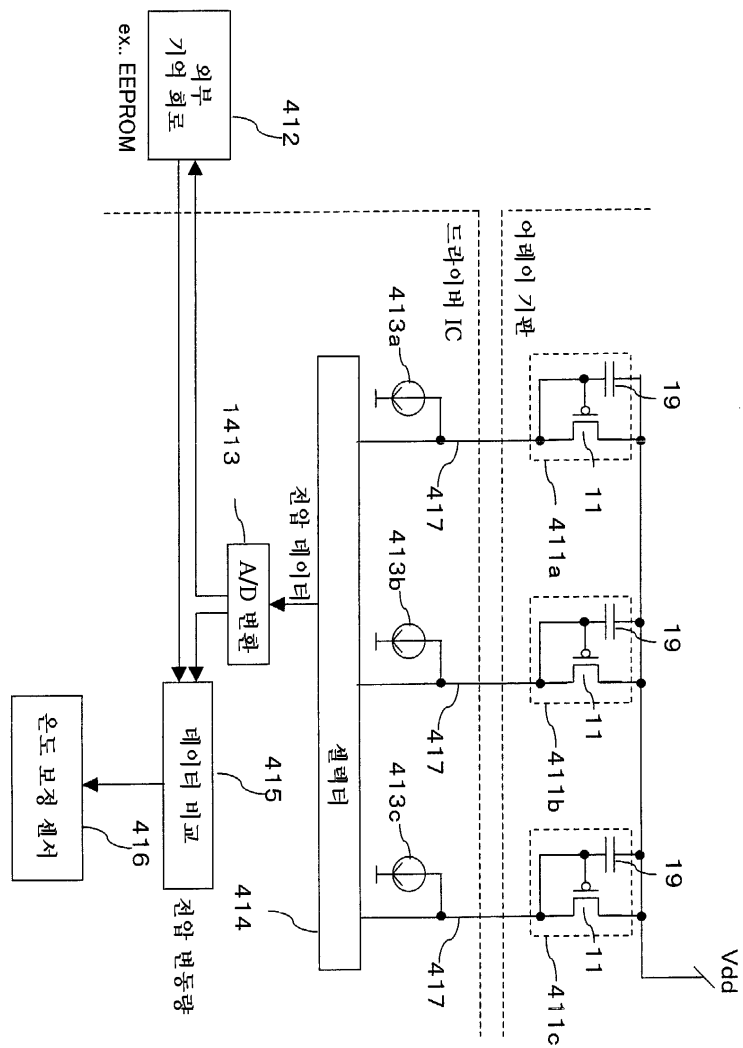
도면39



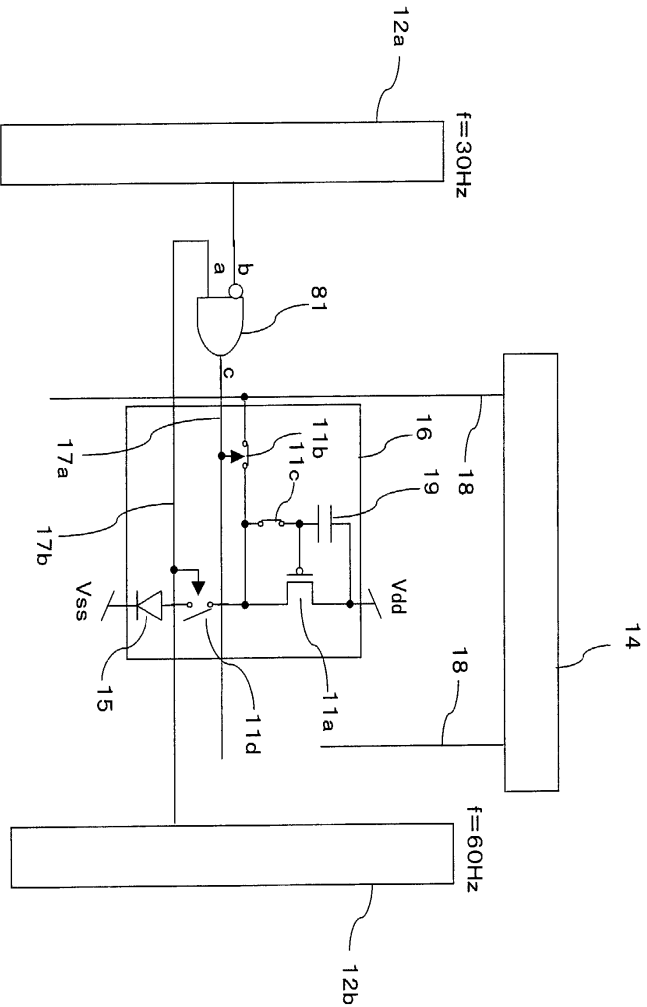
도면40



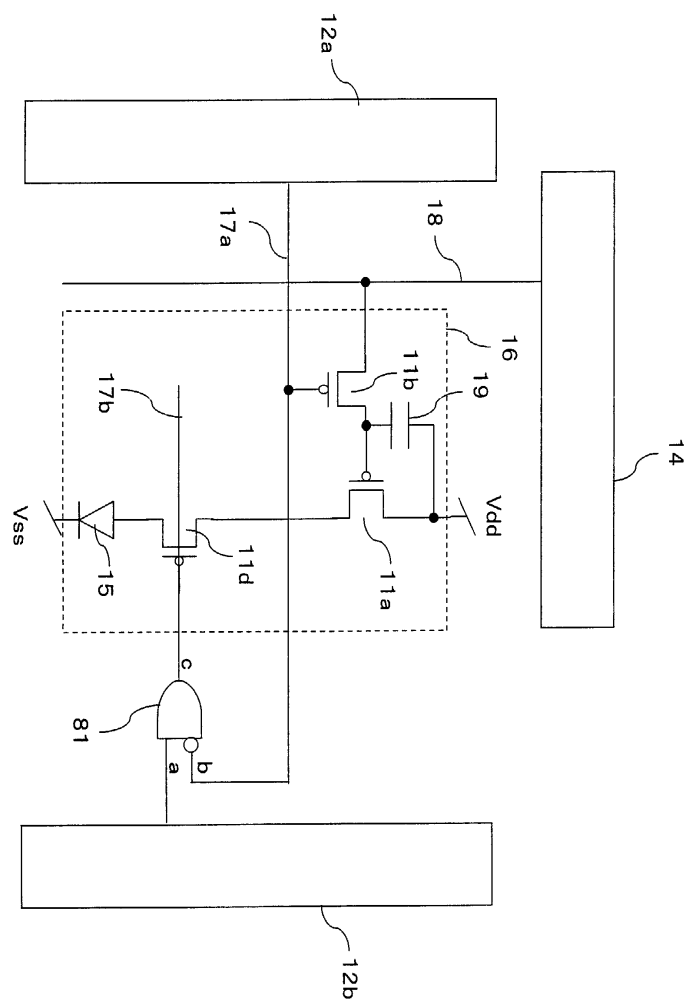
도면41



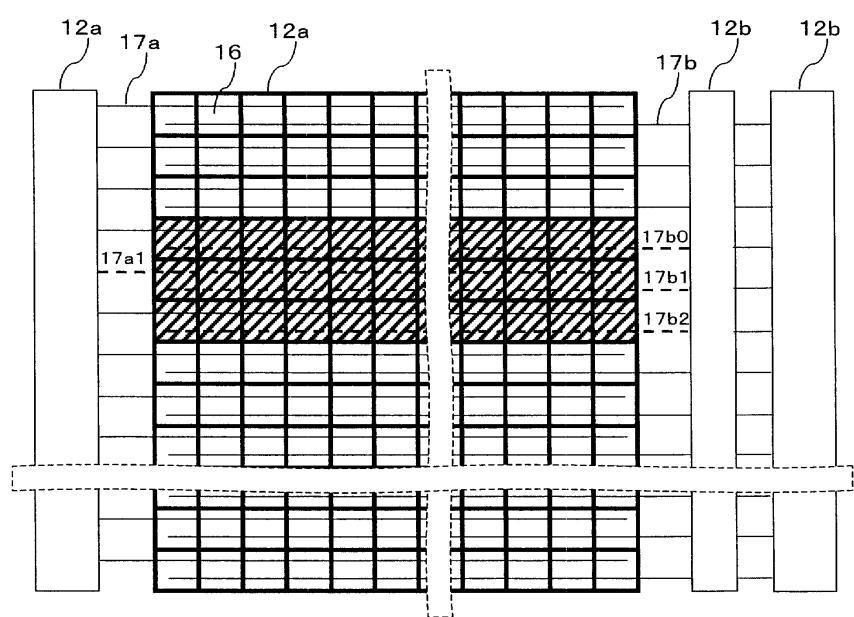
도면42



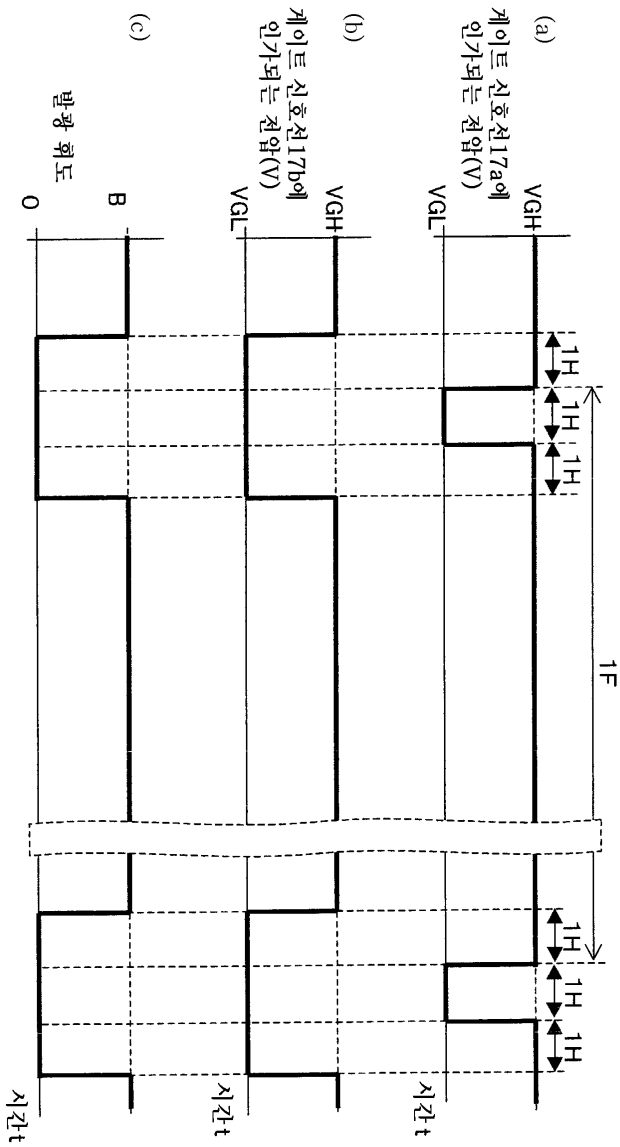
도면43



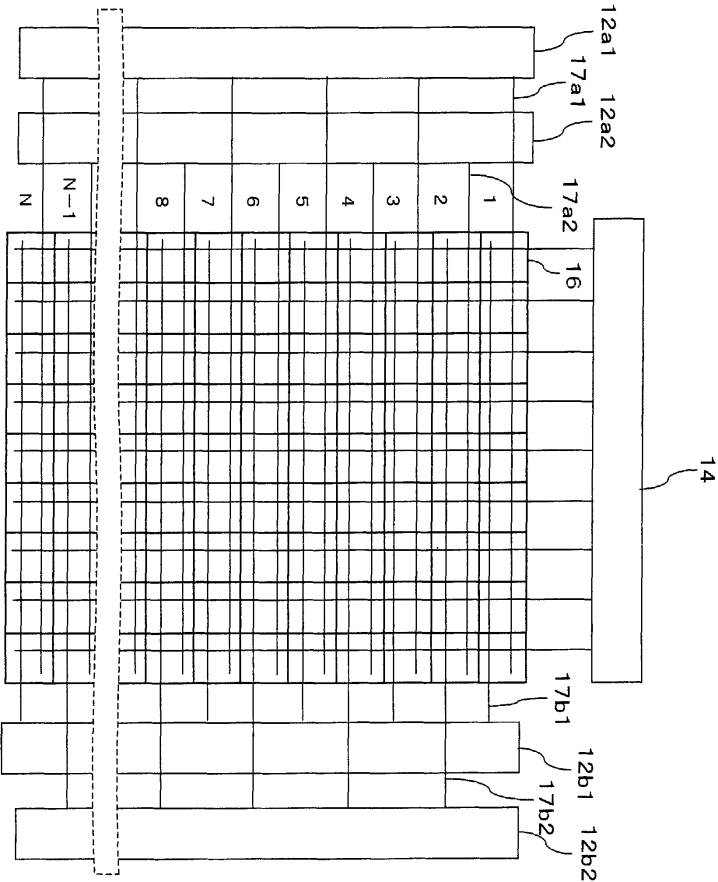
도면44



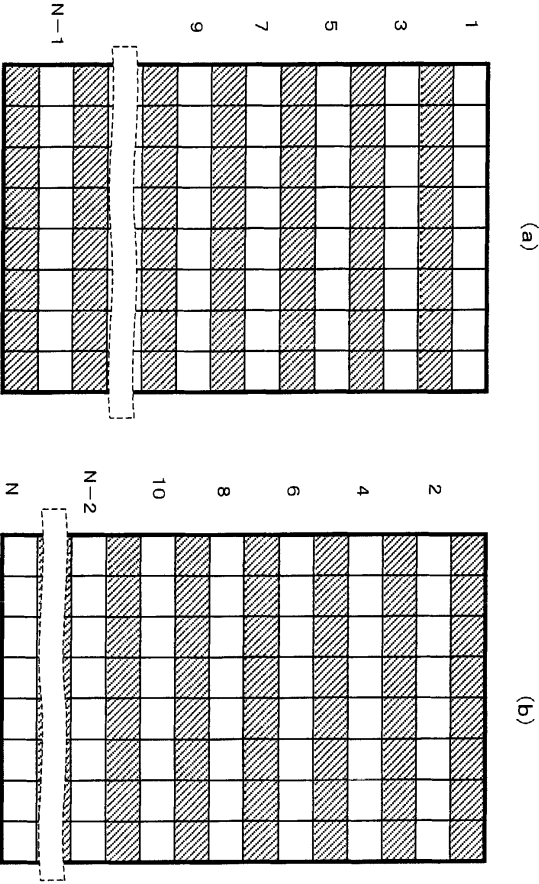
도면45



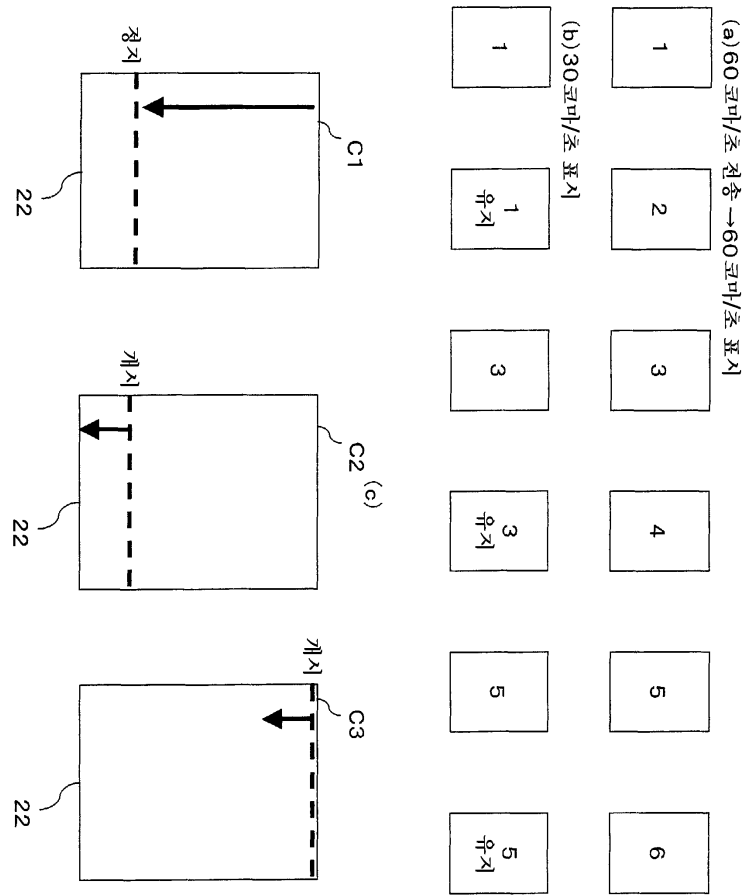
도면46



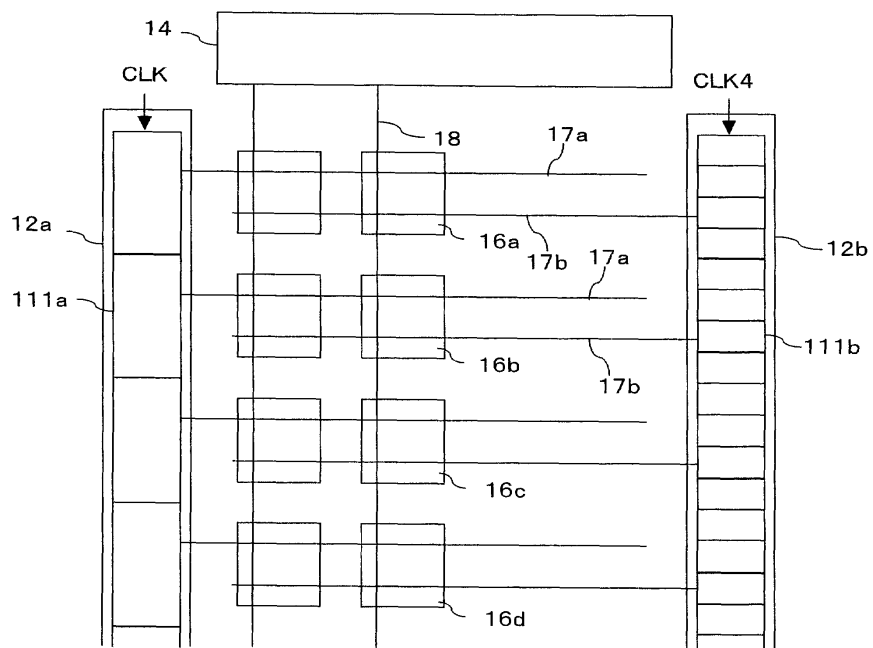
도면47



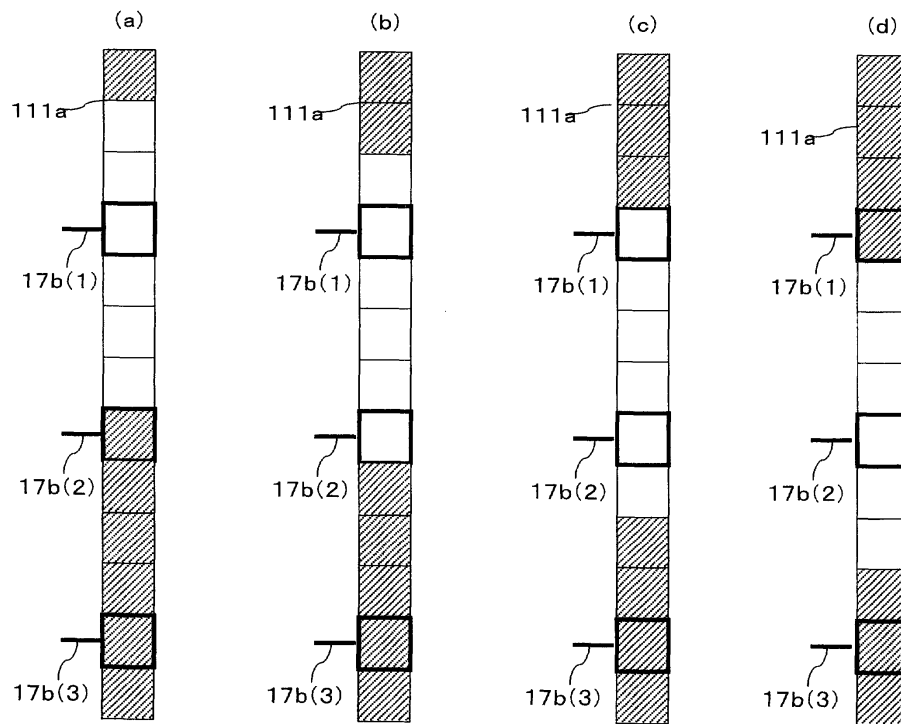
도면48



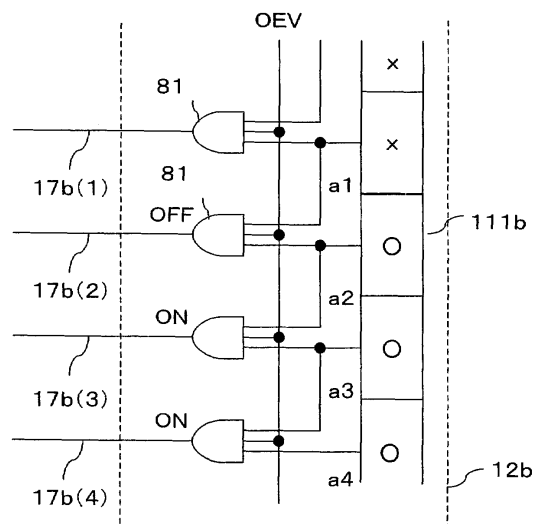
도면49



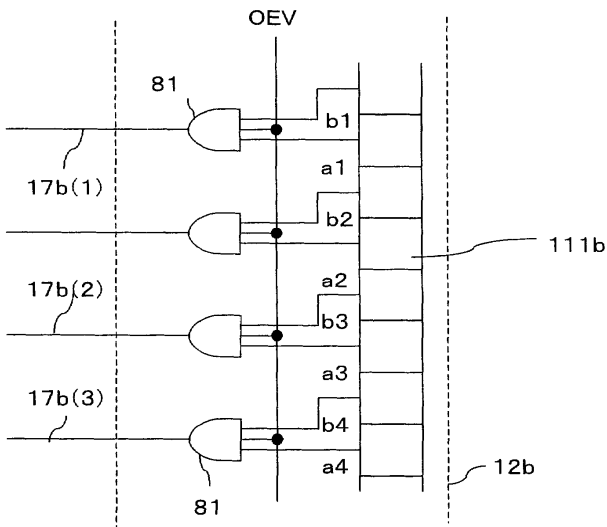
도면50



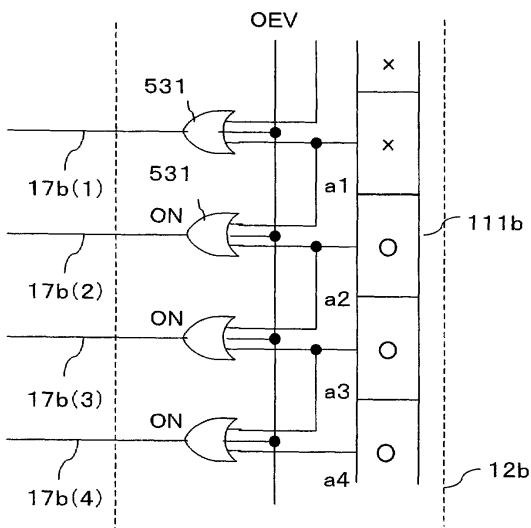
도면51



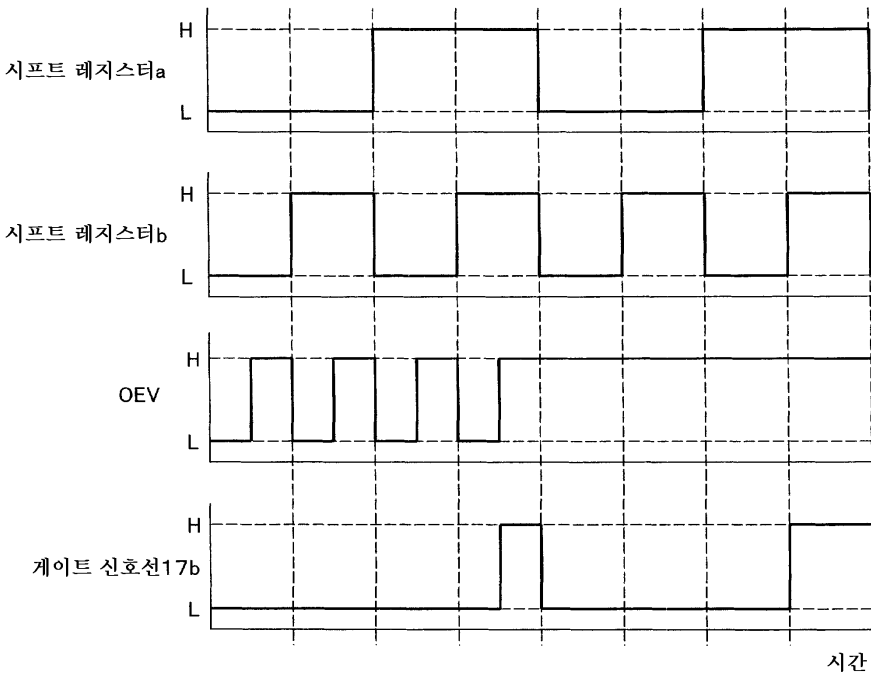
도면52



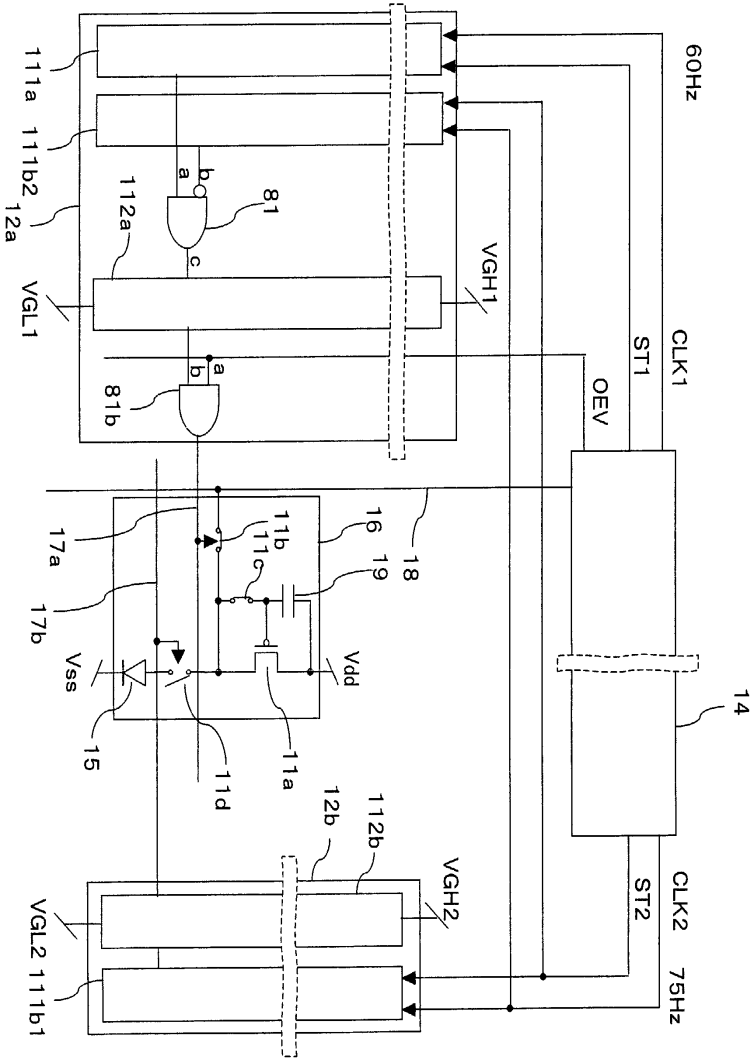
도면53



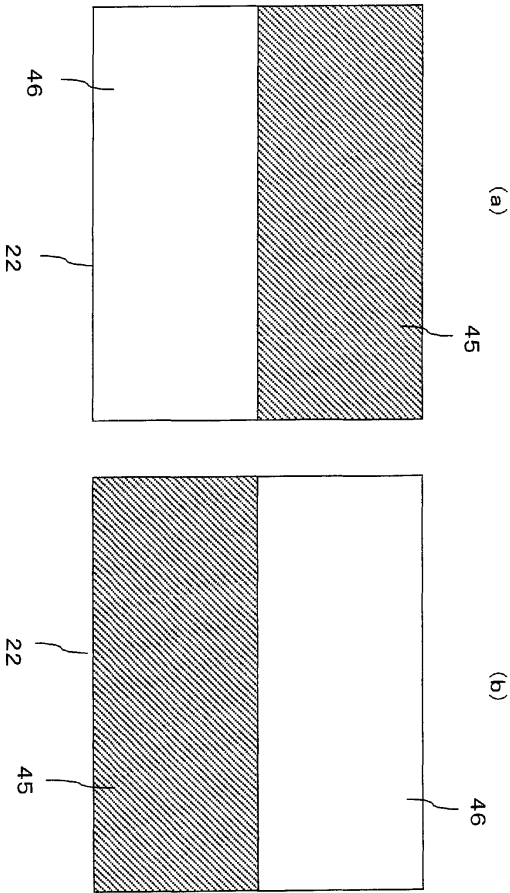
도면54



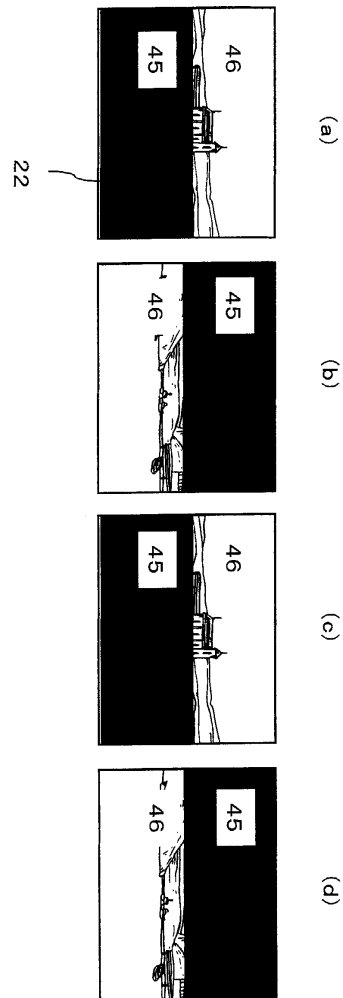
도면55



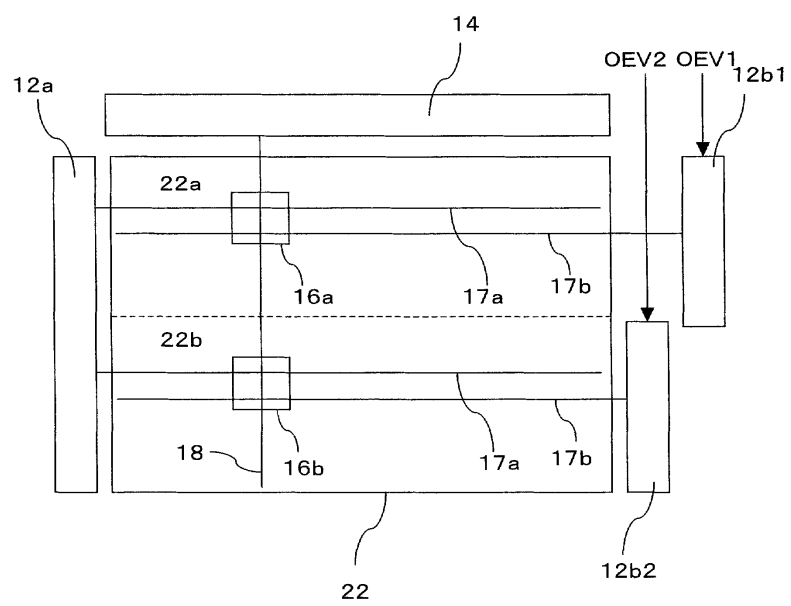
도면56



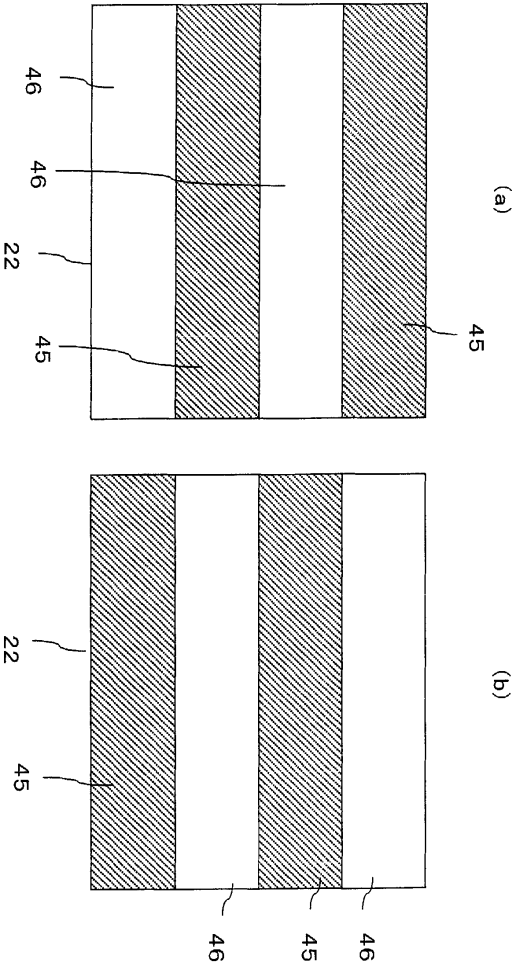
도면57



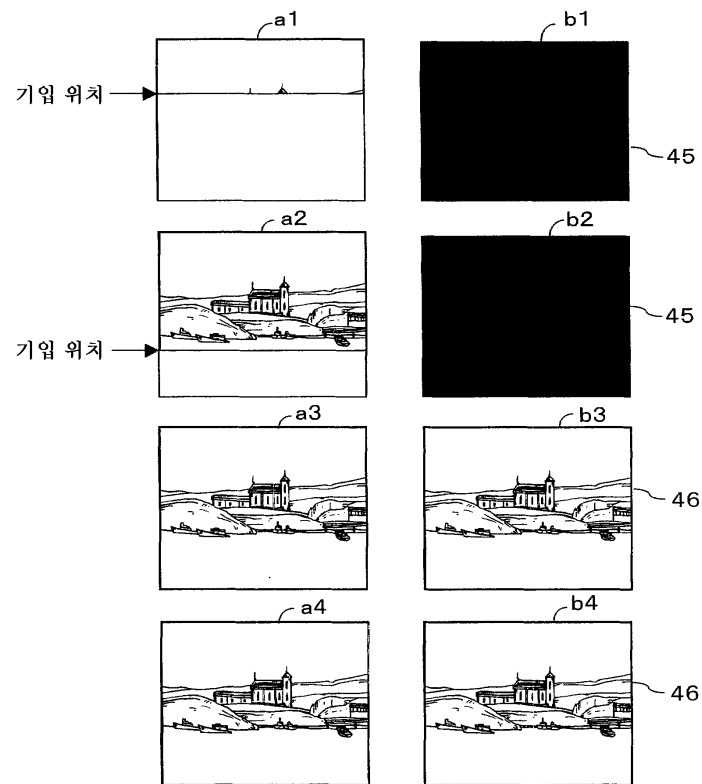
도면58



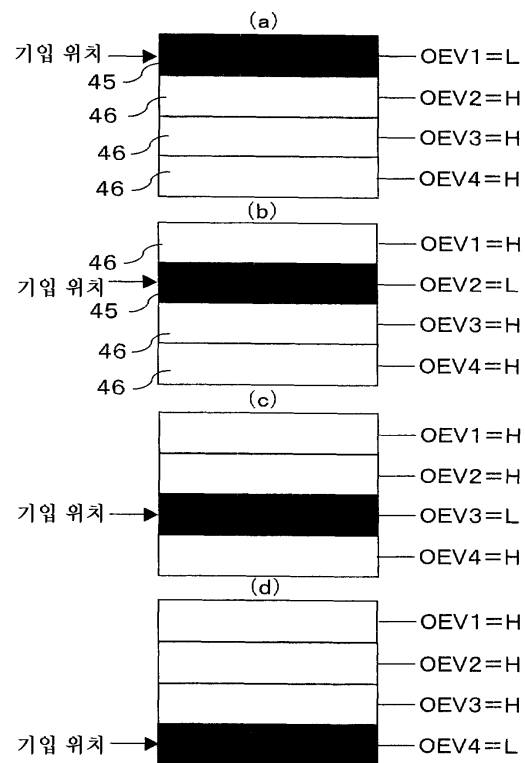
도면59



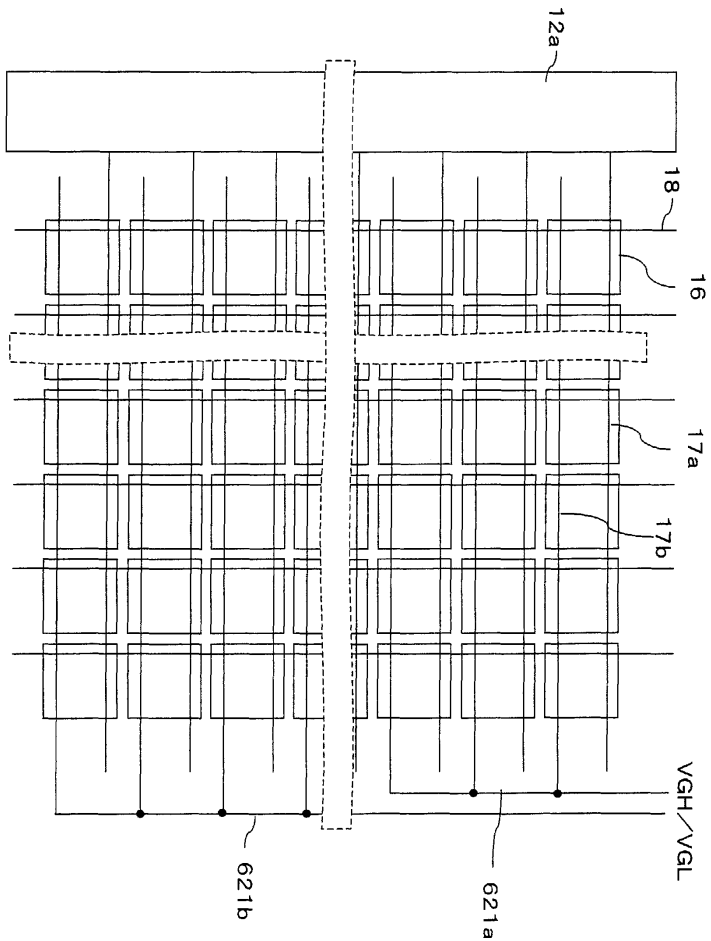
도면60



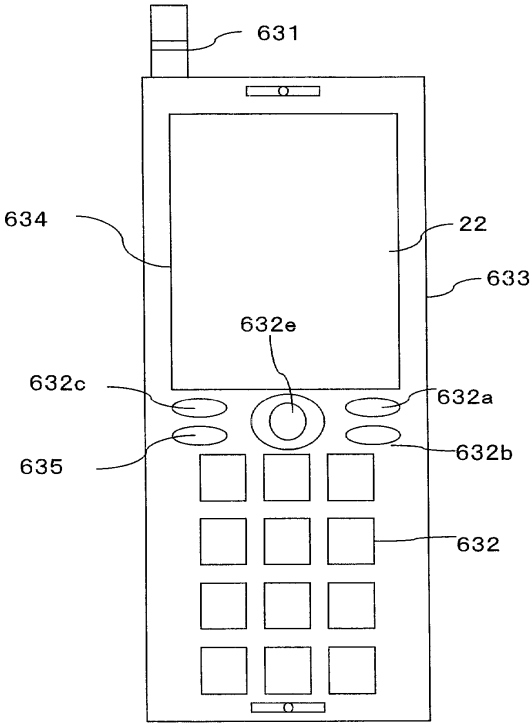
도면61



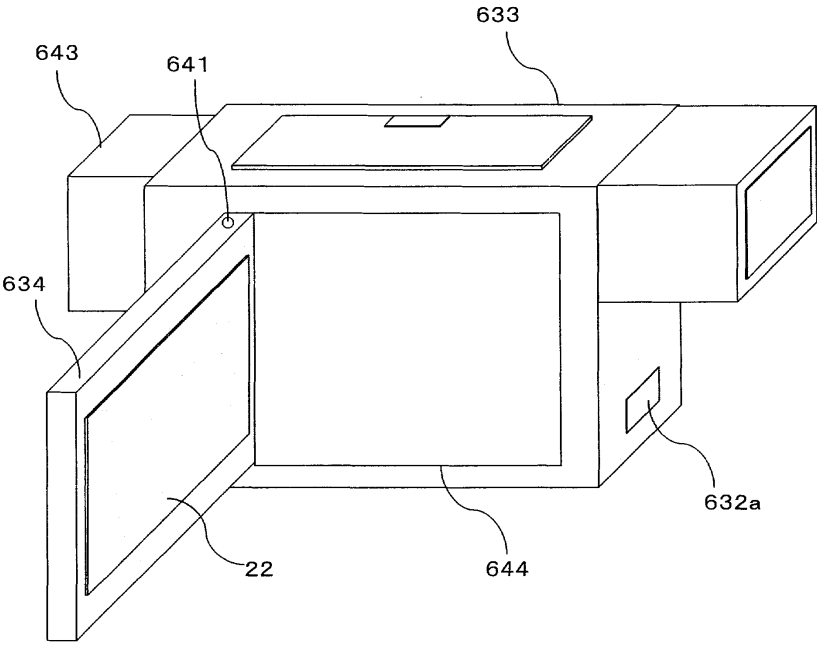
도면62



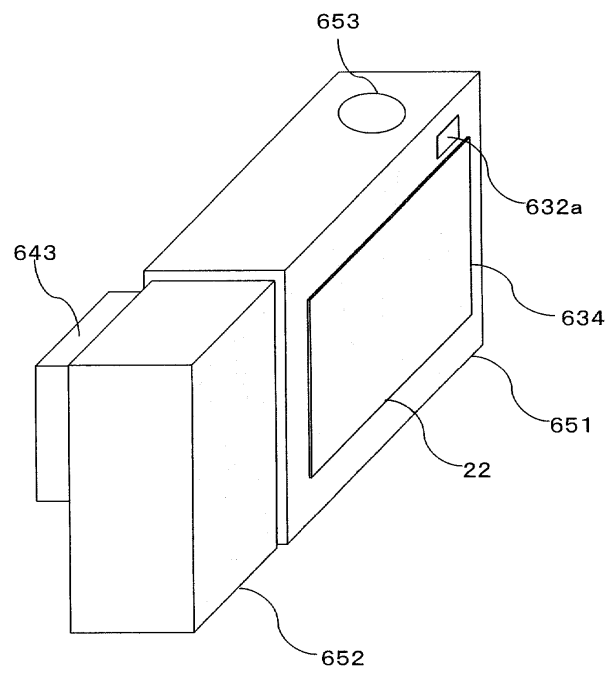
도면63



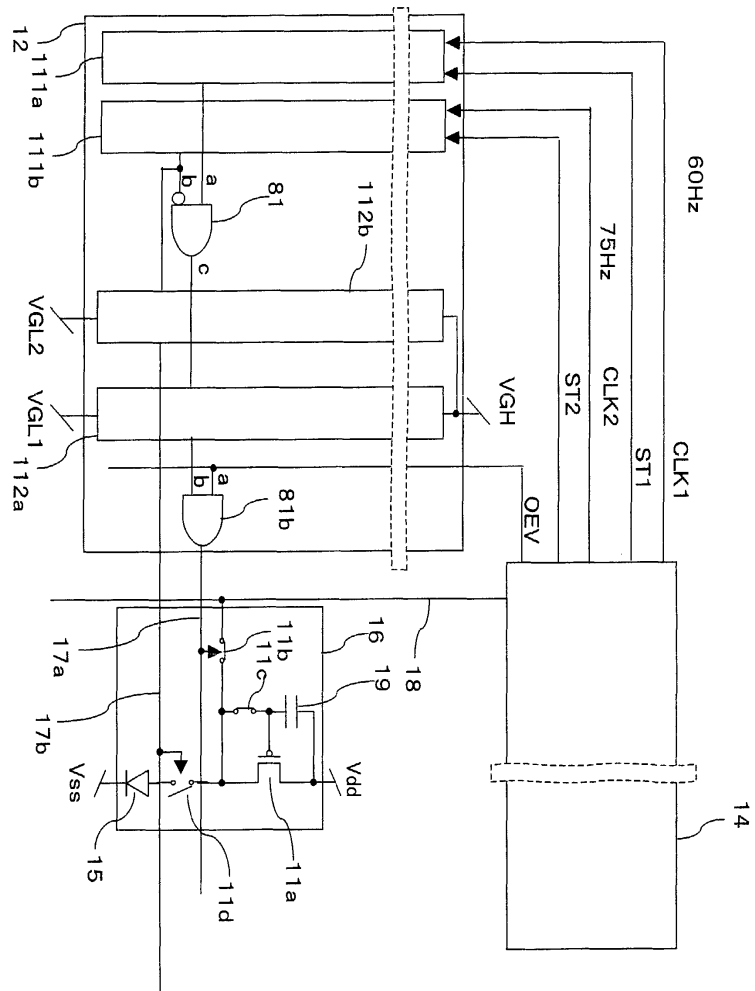
도면64



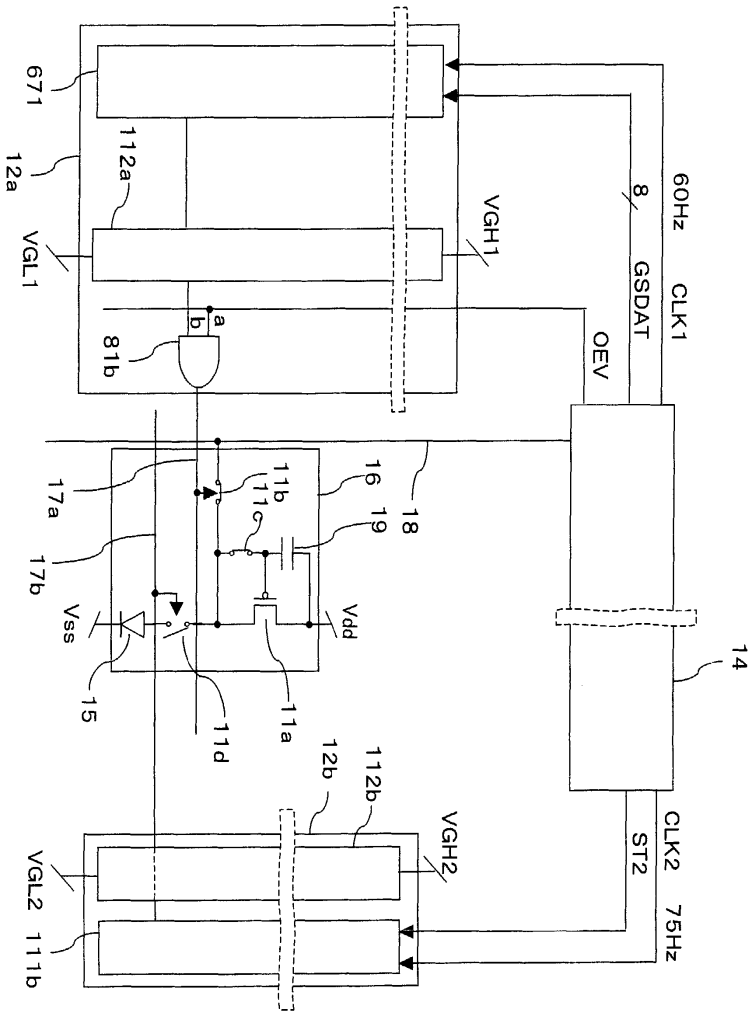
도면65



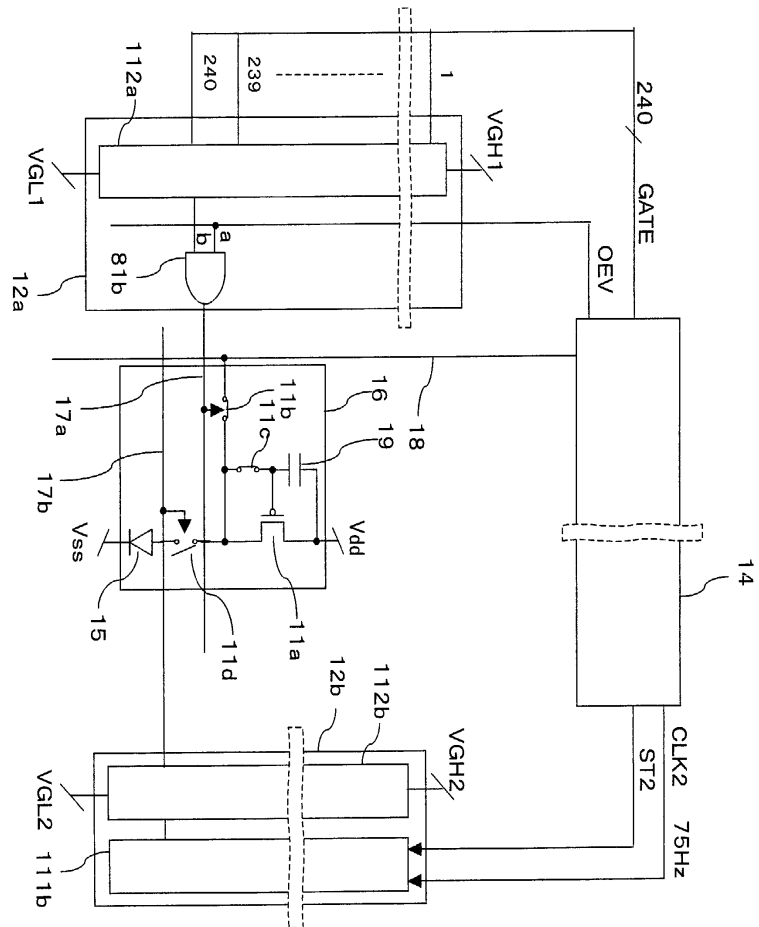
도면66



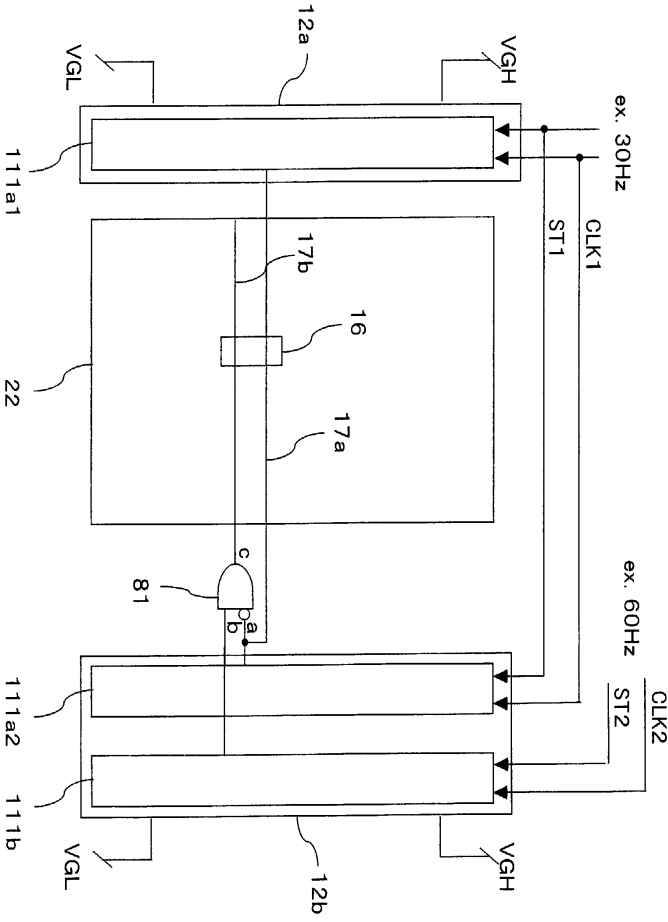
도면67



도면68



도면69



专利名称(译)	EL显示装置和EL显示装置的驱动方法		
公开(公告)号	KR100965022B1	公开(公告)日	2010-06-21
申请号	KR1020070016695	申请日	2007-02-16
申请(专利权)人(译)	可否让我这个小粉丝展示中心		
当前申请(专利权)人(译)	可否让我这个小粉丝展示中心		
[标]发明人	TAKAHARA HIROSHI		
发明人	TAKAHARA, HIROSHI		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
CPC分类号	G09G2320/0247 G09G2310/061 G09G2300/0842 G09G3/2081 G09G2310/027 G09G2320/041 G09G3/2011 G09G2310/0221 G09G2320/0271 G09G3/3266 G09G3/3283 G09G2310/04 G09G2300/0852 G09G2300/0861 G09G3/325 G09G2310/0251 G09G3/3241 G09G3/3233 G09G2300/0819 G09G2340/0435 G09G2310/0218 G09G2320/0261 G09G2360/144 G09G3/3291		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2006042700 2006-02-20 JP		
其他公开文献	KR1020070083199A		
外部链接	Espacenet		

摘要(译)

选择内接像素行的栅极信号线的驱动的驱动和指定电致发光单元的发光的栅极信号线不能被操作到不同的帧速率。栅极驱动电路 (12a) 使输入视频信号的频率 (操作帧速率, 例如1秒的图像为30秒) 同步, 并重新记录显示屏 (22)。栅极驱动电路 (12a) 在水平同步信号 (HD) 中同步, 并且它从显示屏 (22) 的像素行的1个连续地选择n (n是像素行的最大值) 数量像素行。它授权来自所选像素行中的源极驱动器电路 (14) 的编程电流 (电压)。栅极驱动电路 (12b) 在控制中同步同步信号不同于栅极驱动电路 (12a) 的水平同步信号 (HD) 或垂直扫描同步信号 (VD), 并且它连续选择n (n是像素行的最大值) 数字像素从显示屏 (22) 的像素行开始。栅极驱动电路 (12b) 在点亮控制同步信号中同步, 并选择栅极信号线 (17b)。它执行栅极信号线 (17b) 的开关控制。在像素 (16) 的栅极信号线 (17a) 和相同的栅极信号线 (17b) 选择栅极信号线 (17a) 和栅极信号线 (17b) 之间强制授权的截止电压 (VGH) 的情况下。一方或两方。电致发光单元, 栅极尝试毛刺电路, 栅极信号线, 晶体管。

