

특허청구의 범위

청구항 1

투명기판 상에 형성된 게이트 전극 차광막 및 게이트 라인 차광막;

상기 게이트 라인 차광막을 노출시키는 개구부를 포함하는 절연막;

상기 게이트 전극 차광막 상부에 배치된 폴리실리콘 패턴;

상기 폴리실리콘 패턴 상부에 배치된 게이트 전극; 및

상기 게이트 전극과 전기적으로 연결되고, 상기 개구부를 통해 상기 게이트 라인 차광막과 전기적으로 연결된 게이트 라인을 포함하는 유기 전계 발광 장치의 화소 회로.

청구항 2

기판 상에 외부로부터 입사되는 광을 차단하기 위한 차광막을 형성하는 단계;

상기 차광막이 형성된 결과물 상에 제1 절연층을 형성하는 단계;

상기 차광막의 상부에 형성된 제1 절연층 상부에 선택적으로 폴리실리콘 패턴을 형성하는 단계;

상기 폴리실리콘 패턴을 포함하는 결과물 상에 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 상에 게이트 전극 및 상기 차광막과 전기적으로 연결되도록 게이트 라인을 형성하는 단계를 포함하는 유기 전계 발광 장치의 화소 회로 형성방법.

청구항 3

제2항에 있어서, 상기 게이트 라인을 형성하는 단계는,

상기 제2 및 제1 절연층의 일부분을 차례로 식각하여 상기 차광막의 상부면을 노출시키도록 개구부를 형성하는 단계;

상기 개구부의 저면 및 측면을 포함하여 상기 제2 절연층 상에 균일하게 금속막을 도포하여 게이트 라인 콘택을 형성하는 단계; 및

상기 금속막을 패터닝하여 상기 폴리실리콘 패턴 상에 게이트 전극 및 상기 폴리실리콘 패턴과 일정 간격 이격되어 상기 게이트 라인 콘택과 연결된 채 일방향으로 진행하도록 게이트 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 장치의 화소 회로 형성방법.

청구항 4

제2항에 있어서, 상기 차광막은 크롬으로 이루어지는 것을 특징으로 하는 유기 전계 발광 장치의 화소 회로 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<16> 본 발명은 유기 전계 발광 장치의 화소 회로 및 그 제조방법에 관한 것으로, 보다 상세하게는 능동형 유기 전계 발광 장치의 화소 회로 및 그 제조방법에 관한 것이다.

<17> 평판 디스플레이(Flat Panel Display)에 대한 관심이 고조되면서, 저전압 고휘도의 자체발광 디스플레이인 유기 전계 발광 디스플레이(Organic Electroluminescence Display)에 대한 연구가 활발하게 진행되고 있다. 유기 전계 발광 디스플레이는 자체적으로 빛을 생성하는 발광층을 유기물로 형성함으로써, 상기 유기물을 합성하는 것

에 따라, 다양한 재료 개발이 가능하다. 또한, 상기 유기물은 저온에서 증착되므로, 저온 제조 공정에 의해 제조가 가능하며, 저전압으로 구동하여 디스플레이의 발광효율을 향상시킬 수 있다.

- <18> 일반적으로, 상기 유기 전계 발광 디스플레이는 투명 전극이 형성된 투명 기판 상에 정공 전달층(Hole Transporting Layer; HTL), 발광층(Emission Layer) 및 전자 전달층(Electron Transporting Layer; ETL)으로 이루어진 유기물층이 존재하고 상부에 금속전극이 형성된 후면 발광(bottom emission) 구조이다.
- <19> 상기 유기 전계 발광 디스플레이의 구동 방법에 따라, 크게 수동 매트릭스 유기 전계 발광 장치(Passive Matrix Organic Electroluminescence Device; PMOELD, 이하, "PMOELD"라고 한다.) 및 능동 매트릭스 유기 전계 발광 장치(Active Matirx Organic Electroluminescence Device; AMOELD, 이하, "AMOELD"라고 한다.)로 구분할 수 있다.
- <20> 상기 PMOELD 구동방식은 라인 형태로 패터닝 하부전극의 애노드(anode) 및 상기 애노드와 직교하도록 라인 형태로 패터닝 상부전극의 캐소드(cathode)가 진행하면서 교차하는 지점의 화소를 선택적으로 지정하여 구동하게 된다. 그러나, 디스플레이 장치의 최소 단위인 하나의 화소(pixel)를 발광시키기 위해 상기 화소가 포함된 라인 형태의 전극 전체에 대해 전류를 인가해야 하므로, 상기 전극의 라인을 따라 전류가 공급되면서 저항에 의해 전류의 소모가 발생한다. 디스플레이의 면적이 증가할수록 상기 전극의 라인으로 인한 저항 문제는 더욱 심화되게 된다. 또한, 화소별로 인가되는 전류가 일정하지 못하게 될 경우에는, 전체 디스플레이의 색 구현이 균일하지 못해, 디스플레이로서의 기능을 제대로 실행하지 못하게 된다.
- <21> 이에 반해, AMOELD 구동방식은 박막 트랜지스터를 사용하여, 화소를 개별적으로 제어할 수 있다. 따라서, PMOELD 구동방식 보다 적은 전류를 사용하여 디스플레이를 구동할 수 있을 뿐 아니라, 화소별로 특성이 다른 경우에도, 회로 설계에 의해 보상전류를 사용하여 디스플레이 전체에 걸쳐 균일한 색 구현을 실현할 수 있다.
- <22> 그러나, 상기 회로를 구성하고 있는 게이트 라인 중 하나라도 불량이 발생하게 되면, 상기 게이트 라인에 의해 전류를 공급받는 화소들은 구동되지 않으므로 전체 디스플레이를 정상적으로 구현하지 못한다. 이와 같은 불량 발생을 대비하기 위해서는 여유분의 게이트 라인이 필요하다. 그러나, 유기 전계 발광 장치는 반도체 소자와 같이 여유분의 게이트 라인을 구비하게 되면, 정해진 화소 영역 내에 회로 영역이 증가한다. 따라서, 화소당 외부로 빛을 발산할 수 있는 개구부의 면적은 상대적으로 감소하여 화소 면적에 대한 발광 면적의 비인 개구율(aperture ratio)은 현저히 감소된다. 여유분의 게이트 라인을 구비하더라도, 불량이 발생한 게이트 라인의 개수보다 여유분의 게이트 라인 개수가 적게 되면 디스플레이 장치로서 사용할 수 없으므로, 게이트 라인의 불량을 대비하는 데에는 그 한계가 있다.

발명이 이루고자 하는 기술적 과제

- <23> 따라서, 본 발명의 제1 목적은 여유분의 게이트 라인이 구비된 유기 전계 발광 장치의 화소 회로를 제공하는 것이다.
- <24> 본 발명의 제2 목적은 상기 여유분의 게이트 라인이 구비된 유기 전계 발광 장치의 화소 회로의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

- <25> 상기 제1 목적을 달성하기 위한 유기 전계 발광 장치의 화소 회로는, 투명기판 상에 형성된 게이트 전극 차광막 및 게이트 라인 차광막, 상기 게이트 전극 차광막 상의 게이트 전극 및 상기 게이트 라인 차광막과 차광막 접촉부에 의해 연결되는 게이트 라인을 포함한다.
- <26> 상기 제2 목적을 달성하기 위한 유기 전계 발광 장치의 화소 회로의 제조방법은, 기판 상에 외부로부터 입사되는 광을 차단하기 위한 차광막을 형성하는 단계, 상기 차광막 패터닝이 형성된 결과물 상에 제1 절연층을 형성하는 단계, 상기 차광막 패터닝의 상부에 형성된 제1 절연층 상부에 선택적으로 폴리실리콘 패터닝을 형성하는 단계, 상기 폴리실리콘 패터닝을 포함하는 결과물 상에 제2 절연층을 형성하는 단계 및 상기 제2 절연층 상에 게이트 전극 및 상기 차광막과 전기적으로 연결되도록 게이트 라인을 형성하는 단계를 포함한다.
- <27> 이러한 유기 전계 발광 장치의 화소 회로 및 그 제조방법에 의하면, 유기 전계 발광 장치를 이루고 있는 화소의 게이트 라인을 차광막과 도통시킴으로써, 여유분의 게이트 라인을 구비할 수 있다.
- <28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <29> 도 1a는 본 발명의 실시예에 의한 유기 전계 발광 장치의 하나의 화소 회로에 대한 평면도이다.

- <30> 도 1a를 참조하면, 기판 상에 제1방향으로 게이트 라인(260a)이 진행하고 상기 제1방향과 수직인 제2방향으로 데이터 라인(280a)이 진행한다. 상기 게이트 라인(260a)의 하부로는 차광막 접촉부(250a)를 통해 상기 게이트 라인(260a)과 연결된 차광막(미도시)이 존재한다. 하나의 화소를 이루는 상기 게이트 라인(260a) 및 데이터 라인(280a)의 교차지점에는 상기 게이트 라인(260a) 및 데이터 라인(280a)과 연결된 트랜지스터(288)가 존재한다. 상기 트랜지스터(288)와 인접한 위치에 상기 트랜지스터(288) 및 파워 공급 라인(285)과 접촉된 커패시터(275)가 위치한다. 상기 트랜지스터의 개수는 소자의 전류 공급 특성에 따라 선택적으로 조절할 수 있다.
- <31> 도 1b는 본 발명의 실시예에 의한 유기 전계 발광 장치를 설명하기 위해 도 1의 A방향으로 절개한 단면도이다.
- <32> 도 1b를 참조하면, 투명기판(200) 상에 게이트 전극 차광막(210) 및 게이트 라인 차광막(210a)이 존재한다. 상기 결과물 상에는 게이트 라인 차광막(210a)의 상부면을 일부분 노출시키는 제1 절연막(220)이 위치한다. 상기 게이트 전극 차광막(210) 상에 위치한 상기 제1 절연막(220)의 상부에는 폴리실리콘 패턴(230)이 위치하며, 상기 결과물 상에는 상기 제1 절연막(220)과 동일 영역을 노출시키는 제2 절연막(240)이 존재한다. 상기 제1 및 제2 절연막(220, 240)이 노출시키는 영역에는 차광막 접촉부(250a)가 위치한다. 상기 차광막 접촉부(250a) 상에는 게이트 라인(260a)이 존재하며, 상기 게이트 라인(260a)과 일정 간격 이격되어 제2 절연막(240) 상에는 게이트 전극(260)이 존재한다. 상기 게이트 전극(260) 상부에는 게이트 라인(260a)까지 균일하게 확장된 소오스/드레인 절연막(270)을 사이에 두고 소오스 전극(280)이 위치한다.
- <33> 2a 내지 도 2e는 본 발명의 실시예에 의한 유기 전계 발광 장치의 제조방법을 설명하기 위해 도 1의 A방향으로 절개한 단면도이다.
- <34> 도 2a를 참조하면, 유리와 같은 투명한 기판(200) 상에 크롬(Cr)과 같은 금속물을 증착하여 금속막을 형성한다. 상기 금속막을 패터닝함으로써 게이트 전극 차광막(210) 및 게이트 라인 차광막(210a)을 형성한다. 상기 게이트 전극 차광막(210) 및 게이트 라인 차광막(210a)은 외부로부터 입사되는 빛으로 인해 후속 트랜지스터를 이루고 있는 물질이 광전류를 발생시켜 소자 내에 이상 전류가 흐르는 것을 방지한다.
- <35> 상기 게이트 전극 차광막(210) 및 게이트 라인 차광막(210a)을 이루고 있는 물질은 도전성을 띠므로 상기 게이트 전극 차광막(210) 및 게이트 라인 차광막(210a)을 절연시키기 위해 제1 절연막(220)을 균일하게 형성한다.
- <36> 상기 제1 절연막(220) 상에 아몰퍼스 실리콘막(amorphous silicon film)(미도시)을 형성한다. 상기 아몰퍼스 실리콘막을 사용하여 유기 전계 발광 장치를 구동하면, 소자의 열화로 인해, 장치의 수명이 단축되므로 상기 아몰퍼스 실리콘막을 가공 처리하여 결정 배열을 변화시킴으로써 폴리실리콘막(미도시)으로 변형시킨다.
- <37> 상기 폴리실리콘막을 패터닝하여 상기 게이트 전극 차광막(210)상에 폴리실리콘 패턴(230)을 형성한다. 상기 폴리실리콘 패턴(230)은 형성하고자 하는 트랜지스터의 개수에 따라 필요한 만큼 조절할 수 있다. 상기 폴리실리콘 패턴(230)을 포함하는 결과물 상에 상기 폴리실리콘 패턴(230)을 절연시키기 위한 제2 절연막(240)을 형성한다.
- <38> 도 3a 내지 도 3b는 본 발명의 실시예에 의한 유기 전계 발광 장치의 제조방법을 설명하기 위해 도 1의 B방향으로 본 단면도이다.
- <39> 도 2b 및 도 3a를 참조하면, 상기 게이트 라인 차광막(210a) 상의 제2 절연막(240)의 일부 영역을 식각하고, 상기 제2 절연막(240)을 식각하여 상기 제1 절연막(220)의 상부를 노출시킨다. 상기 노출된 제1 절연막(220)을 식각하여 게이트 라인 차광막(210a)의 상부면이 노출되도록 개구부(250)를 형성한다.
- <40> 도 2c 및 도 3b를 참조하면, 상기 개구부(250)의 저면 및 측면을 포함하여 상기 제2 절연막(240) 상에 금속 물질을 도포함으로써 게이트 라인 차광막(210a)과 연결되는 차광막 접촉부(250a)가 형성된다. 상기 도포된 금속 물질을 패터닝하여 상기 폴리실리콘 패턴(230) 상부에 게이트 전극(260)을 형성한다. 동시에, 상기 게이트 전극(260)과 이격된 위치에는 상기 차광막 접촉부(250a)가 위치한 화소의 일면을 가로지르도록 게이트 라인(260a)을 형성한다.
- <41> 이와 같이, 상기 게이트 라인(260a)이 형성되는 영역의 하부에 게이트 라인 차광막(210a)과 연결되는 차광막 접촉부를 형성함으로써 게이트 라인(260a)은 하부의 도전 물질로 이루어진 게이트 라인 차광막(210a)과 전기적으로 연결된다.
- <42> 따라서, 소자의 제작 완성 후, 게이트 라인(260a)에 전기적인 결함이 발생하여 전기적 도통이 불가능하여도 상기 게이트 라인(260a)과 연결된 하부의 게이트 라인 차광막(210a)으로 전기적 흐름이 발생한다. 따라서, 소자를 구동시켜 정상적인 디스플레이를 구현할 수 있다. 즉, 게이트 라인(260a)의 불량 발생을 대비하기 위해 부가적

으로 게이트 라인 여유분을 형성하여 소자의 개구율을 감소시키지 않으면서도 차광막을 이용하여 부가적인 공정 없이 게이트 라인의 불량 발생시 대체할 수 있는 여유분의 배선을 확보할 수 있다.

- <43> 도 2d를 참조하면, 상기 게이트 전극(260)의 좌측 및 우측 하부의 폴리실리콘 패턴(230)에 대해 이온 도핑하여 소오스/드레인 영역(미도시)을 형성한다. 상기 결과물 상에 소오스/드레인 절연막(270)을 형성한다. 전류를 인가 받아 트랜지스터를 작동하기 위해 상기 소오스/드레인 절연막(270)을 통해 상기 폴리실리콘 패턴(230)의 소오스 영역(미도시)과 연결되는 소오스 전극(280)을 형성한다. 상기 결과물을 절연시키기 위해 제3 절연막(290)을 형성한다.
- <44> 도 2e를 참조하면, 상기 결과물 상에 상기 회로부와 전기적으로 연결되는 하부전극(292), 전류가 인가되었을 때 정공 및 전자에 의해 자가 발광할 수 있는 물질로 이루어지는 유기물층(296) 및 상부전극(298)을 차례로 적층한다.

발명의 효과

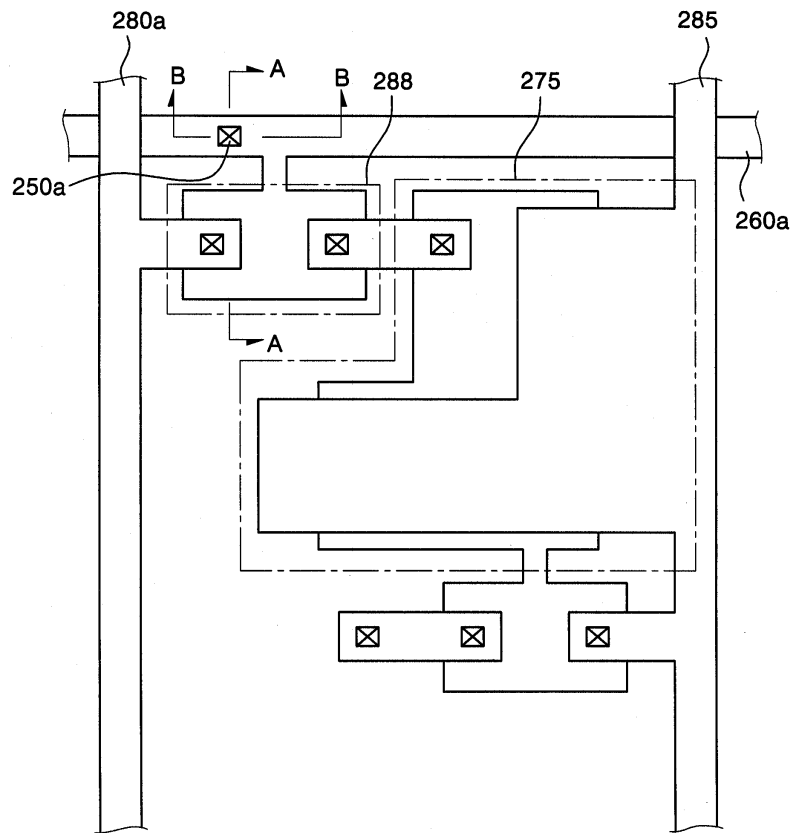
- <45> 상술한 바와 같이 본 발명에 의하면, 금속으로 이루어진 차광막 및 화소의 일면을 따라 진행하는 게이트 라인을 접촉부에 의해 전기적으로 연결되도록 형성한다.
- <46> 이와 같이, 유기 전계 발광 장치를 이루고 있는 화소의 게이트 라인을 차광막과 도통시킴으로써, 화소의 회로부 면적을 증가시키지 않고 여분의 게이트 라인을 구비할 수 있다. 따라서, 화소의 게이트 라인에 불량이 발생하여도, 불량이 발생한 게이트 라인과 연결된 차광막을 이용하여 전류를 인가할 수 있다. 즉, 소자의 불량 발생을 감소시켜 수율을 향상시킬 수 있다.
- <47> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

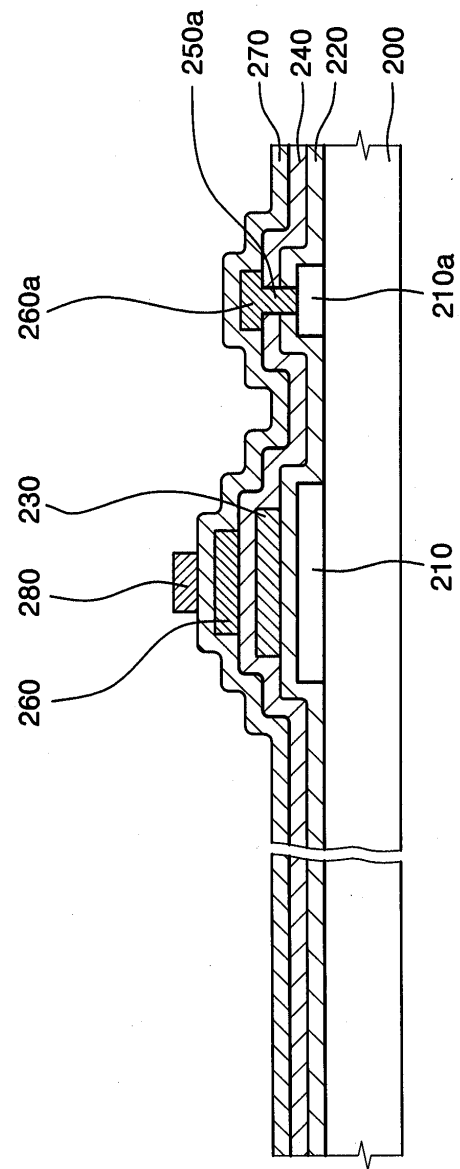
- | | | |
|------|--|------------------|
| <1> | 도 1a는 본 발명의 실시예에 의한 유기 전계 발광 장치의 하나의 화소 회로에 대한 평면도이다. | |
| <2> | 도 1b는 본 발명의 실시예에 의한 유기 전계 발광 장치의 하나의 화소 회로를 설명하기 위해 도 1a의 A방향으로 절개한 단면도이다. | |
| <3> | 2a 내지 도 2e는 본 발명의 실시예에 의한 유기 전계 발광 장치의 제조방법을 설명하기 위해 도 1의 A방향으로 절개한 단면도이다. | |
| <4> | 도 3a 내지 도 3b는 본 발명의 실시예에 의한 유기 전계 발광 장치의 제조방법을 설명하기 위해 도 1의 B방향으로 본 단면도이다. | |
| <5> | <도면의 주요 부분에 대한 부호의 설명> | |
| <6> | 200 : 기판 | 210 : 게이트 전극 차광막 |
| <7> | 210a: 게이트 라인 차광막 | 220 : 제1 절연막 |
| <8> | 230 : 폴리실리콘 패턴 | 240 : 제2 절연막 |
| <9> | 250 : 개구부 | 250a: 차광막 접촉부 |
| <10> | 260 : 게이트 전극 | 260a : 게이트 라인 |
| <11> | 270 : 소오스/드레인 절연막 | 275 : 커패시터 |
| <12> | 280a : 데이터 라인 | 285 : 파워 공급 라인 |
| <13> | 280 : 소오스 전극 | 288 : 트랜지스터 |
| <14> | 290 : 제3 절연막 | 292 : 하부전극 |
| <15> | 296 : 유기물층 | 298 : 상부전극 |

도면

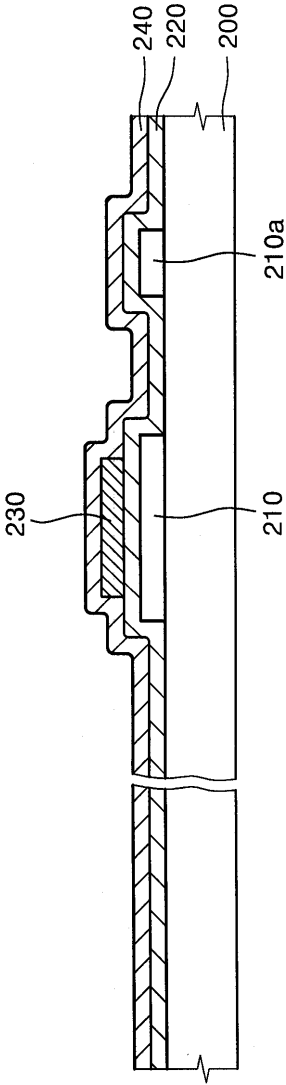
도면1a



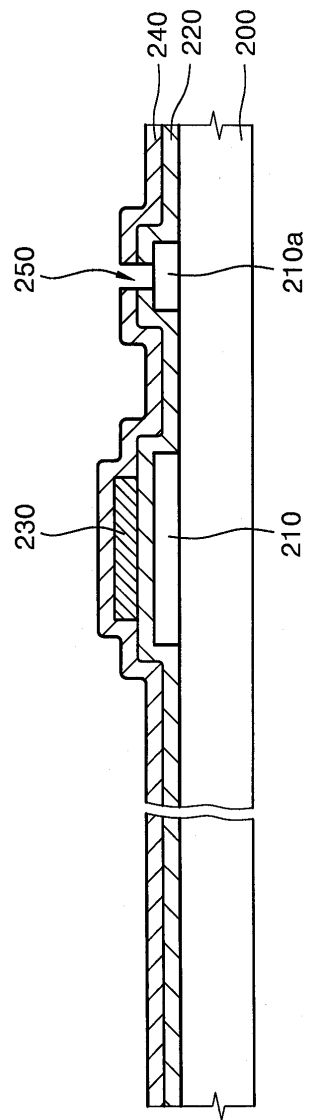
도면1b



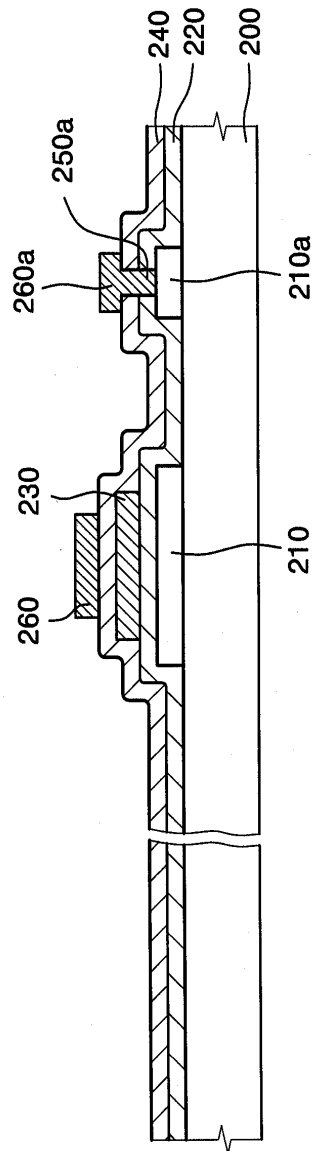
도면2a



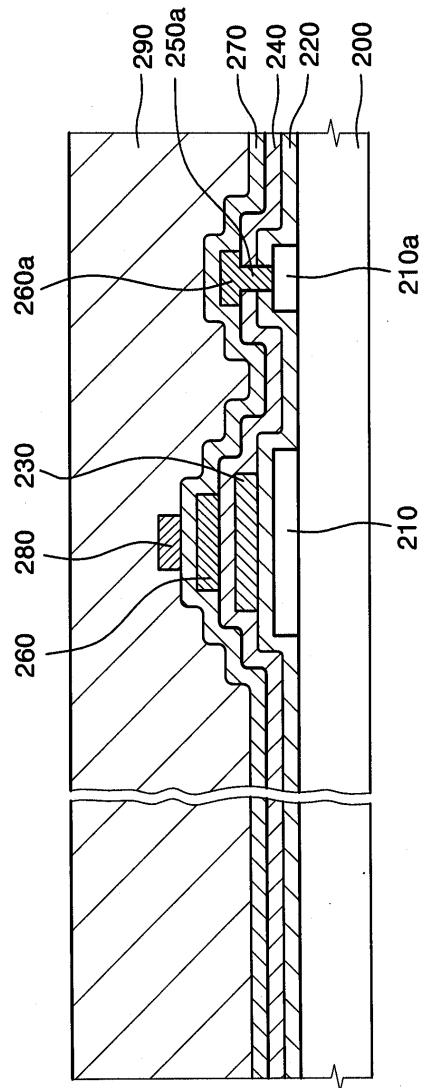
도면2b



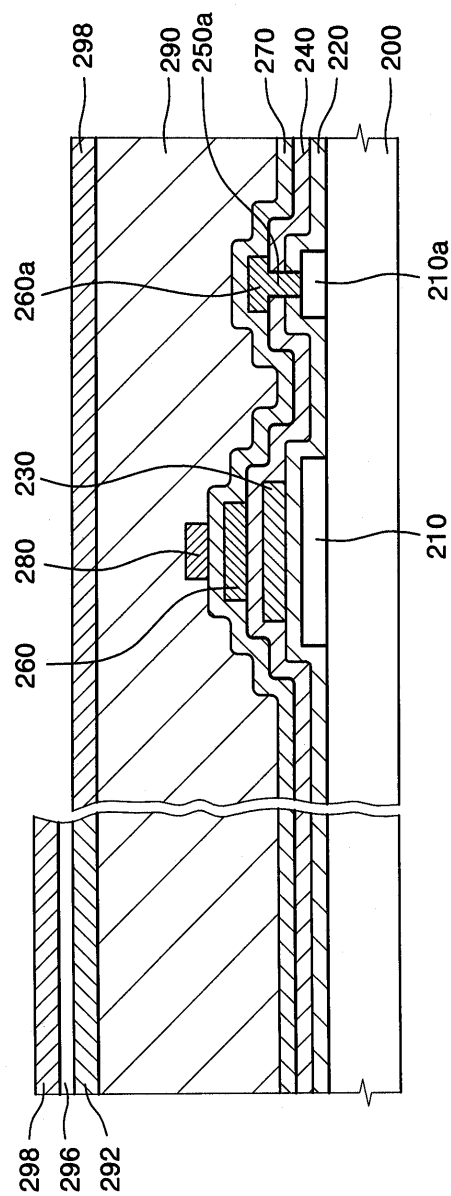
도면2c



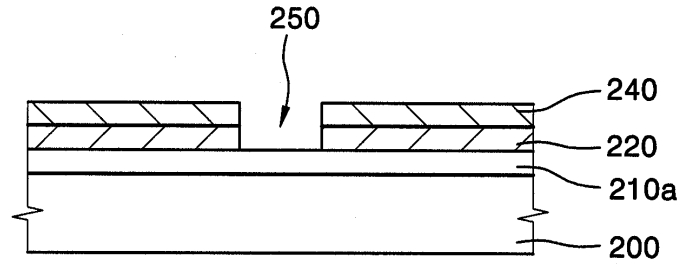
도면2d



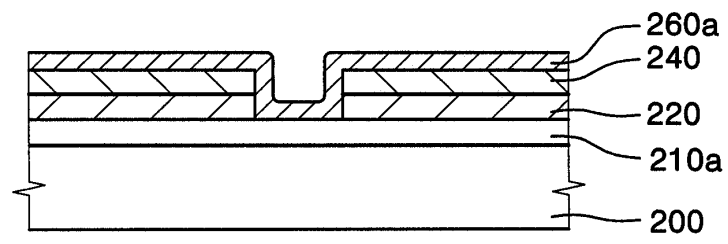
도면2e



도면3a



도면3b



专利名称(译)	有机电致发光器件的像素电路及其制造方法		
公开(公告)号	KR100902076B1	公开(公告)日	2009-06-09
申请号	KR1020020060461	申请日	2002-10-04
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWANWOOK		
发明人	JUNG,KWANWOOK		
IPC分类号	H05B33/00		
CPC分类号	H01L27/1259 H01L27/3262 H01L27/3272		
代理人(译)	PARK , YOUNG WOO		
其他公开文献	KR1020040031857A		
外部链接	Espacenet		

摘要(译)

目的：提供一种像素电路及其制造方法，以通过布置栅极线而不增加像素的电路部分的面积来实现提高的良率。 构成：像素电路包括形成在透明基板（200）上的栅电极屏蔽膜（210）和栅线屏蔽膜（210a）；第一绝缘膜（220），用于暴露栅线屏蔽膜的特定部分；在设置在栅电极屏蔽膜上的第一绝缘膜上形成多晶硅图案（230）；第二绝缘膜（240）形成在包括多晶硅图案的所得结构上，其中第二绝缘膜暴露由第一绝缘膜暴露的栅极线屏蔽膜的一部分；在第二绝缘膜上形成的栅电极（260）；在由第一绝缘膜和第二绝缘膜暴露的区域中形成的屏蔽膜接触部分（250a）；栅极线（260a）形成在屏蔽膜接触部分上。

