(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G09G 3/30 (2006.01)

(45) 공고일자 2007년02월07일
(11) 등록번호 10-0678875
(24) 등록일자 2007년01월30일

(21) 출원번호 10-2000-0055994
(22) 출원일자 2000년09월23일
심사청구일자 2005년09월23일

(65) 공개번호 10-2001-0050612
(43) 공개일자 2001년06월15일

(30) 우선권주장 99-270091 1999년09월24일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마준
일본국가나가와켄아쓰기시하세398가부시키가이샤한도오따이에네루기
켄큐쇼내

(74) 대리인 이병호
이범래

심사관 : 최정윤

전체 청구항 수 : 총 39 항

(54) 이엘 디스플레이 장치 및 전자 장치

(57) 요약

적색, 청색, 및 녹색의 발광 휘도의 밸런스가 양호한 선명한 영상들을 디스플레이할 수 있는 EL 디스플레이 장치가 제공된다. EL 디스플레이 장치는 각각 EL 소자들을 포함하는 다수의 화소들을 가지며, EL 디스플레이 장치는 다수의 EL 소자들이 발광하는 시간을 제어함으로써 계조 표시를 수행한다. EL 디스플레이 장치는 각각의 EL 소자들에 인가된 전압이 각각 EL 소자들을 포함하는 다수의 화소들에 의해 디스플레이되는 색들에 따라 다른 것을 특징으로 한다.

대표도

도 1a

특허청구의 범위

청구항 1.
삭제

청구항 2.

삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.
삭제

청구항 6.
삭제

청구항 7.
삭제

청구항 8.
삭제

청구항 9.
삭제

청구항 10.
삭제

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.

삭제

청구항 20.

전계 발광 디스플레이 장치(an electroluminescence display device)에 있어서:

제 1 전계 발광 소자, 상기 제 1 전계 발광 소자에 전기적으로 접속된 제 1 박막 트랜지스터 및 상기 제 1 박막 트랜지스터에 전기적으로 접속된 제 2 박막 트랜지스터를 포함하는 제 1 화소; 및

제 2 전계 발광 소자, 상기 제 2 전계 발광 소자에 전기적으로 접속된 제 3 박막 트랜지스터 및 상기 제 3 박막 트랜지스터에 전기적으로 접속된 제 4 박막 트랜지스터를 포함하는 제 2 화소를 포함하고,

상기 제 1 박막 트랜지스터는 제 1 소스 영역, 제 1 드레인 영역, 제 1 채널 영역 및 제 1 저농도 도핑 영역을 포함하고,

상기 제 1 저농도 도핑 영역은 상기 제 1 박막 트랜지스터의 상기 제 1 소스 영역과 상기 제 1 드레인 영역을 연결하는 방향으로 제 1 길이를 갖고,

상기 제 3 박막 트랜지스터는 제 2 소스 영역, 제 2 드레인 영역, 제 2 채널 영역 및 제 2 저농도 도핑 영역을 포함하고,

상기 제 2 저농도 도핑 영역은 상기 제 3 박막 트랜지스터의 상기 제 2 소스 영역과 상기 제 2 드레인 영역을 연결하는 방향으로 제 2 길이를 갖고,

상기 제 1 길이는 상기 제 2 길이보다 길고,

상기 제 1 전계 발광 소자에 인가된 제 1 전압은 상기 제 2 전계 발광 소자에 인가된 제 2 전압 보다 높은, 전계 발광 디스플레이 장치.

청구항 21.

제 20 항에 따른 전계 발광 디스플레이 장치를 포함하는 전자 장치로서, 비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스널 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 22.

제 20 항에 있어서,

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터 각각은 n-채널 박막 트랜지스터인, 전계 발광 디스플레이 장치.

청구항 23.

제 20 항에 있어서,

상기 제 1 전계 발광 소자로부터 방출된 광은 제 1 색을 갖고, 상기 제 2 전계 발광 소자로부터 방출된 광은 상기 제 1 색과는 다른 제 2 색을 갖는, 전계 발광 디스플레이 장치.

청구항 24.

제 20 항에 있어서,

상기 제 1 및 제 3 박막 트랜지스터들은 전계 발광 구동기 박막 트랜지스터들이고,

상기 제 2 및 제 4 박막 트랜지스터들은 스위칭 박막 트랜지스터들인, 전계 발광 디스플레이 장치.

청구항 25.

전계 발광 디스플레이 장치에 있어서:

제 1 전계 발광 소자, 제 1 전계 발광 구동기 박막 트랜지스터 및 제 1 스위칭 박막 트랜지스터를 포함하는 제 1 화소; 및

제 2 전계 발광 소자, 제 2 전계 발광 구동기 박막 트랜지스터 및 제 2 스위칭 박막 트랜지스터를 포함하는 제 2 화소를 포함하고,

상기 제 1 전계 발광 구동기 박막 트랜지스터는 제 1 폭을 갖는 제 1 채널 영역을 포함하고, 제 2 전계 발광 구동기 박막 트랜지스터는 제 2 폭을 갖는 제 2 채널 영역을 포함하고,

상기 제 1 폭은 상기 제 2 폭 보다 크고,

상기 제 1 전계 발광 소자에 인가된 제 1 전압은 상기 제 2 전계 발광 소자에 인가된 제 2 전압 보다 높은, 전계 발광 디스플레이 장치.

청구항 26.

제 25 항에 따른 전계 발광 디스플레이 장치를 포함하는 전자 장치로서, 비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스널 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 27.

제 25 항에 있어서,

상기 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터 각각은 n-채널 박막 트랜지스터인, 전계 발광 디스플레이 장치.

청구항 28.

제 25 항에 있어서,

상기 제 1 전계 발광 소자로부터 방출된 광은 제 1 색을 갖고, 상기 제 2 전계 발광 소자로부터 방출된 광은 상기 제 1 색과는 다른 제 2 색을 갖는, 전계 발광 디스플레이 장치.

청구항 29.

전계 발광 디스플레이 장치에 있어서:

제 1 전계 발광 소자, 상기 제 2 전계 발광 소자에 전기적으로 접속된 제 1 박막 트랜지스터 및 상기 제 1 박막 트랜지스터에 전기적으로 접속된 제 2 박막 트랜지스터를 포함하는 제 1 화소; 및

제 2 전계 발광 소자, 상기 제 2 전계 발광 소자에 전기적으로 접속된 제 3 박막 트랜지스터 및 상기 제 3 박막 트랜지스터에 전기적으로 접속된 제 4 박막 트랜지스터를 포함하고,

상기 제 1 박막 트랜지스터는 제 1 폭을 갖는 제 1 채널 영역을 포함하고, 상기 제 3 박막 트랜지스터는 제 2 폭을 갖는 제 2 채널 영역을 포함하고,

상기 제 1 폭은 상기 제 2 폭 보다 크고,

상기 제 1 전계 발광 소자에 인가된 제 1 전압은 상기 제 2 전계 발광 소자에 인가된 제 2 전압 보다 높은, 전계 발광 디스플레이 장치.

청구항 30.

제 29 항에 따른 전계 발광 디스플레이 장치를 포함하는 전자 장치로서, 비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스널 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 31.

제 29 항에 있어서,

상기 제 1 박막 트랜지스터 및 상기 제 2 박막 트랜지스터 각각은 n-채널 박막 트랜지스터인, 전계 발광 디스플레이 장치.

청구항 32.

제 29 항에 있어서,

상기 제 1 전계 발광 소자로부터 방출된 광은 제 1 색을 갖고, 상기 제 2 전계 발광 소자로부터 방출된 광은 상기 제 1 색과는 다른 제 2 색을 갖는, 전계 발광 디스플레이 장치.

청구항 33.

제 29 항에 있어서,

상기 제 1 및 제 3 박막 트랜지스터들은 전계 발광 구동기 박막 트랜지스터들이고,

상기 제 2 및 제 4 박막 트랜지스터들은 스위칭 박막 트랜지스터들인, 전계 발광 디스플레이 장치.

청구항 34.

전계 발광 디스플레이 장치를 구동하는 방법에 있어서:

제 1 박막 트랜지스터의 게이트 전극에 제 1 디지털 데이터 신호를 입력하는 단계;

제 2 박막 트랜지스터의 게이트 전극에 제 2 디지털 데이터 신호를 입력하는 단계;

상기 제 1 디지털 데이터 신호에 기초하여, 제 1 전원선으로부터의 제 1 전압을 상기 제 1 박막 트랜지스터에 접속된 제 1 전계 발광 소자에 인가하는 단계; 및

상기 제 2 디지털 데이터 신호에 기초하여, 제 2 전원선으로부터의 제 2 전압을 상기 제 2 박막 트랜지스터에 접속된 제 2 전계 발광 소자에 인가하는 단계를 포함하고,

상기 제 1 전압은 상기 제 2 전압 보다 높고,

상기 제 1 박막 트랜지스터는 제 1 소스 영역, 제 1 드레인 영역, 제 1 채널 영역 및 제 1 저농도 도핑 영역을 포함하고,

상기 제 1 저농도 도핑 영역은 상기 제 1 박막 트랜지스터의 상기 제 1 소스 영역 및 상기 제 1 드레인 영역을 연결하는 방향으로 제 1 길이를 갖고,

상기 제 2 박막 트랜지스터는 제 2 소스 영역, 제 2 드레인 영역, 제 2 채널 영역 및 제 2 저농도 도핑 영역을 포함하고,

상기 제 2 저농도 도핑 영역은 상기 제 2 박막 트랜지스터의 상기 제 2 소스 영역 및 상기 제 2 드레인 영역을 연결하는 방향으로 제 2 길이를 갖고,

상기 제 1 길이는 상기 제 2 길이 보다 긴, 전계 발광 디스플레이 장치 구동 방법.

청구항 35.

제 34 항에 있어서,

상기 제 1 전계 발광 소자로부터 방출된 광은 제 1 색을 갖고, 상기 제 2 전계 발광 소자로부터 방출된 광은 상기 제 1 색과는 다른 제 2 색을 갖는, 전계 발광 디스플레이 장치 구동 방법.

청구항 36.

제 34 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 전계 발광 구동기 박막 트랜지스터들인, 전계 발광 디스플레이 장치 구동 방법.

청구항 37.

전계 발광 디스플레이 장치 구동 방법에 있어서:

제 1 박막 트랜지스터의 게이트 전극에 제 1 디지털 데이터 신호를 입력하는 단계;

제 2 박막 트랜지스터의 게이트 전극에 제 2 디지털 데이터 신호를 입력하는 단계;

상기 제 1 디지털 데이터 신호에 기초하여, 제 1 전원선으로부터의 제 1 전압을 상기 제 1 박막 트랜지스터에 접속된 제 1 전계 발광 소자에 인가하는 단계; 및

상기 제 2 디지털 데이터 신호에 기초하여, 제 2 전원선으로부터의 제 2 전압을 상기 제 2 박막 트랜지스터에 접속된 제 2 전계 발광 소자에 인가하는 단계를 포함하고,

상기 제 1 전압은 상기 제 2 전압 보다 높고,

상기 제 1 전계 발광 소자는 제 1 박막 트랜지스터에 접속되고, 상기 제 2 전계 발광 소자는 제 2 박막 트랜지스터에 접속되고,

상기 제 1 박막 트랜지스터는 제 1 폭을 갖는 제 1 채널 영역을 포함하고, 상기 제 2 박막 트랜지스터는 제 2 폭을 갖는 제 2 채널 영역을 포함하고,

상기 제 1 폭은 상기 제 2 폭 보다 큰, 전계 발광 디스플레이 장치 구동 방법.

청구항 38.

제 37 항에 있어서,

상기 제 1 전계 발광 소자로부터 방출된 광은 제 1 색을 갖고, 상기 제 2 전계 발광 소자로부터 방출된 광은 상기 제 1 색과는 다른 제 2 색을 갖는, 전계 발광 디스플레이 장치 구동 방법.

청구항 39.

제 37 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 전계 발광 구동기 박막 트랜지스터들인, 전계 발광 디스플레이 장치 구동 방법.

청구항 40.

전계 발광 디스플레이 장치를 포함하는 전자 장치에 있어서:

상기 전계 발광 디스플레이 장치는,

기판 상에 형성된 제 1 전계 발광 소자;

제 1 전원선;

상기 제 1 전원선과 상기 제 1 전계 발광 소자 사이에 전기적으로 접속된 제 1 박막 트랜지스터로서, 상기 제 1 전원선으로부터 상기 제 1 박막 트랜지스터를 통해 상기 제 1 전계 발광 소자로 전류가 공급되는, 상기 제 1 박막 트랜지스터;

상기 기판 상에 형성된 제 2 전계 발광 소자;

제 2 전원선; 및

상기 제 2 전원선과 상기 제 2 전계 발광 소자 사이에 전기적으로 접속된 제 2 박막 트랜지스터로서, 상기 제 2 전원선으로부터 상기 제 2 박막 트랜지스터를 통해 상기 제 2 전계 발광 소자로 전류가 공급되는, 상기 제 2 박막 트랜지스터를 포함하고,

상기 제 1 박막 트랜지스터는 제 1 채널 영역 및 제 1 저농도 도핑 영역을 포함하고, 상기 제 1 저농도 도핑 영역은 상기 제 1 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 방향으로 제 1 길이를 갖고,

상기 제 2 박막 트랜지스터는 제 2 채널 영역 및 제 2 저농도 도핑 영역을 포함하고, 상기 제 2 저농도 도핑 영역은 상기 제 2 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 방향으로 제 2 길이를 갖고,

상기 제 1 길이는 상기 제 2 길이 보다 크고,

상기 제 1 전계 발광 소자에 인가된 제 1 전압은 상기 제 2 전계 발광 소자에 인가된 제 2 전압 보다 높은, 전자 장치.

청구항 41.

제 40 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 n-채널 박막 트랜지스터들인, 전자 장치.

청구항 42.

제 40 항에 있어서,

상기 제 1 전계 발광 소자는 제 1 색을 갖는 광을 방출하는 제 1 유기 발광층을 포함하고, 상기 제 2 전계 발광 소자는 상기 제 1 색과는 다른 제 2 색을 갖는 광을 방출하는 제 2 유기 발광층을 포함하는, 전자 장치.

청구항 43.

제 40 항에 있어서,

비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스널 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 44.

전계 발광 디스플레이 장치를 포함하는 전자 장치에 있어서:

상기 전계 발광 디스플레이 장치는,

기판 상에 형성된 제 1 전계 발광 소자;

제 1 전원선;

상기 제 1 전원선과 상기 제 1 전계 발광 소자 사이에 전기적으로 접속된 제 1 박막 트랜지스터로서, 상기 제 1 전원선으로부터 상기 제 1 박막 트랜지스터를 통해 상기 제 1 전계 발광 소자로 전류가 공급되는, 상기 제 1 박막 트랜지스터;

상기 기판 상에 형성된 제 2 전계 발광 소자;

제 2 전원선; 및

상기 제 2 전원선과 상기 제 2 전계 발광 소자 사이에 전기적으로 접속된 제 2 박막 트랜지스터로서, 상기 제 2 전원선으로부터 상기 제 2 박막 트랜지스터를 통해 상기 제 2 전계 발광 소자로 전류가 공급되는, 상기 제 2 박막 트랜지스터를 포함하고,

상기 제 1 박막 트랜지스터는 제 1 채널 폭을 갖는 제 1 채널 영역을 포함하고,

상기 제 2 박막 트랜지스터는 제 2 채널 폭을 갖는 제 2 채널 영역을 포함하고,

상기 제 1 채널 폭은 상기 제 2 채널 폭 보다 크고,

상기 제 1 전계 발광 소자에 인가된 제 1 전압은 상기 제 2 전계 발광 소자에 인가된 제 2 전압 보다 높은, 전자 장치.

청구항 45.

제 44 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 n-채널 박막 트랜지스터들인, 전자 장치.

청구항 46.

제 44 항에 있어서,

상기 제 1 전계 발광 소자는 제 1 색을 갖는 광을 방출하는 제 1 유기 발광층을 포함하고, 상기 제 2 전계 발광 소자는 상기 제 1 색과는 다른 제 2 색을 갖는 광을 방출하는 제 2 유기 발광층을 포함하는, 전자 장치.

청구항 47.

제 44 항에 있어서,

비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스널 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 48.

적어도 하나의 전계 발광 디스플레이 장치를 포함하는 전자 장치에 있어서:

상기 전계 발광 디스플레이 장치는,

기판 상에 형성되고, 채널 영역, 소스 및 드레인 영역들 및 적어도 하나의 저농도 도핑 영역을 구비하는 반도체층을 포함하는 제 1 박막 트랜지스터;

상기 기판 상에 형성되고, 채널 영역, 소스 및 드레인 영역들 및 적어도 하나의 저농도 도핑 영역을 구비하는 반도체층을 포함하는 제 2 박막 트랜지스터;

상기 제 1 및 제 2 박막 트랜지스터들 상에 형성된 층간 절연막;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 1 박막 트랜지스터에 전기적으로 접속된 제 1 화소 전극;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 2 박막 트랜지스터에 전기적으로 접속된 제 2 화소 전극;

제 1 색을 갖는 광을 방출할 수 있고 상기 제 1 화소 전극 상에 형성된 유기 재료를 포함하는 제 1 발광층; 및

상기 제 1 색과는 다른 제 2 색을 갖는 광을 방출할 수 있고 상기 제 2 화소 전극 상에 형성된 유기 재료를 포함하는 제 2 발광층을 포함하고,

상기 제 1 박막 트랜지스터의 캐리어 유동 방향에 따른 상기 제 1 박막 트랜지스터의 상기 저농도 도핑 영역의 길이는 상기 제 2 박막 트랜지스터의 캐리어 유동 방향에 따른 상기 제 2 박막 트랜지스터의 상기 저농도 도핑 영역의 길이 보다 큰, 전자 장치.

청구항 49.

제 48 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 n-채널 박막 트랜지스터들인, 전자 장치.

청구항 50.

제 48 항에 있어서,

비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스널 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 51.

적어도 하나의 전계 발광 디스플레이 장치를 포함하는 전자 장치에 있어서:

상기 전계 발광 디스플레이 장치는,

기판 상에 형성되고 채널 영역을 포함하는 제 1 박막 트랜지스터;

상기 기판 상에 형성되고 채널 영역을 포함하는 제 2 박막 트랜지스터;

상기 제 1 및 제 2 박막 트랜지스터들 상에 형성된 층간 절연막;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 1 박막 트랜지스터에 전기적으로 접속된 제 1 화소 전극;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 2 박막 트랜지스터에 전기적으로 접속된 제 2 화소 전극;

제 1 색을 갖는 광을 방출할 수 있고 상기 제 1 화소 전극 상에 형성된 유기 재료를 포함하는 제 1 발광층; 및

상기 제 1 색과는 다른 제 2 색을 갖는 광을 방출할 수 있고 상기 제 2 화소 전극 상에 형성된 유기 재료를 포함하는 제 2 발광층을 포함하고,

상기 제 1 박막 트랜지스터의 상기 채널 영역의 채널 폭은 상기 제 2 박막 트랜지스터의 상기 채널 영역의 채널 폭 보다 큰, 전자 장치.

청구항 52.

제 51 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 n-채널 박막 트랜지스터들인, 전자 장치.

청구항 53.

제 51 항에 있어서,

비디오 카메라, 디지털 카메라, 자동차-네비게이터, 퍼스털 컴퓨터 및 이동 전화로 이루어지는 그룹으로부터 선택되는, 전자 장치.

청구항 54.

제 51 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 p-채널 박막 트랜지스터들인, 전자 장치.

청구항 55.

적어도 하나의 전계 발광 디스플레이 장치를 포함하는 이동 전화에 있어서:

상기 전계 발광 디스플레이 장치는,

기판 상에 형성되고, 채널 영역, 소스 및 드레인 영역들 및 적어도 하나의 저농도 도핑 영역을 구비하는 반도체층을 포함하는 제 1 박막 트랜지스터;

상기 기판 상에 형성되고, 채널 영역, 소스 및 드레인 영역들 및 적어도 하나의 저농도 도핑 영역을 구비하는 반도체층을 포함하는 제 2 박막 트랜지스터;

상기 제 1 및 제 2 박막 트랜지스터들 상에 형성된 층간 절연막;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 1 박막 트랜지스터에 전기적으로 접속된 제 1 화소 전극;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 2 박막 트랜지스터에 전기적으로 접속된 제 2 화소 전극;

제 1 색을 갖는 광을 방출할 수 있고 상기 제 1 화소 전극 상에 형성된 유기 재료를 포함하는 제 1 발광층; 및

상기 제 1 색과는 다른 제 2 색을 갖는 광을 방출할 수 있고 상기 제 2 화소 전극 상에 형성된 유기 재료를 포함하는 제 2 발광층을 포함하고,

상기 제 1 박막 트랜지스터의 캐리어 유동 방향에 따른 상기 제 1 박막 트랜지스터의 상기 저농도 도핑 영역의 길이는 상기 제 2 박막 트랜지스터의 캐리어 유동 방향에 따른 상기 제 2 박막 트랜지스터의 상기 저농도 도핑 영역의 길이 보다 큰, 이동 전화.

청구항 56.

제 55 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 n-채널 박막 트랜지스터들인, 이동 전화.

청구항 57.

적어도 하나의 전계 발광 디스플레이 장치를 포함하는 이동 전화에 있어서:

상기 전계 발광 디스플레이 장치는,

기판 상에 형성되고 채널 영역을 포함하는 제 1 박막 트랜지스터;

상기 기판 상에 형성되고 채널 영역을 포함하는 제 2 박막 트랜지스터;

상기 제 1 및 제 2 박막 트랜지스터들 상에 형성된 층간 절연막;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 1 박막 트랜지스터에 전기적으로 접속된 제 1 화소 전극;

상기 층간 절연막 상에 형성되고, 상기 층간 절연막을 통해 상기 제 2 박막 트랜지스터에 전기적으로 접속된 제 2 화소 전극;

제 1 색을 갖는 광을 방출할 수 있고 상기 제 1 화소 전극 상에 형성된 유기 재료를 포함하는 제 1 발광층; 및

상기 제 1 색과는 다른 제 2 색을 갖는 광을 방출할 수 있고 상기 제 2 화소 전극 상에 형성된 유기 재료를 포함하는 제 2 발광층을 포함하고,

상기 제 1 박막 트랜지스터의 상기 채널 영역의 채널 폭은 상기 제 2 박막 트랜지스터의 상기 채널 영역의 채널 폭 보다 큰, 이동 전화.

청구항 58.

제 57 항에 있어서,

상기 제 1 및 제 2 박막 트랜지스터들은 n-채널 박막 트랜지스터들인, 이동 전화.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

본 발명은 기판 상에 만들어진 반도체 소자(반도체 박막을 이용하는 소자)로 형성된 EL(전계 발광(electroluminescence)) 디스플레이 장치와, 디스플레이로서 EL 디스플레이 장치를 구비하는 전자 장치에 관한 것이다.

관련 기술의 설명

기판 상에 TFT를 형성하는 기술들은 최근 크게 진보하였으며, 매트릭스형 디스플레이 장치들을 액티브시키는 응용들의 개발이 진행되고 있다. 특히, 폴리실리콘 막을 이용하는 TFT는 종래의 비결정질 실리콘 막을 이용하는 TFT 보다 큰 전계 이동도(electric field effect mobility)(또는 이동도)를 가지며, 고속으로 동작할 수 있다. 따라서, 종래에는 기판 외부의 구동기 회로에 의해 수행되었지만, 화소들과 같은 동일한 기판 상에 형성된 구동기 회로에 의해 화소들의 제어를 수행하는 것이 가능하게 된다.

액티브 매트릭스 디스플레이 장치의 이러한 형태는 동일한 기판 상에 다양한 회로들과 소자들을 제조함으로써 낮은 제조 비용, 작은 디스플레이 장치, 수율 증가, 및 작업량 감소와 같은 많은 이점들이 얻어진다.

게다가, 자체-발광(self luminescing) 소자들로서 EL 소자들을 갖는 액티브 매트릭스형 EL 디스플레이 장치들의 연구가 활발해 진다. EL 디스플레이 장치는 또한 유기 EL 디스플레이(OELD, organic EL display) 또는 유기 발광 다이오드(OLED, organic light emitting diode)로서 설명된다.

EL 디스플레이 장치는 액정 디스플레이 장치와는 다른 자체 발광 형태이다. EL 소자는 한 쌍의 전극들 사이에 끼워진 EL층 및 일반적으로 적층 구조(lamination structure)인 EL층의 구조를 갖는다. Eastman Kodak Co.의 Tang, et al.에 의해 제안된 "홀 수송층, 발광층, 및 전자 수송층(a hole transporting layer, a light emitting layer, and an electron transporting layer)"의 적층 구조는 일반적인 구조로서 주어질 수 있다. 이 구조는 극히 높은 발광 효율을 가지며, 현대의 거의 모든 EL 장치들의 연구 및 개발은 이 구조를 사용하기 시작한다.

게다가, 화소 전극 상에 차례로 형성되는 홀 주입층, 홀 수송층, 발광층, 및 전자 수송층 또는 화소 전극 상에 차례로 형성되는 홀 주입층, 홀 수송층, 발광 층, 및 전자 주입층과 같은 부가 구조들도 사용될 수 있다. 형광 안료(fluorescing pigment)와 같은 요소도 EL층에 도핑될 수 있다.

그 후, 소정의 전압은 한 쌍의 전극들에 의한 상기 구조를 갖는 EL층에 인가되어, 발광층에서 캐리어들의 재결합이 발생하고 발광된다. EL 소자의 발광은 본원 전체에서 EL 소자를 구동하는 것으로써 설명된다.

게다가, 애노드, EL층, 및 캐소드로 형성된 발광 소자는 본원 전체에서 EL 소자로서 설명된다.

발명이 이루고자 하는 기술적 과제

대략적으로 나누어진 EL 디스플레이 장치에 대한 4개의 색 디스플레이 방법들, 즉, R(적색), G(녹색), B(청색)에 대응하는 3가지 형태의 EL 소자들을 형성하는 방법, 백색 발광 EL 소자들과 색 필터들을 조합하는 방법, 청색 또는 청색-녹색 소자들과 형광체들(형광색 변경 층들, CCMs)을 조합하는 방법, 및 RGB에 대응하는 캐소드(대향 전극)와 겹쳐진 EL 소자들에 대한 투명 전극을 이용하는 방법이 있다.

그러나, 일반적으로, 유기 EL 재료들은, 적색 발광의 휘도가 청색 및 녹색 발광의 휘도와 비교해서 낮다. 따라서, 디스플레이되는 적색 영상들의 휘도는 이러한 형태의 발광 특징들을 갖는 유기 EL 재료들이 EL 디스플레이에 사용될 때 더 약해진다.

게다가, 적색 광 보다 다소 낮은 파장을 갖는 오렌지색 광을 사용하는 방법은 적색 광의 휘도가 청색 또는 녹색 광과 비교해 낮기 때문에 종래에 실행되어 졌다. 그러나, 적색 영상들의 휘도는 적색 영상들이 디스플레이되려고 할 때, EL 디스플레이 장치에 의해 디스플레이되고, 오렌지색으로써 디스플레이된다.

발명의 구성

발명의 개요

상기의 고려사항들에 있어서, 본 발명의 목적은 다른 휘도의 적색, 청색, 및 녹색 광을 갖는 유기 EL 재료들을 이용하여 적색, 청색, 및 녹색의 발광 휘도의 밸런스가 양호한 영상을 디스플레이하기 위한 EL 디스플레이 장치를 제공하는 것이다.

본 발명의 응용은 시분할 계조 표시를 수행하는 EL 디스플레이 장치에서 상대적으로 높은 발광 휘도를 갖는 색의 디스플레이를 수행하는 EL 소자에 인가된 전압보다 큰 낮은 발광 휘도를 갖는 색의 디스플레이를 수행하는 EL 소자에 인가된 전압을 만든다.

EL 소자에 대한 전류 제어를 수행하는 EL 구동기 TFT는 EL 소자가 발광하도록 하기 위해 EL 구동기 TFT의 구동을 제어하는 스위칭 TFT보다 상대적으로 큰 전류 흐름을 갖는다. TFT의 구동 제어는 TFT의 게이트 전극에 인가된 전압을 제어하기 위해 온(on) 상태 또는 오프(off) 상태로 설정되는 것을 의미한다. 특히, 본 발명의 상기 구조는 다른 색들을 디스플레

이하는 화소들의 EL 구동기 TFT들에서 보다 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들에서 더 큰 전류가 흐른다. 따라서, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 표면들은 핫 캐리어 주입으로 인해 다른 색들을 디스플레이하는 화소들의 EL 구동기 TFT들보다 빨리 붕괴된다.

게다가, 상기 구조에서 본 발명의 출원자는 핫 캐리어 주입에 의한 EL 구동기 TFT들의 열화에 대한 대책으로서 높은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD 영역의 길이보다 긴 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD 영역의 길이를 만들었다.

본원에 있어서, LDD 영역의 길이는 소스 영역과 드레인 영역을 연결하는 방향의 LDD 영역 길이에 대해 설명한다는 것을 유념해야 한다.

게다가, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)은 동시에 상대적으로 높은 발광 휘도를 갖는 색들을 디플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W) 보다 크게 만든다.

본원에 있어서, 채널 폭(W)은 소스 영역과 드레인 영역을 연결하는 방향에 대해 수직 방향으로 채널 영역의 길이에 대해 설명한다는 것을 유념해야 한다.

EL 구동기 TFT들을 제어하기 위한 전류의 양은 상기 구조에 따라 인가된 전압을 상승시킴으로써 증가되지만, 본 발명은 EL 구동기 TFT들의 열화를 억제할 수 있다. 게다가, EL 소자들에 인가된 전압값으로 EL 소자들에 의해 방출되는 광의 휘도를 조절하고, 선명한 색들과 적색, 청색, 및 녹색의 발광 휘도의 밸런스가 양호한 영상들을 디스플레이하는 것이 가능하게 된다. 본 발명은 시분할 계조 표시뿐만 아니라 다른 디스플레이 방법이 사용될 수 있다는 것을 유념해야 한다.

본 발명의 구조는 이하에 나타난다.

본 발명에 따르면, 다수의 화소들을 갖는 EL 디스플레이 장치로서, 각각은 EL 소자를 포함하고,

EL 디스플레이 장치는 다수의 EL 소자들에 의해 광이 방출되는 시간의 양을 제어함으로써 계조 표시를 수행하고,

다수의 EL 소자들에 인가된 전압은 EL 소자들을 포함하는 다수의 화소들에 디스플레이되는 색에 따라 다른 것을 특징으로 하는 EL 디스플레이 장치가 제공된다.

또한 본 발명에 따르면,

다수의 화소들을 가지며, 각각은,

EL 소자,

EL 소자로부터의 발광을 제어하기 위한 EL 구동기 TFT, 및

EL 구동기 TFT의 구동을 제어하기 위한 스위칭 TFT를 포함하며,

EL 디스플레이 장치가 다수의 EL 소자들에 의해 광이 방출되는 시간의 양을 제어함으로써 계조 표시를 수행하고,

다수의 EL 소자들에 인가된 전압이 각각 EL 소자들을 포함하는 다수의 화소들에 의해 디스플레이되는 색에 따라 다르고,

다수의 EL 구동기 TFT들이 n-채널 TFT들로 구성되며,

다수의 EL 소자들에 인가된 더 높은 전압, 채널의 세로 방향에서 다수의 EL 구동기 TFT들의 LDD 영역의 더 긴 길이를 특징으로 하는 EL 디스플레이 장치가 제공된다.

게다가, 본 발명에 따르면,

다수의 화소들을 가지며, 각각은,

EL 소자,

EL 소자로부터의 발광을 제어하기 위한 EL 구동기 TFT, 및

EL 구동기 TFT의 구동을 제어하기 위한 스위칭 TFT를 포함하며,

EL 디스플레이 장치는 다수의 EL 소자들에 의해 광이 방출되는 시간의 양을 제어함으로써 계조 표시를 수행하고,

다수의 EL 소자들에 인가된 전압은 각각 EL 소자들을 포함하는 다수의 화소들에 의해 디스플레이되는 색에 따라 다르고,

다수의 EL 구동기 TFT들은 n-채널 TFT들로 구성되며,

다수의 EL 소자들에 인가된 더 높은 전압, 다수의 EL 구동기 TFT들의 채널 영역의 더 넓은 폭을 특징으로 하는 EL 디스플레이 장치가 제공된다.

또한, 본 발명에 따르면,

다수의 화소들을 가지며, 각각은,

EL 소자,

EL 소자로부터의 발광을 제어하기 위한 EL 구동기 TFT, 및

EL 구동기 TFT의 구동을 제어하기 위한 스위칭 TFT를 포함하며,

EL 디스플레이 장치는 다수의 EL 소자들에 의해 광이 방출되는 시간의 양을 제어함으로써 계조 표시를 수행하고,

다수의 EL 소자들에 인가된 전압은 각각 EL 소자들을 포함하는 다수의 화소들에 의해 디스플레이되는 색에 따라 다르고,

다수의 EL 구동기 TFT들이 n-채널 TFT들로 구성되고,

다수의 EL 소자들에 인가된 더 높은 전압, 채널의 세로 방향에서 다수의 EL 구동기 TFT들의 LDD 영역의 더 긴 길이, 및

다수의 EL 소자들에 인가된 더 높은 전압, 다수의 EL 구동기 TFT들의 채널 영역의 더 넓은 폭을 특징으로 하는 EL 디스플레이 장치가 제공된다.

본 발명에 따르면,

다수의 화소들을 가지며, 각각은,

EL 소자,

EL 소자로부터의 발광을 제어하기 위한 EL 구동기 TFT, 및

EL 구동기 TFT의 구동을 제어하기 위한 스위칭 TFT를 포함하며,

EL 디스플레이 장치는 다수의 EL 소자들에 의해 광이 방출되는 시간의 양을 제어함으로써 계조 표시를 수행하고,

다수의 EL 소자들에 인가된 전압은 각각 EL 소자들을 포함하는 다수의 화소들에 의해 디스플레이되는 색에 따라 다르며,

다수의 EL 소자들에 인가된 더 높은 전압, 다수의 EL 구동기 TFT들의 채널 영역의 더 넓은 폭을 특징으로 하는 EL 디스플레이 장치가 제공된다.

본 발명은 또한 스위칭 TFT들에 입력되는 디지털 신호로 제어되는 다수의 EL 소자들에 의해 광이 방출되는 시간의 양으로 특징지어질 수 있다.

본 발명은 또한 전자 장치가 상기 EL 디스플레이 장치를 사용할 수 있다.

바람직한 실시예들의 상세한 설명

실시예 형태

도 1a 및 도 1b는 본 발명의 EL 디스플레이 장치의 회로 구조를 나타낸다. 도 1a의 EL 디스플레이 장치는 화소부(101) 및 화소부 주변에 배치된 데이터 신호측 구동기 회로(102)와 게이트 신호측 구동기 회로(103)를 가지며, TFT들의 모든 구성부들은 기판 상에 형성된다. EL 디스플레이 장치가 본 발명의 실시예 형태에서 하나의 데이터 신호측 구동기 회로와 하나의 게이트 신호측 구동기 회로를 갖지만, 2개의 데이터 신호측 구동기 회로들 또한 본 발명에 사용될 수 있다. 또한, 2개의 게이트 신호측 구동기 회로들도 사용될 수 있다.

데이터 신호측 구동기 회로(102)는 기본적으로 시프트 레지스터(102a), 래치(A)(102b) 및 래치(B)(102c)를 포함한다. 또한, 클럭 펄스들(CK)과 시작 펄스들(SP)은 시프트 레지스터(102a)로의 입력이고, 디지털 데이터 신호들은 래치(A)(102b)로의 입력이며, 래치 신호들은 래치(B)(102c)로의 입력이다.

화소부에 입력된 디지털 데이터 신호들은 시분할 계조 데이터 신호 발생기 회로(114)에 의해 형성된다. 아날로그 신호 또는 디지털 신호(영상 정보를 포함하는 신호)인 비디오 신호가 시분할 계조 수행으로 디지털 데이터 신호로 변환되는 것과 함께, 상기 회로는 시분할 계조 표시를 수행하기 위해 필요한 타이밍 펄스들 또는 그와 같은 것을 발생시키는 회로이다.

일반적으로, 하나의 프레임 기간을 n-비트 계조들(n은 2보다 크거나 같은 실수)에 대응하는 다수의 서브-프레임 기간들로 분할하는 수단과, 다수의 서브-프레임들에서 주소 기간(address period)과 지속 기간(sustain period)을 선택하는 수단, 및 지속 기간들이 $Ts1 : Ts2 : Ts3 : \ldots : Ts(n-1) : Ts(n) = 2^{0} : 2^{-1} : 2^{-2} : \ldots : 2^{-(n-2)} : 2^{-(n-1)}$가 되도록 설정하는 수단이 시분할 계조 데이터 신호 발생기 회로(114)에 포함된다.

시분할 계조 데이터 신호 발생기 회로(114)는 또한 본 발명의 EL 디스플레이 장치에 대해 외부에 형성될 수 있다. 이러한 경우에 있어서, 형성된 디지털 신호들이 본 발명의 EL 디스플레이 장치에 대한 입력으로 존재하는 구조가 된다. 따라서, 디스플레이로서 본 발명의 EL 디스플레이 장치를 갖는 전자 장치는 분리된 구성 요소들로서 본 발명의 EL 디스플레이 장치와 시분할 계조 데이터 신호 발생기 회로를 포함한다.

게다가, 본 발명의 EL 디스플레이 장치는 시분할 계조 데이터 신호 발생기 회로(114)용 IC 칩을 이용하는 것과 같은 형태로 구현될 수도 있다. 이러한 경우에 있어서, IC 칩에 의해 형성된 디지털 데이터 신호들은 본 발명의 EL 디스플레이 장치에 대한 입력인 구조가 된다. 따라서, 디스플레이로서 본 발명의 EL 디스플레이 장치를 갖는 전자 장치는 시분할 계조 데이터 신호 발생기 회로를 포함하는 IC 칩의 구현시에 본 발명의 EL 디스플레이 장치를 포함한다.

게다가, 시분할 계조 데이터 신호 발생기 회로(114)는 화소부(101), 데이터 신호측 구동기 회로(102), 및 게이트 신호측 구동기 회로(103)와 같이 동일한 기판 상에 TFT들로 형성될 수도 있다. 이러한 경우에 있어서, 모든 처리는 EL 디스플레이 장치에 대한 입력인 영상 정보를 포함하는 비디오 신호가 제공되는 기판 상에서 수행된다. 그것은 물론 액티브층들로서 본 발명에 사용된 폴리실리콘 막들을 갖는 TFT들의 시분할 계조 데이터 신호 발생기 회로를 형성하는 것이 바람직하다. 또한, 이러한 경우에, 디스플레이로서 본 발명의 EL 디스플레이 장치를 갖는 전자 장치는 EL 디스플레이 장치 내에 통합된 시분할 계조 데이터 신호 발생기 회로를 가지며, 그것은 전자 장치를 작게 만드는 것이 가능하다.

다수의 화소들(104)은 화소부(101)에 매트릭스 상태로 배열된다. 화소들(104)의 확대된 도면이 도 1b에 도시되어 있다. 참조 번호(105)는 도 1b에서 스위칭 TFT를 나타낸다. 스위칭 TFT의 게이트 전극은 게이트 신호가 입력되는 게이트 배선(106)에 접속된다. 드레인 영역 중 하나와 스위칭 TFT(105)의 소스 영역은 디지털 데이터 신호를 입력하기 위한 데이터 배선(또한 소스 배선으로서 설명됨)(107)에 접속되고, 다른 것은 EL 구동기 TFT(108)의 게이트 전극에 접속된다.

디지털 데이터 신호는 "0" 및 "1"의 정보를 포함하고, 디지털 데이터 신호들 "0" 및 "1" 중 하나는 하이(Hi) 전위를 갖지만, 다른 것은 로우(Lo) 전위를 갖는다.

게다가, EL 구동기 TFT(108)의 소스 영역은 전원선(111)에 접속되고, 드레인 영역은 EL 소자(110)에 접속된다.

EL 소자(110)는 EL 구동기 TFT(108)의 드레인 영역에 접속된 화소 전극과 반대 화소 전극 및 사이에 끼워진 EL층이 형성된 대향 전극으로 구성되며, 대향 전극은 고정 전위(공통 전위)를 유지하는 공통 전력 공급(112)에 접속된다.

화소 전극으로서 EL 소자(110)의 애노드를 사용하고, 대향 전극드로서 캐소드를 사용할 때, EL 구동기 TFT(108)는 p-채널 TFT인 것이 바람직하다는 것을 유념해야 한다.

화소 전극으로서 EL 소자(110)의 캐소드를 사용하고, 대향 전극으로서 애노드를 사용할 때, 구동기 TFT(108)는 n-채널 TFT인 것이 바람직하다는 것을 유념해야 한다.

전원선(111)에 인가된 전위는 EL 구동기 전위로서 설명된다. EL 구동기 전위는 EL 소자가 발광할 때 온(on) EL 구동기 전위로서 설명된다. 또한, EL 구동기 전위는 EL 소자가 발광하지 않을 때 오프(off) EL 구동기 전위로서 설명된다.

게다가, EL 구동기 전위와 공통 전위 사이의 차이는 EL 구동기 전압으로서 설명된다. EL 구동기 전압은 EL 소자가 발광할 때 온 EL 구동기 전압으로서 설명된다. 또한, EL 구동기 전압은 EL 소자가 발광하지 않을 때 오프 EL 구동기 전압으로서 설명된다.

전원선(111)에 인가된 온 EL 구동기 전압의 값은 대응 화소에 디스플레이되는 색(적색, 녹색, 청색)에 따라 변한다. 예를 들어, 유기 EL 재료에 의해 방출되는 적색 광의 휘도가 방출되는 청색 및 녹색 광의 휘도보다 낮을 때, 적색을 디스플레이 하는 화소들에 접속된 전원선들에 인가된 온 EL 구동기 전압은 청색 및 녹색을 디스플레이 하는 화소들에 접속된 전원선들에 인가된 온 EL 구동기 전압보다 높게 설정된다.

저항체는 또한 화소 전극을 갖는 EL 소자(110)와 EL 구동기 TFT(108)의 드레인 영역 사이에 형성될 수 있다는 것을 유념해야 한다. EL 구동기 TFT로부터 EL 요소에 공급되는 전류의 양을 제어하고, 저항체를 형성하는 EL 구동기 TFT의 분산을 가져오는 임의의 영향을 방지하도록 하는 것이 가능하게 된다. 저항체는 EL 구동기 TFT(108)의 온 저항보다 충분히 큰 소자를 디스플레이하는 저항일 수 있으며, 따라서 그 구조에는 한계가 없다. 온 저항은 그 시간에 흐르는 드레인 전류에 의해 분할된 TFT 드레인 전압의 값일 수 있다는 것을 유념해야 한다. 저항체의 저항값은 1kΩ 내지 50MΩ(바람직하게 10kΩ 내지 10MΩ, 더 바람직하게 50kΩ 내지 1MΩ)의 범위에서 선택될 수 있다. 저항체로서 고 저항값을 갖는 반도체 층의 사용은 그것을 형성하기 쉽기 때문에 바람직하다.

스위칭 TFT(105)가 비선택 상태(오프 상태)에 있을 때 EL 구동기 TFT(108)의 게이트 전압을 유지하기 위한 콘덴서(113)가 제공된다. 콘덴서(113)는 스위칭 TFT(105)의 드레인 영역과 전원선(111)에 접속된다.

시분할 계조 표시는 도 1a 내지 도 2를 이용하여 다음에 설명된다. n-비트 구동 방법에 의한 2^n 계조 표시를 수행하는 예가 여기에서 설명된다.

먼저, 하나의 프레임 기간이 n개의 서브-프레임 기간들(SF1 내지 SFn)로 분할된다. 하나의 영상을 디스플레이하는 화소부의 모든 화소들에서 기간은 하나의 프레임 기간으로서 설명된다는 것에 유념해야 한다. 방출 주파수는 정상 EL 디스플레이에서 60Hz보다 크거나 같으며, 즉, 60개 또는 그 이상의 프레임 기간들이 1초 동안 형성되거나, 60개 또는 그 이상의 영상들이 1초 동안 디스플레이된다. 1초 동안 디스플레이되는 영상들의 수가 60보다 작으면, 영상의 깜빡임이 시각적으로 보이게 된다. 게다가 하나의 프레임 기간이 분할된 다수의 기간들로 되는 것은 서브-프레임들로서 설명된다는 것에 유념해야 한다. 계조들의 수가 커짐에 따라, 하나의 프레임의 분할의 수가 증가하고 구동기 회로는 고주파수에서 구동되어야 한다(도 2).

하나의 서브-프레임 기간은 주소 기간(Ta)과 지속 기간(Ts)으로 나누어진다. 주소 기간은 하나의 서브-프레임 기간 동안 모든 화소들에 데이터를 입력하기 위해 필요한 시간이고, 지속 기간(또한 턴 온 기간으로서 설명됨)은 EL 소자가 발광하기 위한 기간을 나타낸다.

각각 n개의 서브-프레임 기간들(SF1 내지 SFn)을 갖는 주소 기간들(Ta1 내지 Tan)의 길이들은 모두 고정된다. 각각 서브-프레임 기간들(SF1 내지 SFn)을 갖는 주소 기간들(Ts)은 Ts1 내지 Tsn이 된다.

지속 기간들의 길이는 Ts1 : Ts2 : Ts3 : ... : Ts(n-1) : Tsn = $2^0 : 2^{-1} : 2^{-2} : ... : 2^{-(n-2)} : 2^{-(n-1)}$가 되도록 설정된다. SF1 내지 SFn의 외형적인 순서는 임의적으로 설정될 수 있다. 2^n개의 계조들 중 바람직한 값들의 계조 표시는 지속 기간들을 결합함으로써 수행될 수 있다.

먼저, 전원선(111)은 오프 EL 구동기 전위를 유지하는 상태로 설정되고, 게이트 신호는 게이트 배선들(106)에 인가되며, 게이트 배선들(106)에 모두 접속된 스위칭 TFT들(105)은 온 상태로 설정된다. 오프 EL 구동기 전위는 EL 소자들에서 발광하지 않는 정도의 전위이다.

다음으로, 스위칭 TFT들(105)이 온 상태로 설정된 후 또는 스위칭 TFT들(105)이 온 상태로 설정되는 동시에, "0" 또는 "1" 정보를 갖는 디지털 데이터 신호는 스위칭 TFT들(105)의 소스 영역에 입력된다.

디지털 데이터 신호는 스위칭 TFT들(105)을 통해 EL 구동기 TFT들(108)의 게이트 전극들에 접속된 콘덴서들(113)에 입력되고 저장된다. 디지털 데이터 신호가 모든 화소들에 입력되는 동안의 기간은 주소 기간이다.

주소 기간이 완료된 후, 전원선들(111)은 온 EL 전위로 유지되고, 스위칭 TFT들은 오프 상태에 놓이며, 콘덴서들(113)에 저장된 디지털 데이터 신호는 EL 구동기 TFT들(108)의 게이트 전극들에 입력된다.

온 EL 구동기 전위의 크기는 온 EL 구동기 전위와 공통 전위 사이에서 발광하는 EL 소자들이 되도록 하는 정도의 온인 것에 유념해야 한다. 애노들에 인가된 전위는 캐소들에 인가된 전위보다 큰 것이 바람직하다. 즉, 애노드들이 화소 전극들로서 사용될 때, 온 EL 구동기 전위는 공통 전위보다 크게 설정되는 것이 바람직하다. 반면에, 화소 전극들로서 캐소드들이 사용될 때, 온 EL 구동기 전위는 공통 전위보다 작게 설정되는 것이 바람직하다.

디지털 데이터 신호가 이 실시예 모드에서 "0" 정보를 가질 때, EL 구동기 TFT들(108)은 오프 상태로 설정되며, 전원선들(111)에 인가된 온 EL 구동기 전압은 EL 소자들(110)의 애노드들(화소 전극들)에 인가되지 않는다.

반면에 "1" 정보의 경우에 있어서, EL 구동기 TFT들(108)은 온 상태로 설정되며, 전원선들(111)에 인가된 온 EL 구동기 전압은 EL 소자들(110)의 애노드들(화소 전극들)에 인가된다.

결과적으로, "0" 정보를 포함하는 디지털 데이터 신호에 대한 화소들의 EL 소자들(110)은 발광하지 않도록 인가된다. "1" 정보를 포함하는 디지털 데이터 신호에 대한 화소들의 EL 소자들(110)은 발광하도록 인가된다. 발광이 완료될 때까지의 기간은 지속 기간이다.

EL 소자들(110)이 발광하도록 하는 기간(화소들이 턴 온 됨)은 Ts1 내지 Tsn의 임의의 기간이다. 소정의 화소들은 여기에서 Tsn 기간동안 턴 온 된다.

다음으로, 데이터 신호가 모든 화소들에 입력될 때, 주소 기간이 다시 시작되고 지속기간도 시작된다. 이 점에서, Ts1 내지 Ts(n-1)의 기간들 중 임의의 기간은 지속 기간이 된다. 소정의 화소들은 여기에서 기간 Ts(n-1) 동안 턴 온 된다.

유사한 동작이 반복됨으로써 남은 n-2개의 서브 프레임들, 즉, Ts(n-2), Ts(n-3),...,Ts1의 지속 기간들 동안 차례로 설정되며, 소정의 화소들은 각 서브-프레임들동안 턴 온 된다.

n개의 서브-프레임 기간들이 나타난 후, 하나의 프레임 기간이 완료된다. 화소들의 계조은 화소들이 턴 온 되는 동안 지속 기간의 길이를 계산함으로써 수행될 수 있으며, 즉, 지속 기간은 "1" 정보를 포함하는 디지털 데이터 신호에서 주소 기간 이후에 직접적으로 화소들에 인가된다. 예를 들어, n = 8일 때 모든 지속 기간에서 발광하는 화소의 경우에 휘도는 100%로 취해지고, 75%의 휘도는 Ts1 및 Ts2에서 발광하는 화소들에 의해서 나타날 수 있으며, Ts3, Ts5, 및 Ts8이 선택될 때 16%의 휘도가 나타날 수 있다.

게다가, 전원선들(111)에 인가된 온 EL 구동기 전압의 값은 본 발명의 대응 화소들에 의해 디스플레이되는 색(적색, 녹색, 청색)에 따라 변한다. 예를 들어, 사용된 유기 EL 재료로부터의 적색 발광의 휘도가 청색 및 녹색의 발광의 휘도보다 낮을 때, 적색을 디스플레이하는 화소들에 접속된 전원선들에 인가된 온 EL 구동기 전압은 청색 및 녹색을 디스플레이하는 화소들에 접속된 전원선들에 인가된 온 EL 구동기 전압보다 커지도록 설정된다.

온 EL 구동기 전위의 값이 변함에 따라 동시에 디지털 데이터 신호들과 게이트 신호들의 전위값도 적당히 변하는 것이 필요하다는 것을 유념해야 한다.

다음으로 본 발명의 EL 구동기 TFT 구조가 설명된다. EL 구동기 TFT는 p-채널 TFT 또는 n-채널 TFT로 구성된다. p-채널 TFT로 구성된 EL 구동기 TFT는 LDD 영역을 갖지 않으며, n-채널 TFT로 구성된 EL 구동기 TFT는 LDD 영역을 갖는다.

제어되는 전류의 양은 EL 구동기 TFT에 대한 전류보다 스위칭 TFT에 대한 전류가 높다. 특히, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들은 다른 색들을 디스플레이하는 화소들의 EL 구동기 TFT들보다 제어되는 전류의 양이 많다.

EL 구동기 TFT들이 p-채널 TFT들일 때, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)은 상대적으로 높은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)보다 크게 된다. 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 제어 전류의 양이 상기 구조를 갖는 다른 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 제어 전류의 양보다 크지만, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들은 핫 캐리어 주입으로 인해 빠르게 열화되는 것을 방지할 수 있다.

EL 구동기 TFT들이 n-채널 TFT들인 경우에, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)을 상대적으로 높은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)보다 크게 함으로써, 핫 캐리어 주입으로 인한 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 빠른 열화를 방지하는 것이 가능하다.

EL 구동기 TFT들이 n-채널 TFT들일 때, 상기 구조를 가지지 않을 때조차 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD 영역의 길이를 상대적으로 높은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD 영역의 길이보다 길게 함으로써, 낮은 발광 휘도를 갖는 색들을 디스플레이하는 화소들의 EL 구동기 TFT들은 핫 캐리어 주입으로 인한 열화를 방지할 수 있다. EL 구동기 TFT들이 n-채널 TFT들인 경우에, 2개의 구조들을 가질 수 있으며, 하나는 EL 구동기 TFT들의 채널 폭(W)에서 상기 설명된 것과 같이 화소과 다르고, 하나는 EL 구동기 TFT들의 LDD 영역의 길이에서 화소과 다르다.

본 발명에 있어서, 상기 구조에서 EL 소자들에 인가된 온 EL 구동기 전위값에 의해 목표 화소들의 EL 소자들의 발광 휘도와 적색, 청색, 녹색의 발광 휘도의 밸런스가 양호한 선명한 영상들이 디스플레이될 수 있도록 조절하는 것이 가능하게 된다. 게다가, EL 구동기 TFT들에서 제어 전류의 양이 증가하더라도, 온 EL 구동기 전압을 크게함으로써 EL 구동기 TFT들의 열화를 억제할 수 있다.

본 발명에 따라 시분할 계조 표시로 선명한 다중-계조 표시를 수행하는 것이 가능하게 된다. 그리고, EL 구동기 TFT들에 대한 제어 전류의 양이 인가된 전압이 커짐으로써 증가되더라도, EL 구동기 TFT들의 열화는 억제될 수 있다.

[실시예 1]

8-비트 디지털 구동기 방법에 의해 256개 계조들(16,770,000 색들)의 전체 색 디스플레이를 수행하는 경우에 대한 시분할 계조 표시가 실시예 1에 설명된다. 적색의 발광 휘도가 청색과 녹색의 발광 휘도보다 낮은 유기 EL 재료를 이용하는 EL 디스플레이 장치의 구동이 실시예 1에 설명된다.

먼저, 하나의 프레임 기간은 8개의 서브-프레임 기간들(SF1 내지 SF8)로 분할된다. 방출 주파수는 실시예 1의 EL 디스플레이 장치에서 60㎐로 설정되며, 60개의 프레임 기간들이 1초에 형성되고, 60개의 영상들이 1초에 디스플레이된다(도 3).

하나의 서브-프레임 기간은 주소 기간(Ta)과 지속 기간(Ts)으로 나누어진다. SF1 내지 SF3의 주소 기간들(Ta1 내지 Ta8)의 길이들 각각은 모두 고정된다. SF1 내지 SF8의 지속 기간들(Ts)은 각각 Ts1 내지 Ts8로서 설명된다.

지속 기간들의 길이는 Ts1 : Ts2 : Ts3 : Ts4 : Ts5 : Ts6 : Ts7 : Ts8 = 1 : 1/2 : 1/4 : 1/8 : 1/16 :1/32 : 1/64 : 1/128이 되도록 설정된다. SF1 내지 SF8의 외형적인 순서는 임의적일 수 있다. 지속 기간들을 결합함으로써 256개의 계조들 중 바람직한 계조 표시가 수행될 수 있다.

먼저, 전원선들은 오프 EL 구동기 전위가 유지되는 상태로 설정되고, 게이트 신호는 게이트 배선들에 인가되며, 게이트 배선들에 접속된 스위칭 TFT들은 온 상태로 모두 설정된다. 오프 EL 구동기 전위는 실시예 1에서 0 V로 설정된다. 실시예 1에서 EL 소자들의 애노드들은 화소 전극들로서 전원선들에 접속되고, 캐소드들은 대향 전극들로서 공통 전력 소스에 접속된다는 것에 유념해야 한다.

스위칭 TFT들이 온 상태로 설정된 후 또는 스위칭 TFT들이 온 상태로 설정되는 동시에, "0" 또는 "1"의 정보를 갖는 디지털 데이터 신호는 스위칭 TFT들의 소스 영역들에 입력된다.

디지털 데이터 신호가 스위칭 TFT들을 통해 EL 구동기 TFT들의 게이트 전극들에 접속된 콘덴서들에 입력되고 저장된다.

주소 기간이 완료된 후, 전원선들은 온 EL 전위로 유지되고, 스위칭 TFT들은 오프 상태에 놓이며, 콘덴서들에 저장된 디지털 데이터 신호는 EL 구동기 TFT들의 게이트 전극들에 입력된다. 적색을 디스플레이하기 위한 화소들에 접속된 전원선들은 실시예 1에서 지속 기간동안 온 EL 구동기 전위의 10V로 유지된다. 또한, 녹색 및 청색을 디스플레이하기 위한 화소들에 접속된 전원선들은 온 EL 구동기 전위의 5V로 유지된다.

실시예 1에서 디지털 데이터 신호가 "0" 정보를 가질 때, EL 구동기 TFT들은 오프 상태로 설정되고, 전원선들에 인가된 온 EL 구동기 전압은 EL 소자들의 애노드들(화소 전극들)에 인가되지 않는다.

반면에, "1" 정보의 경우에, EL 구동기 TFT들은 온 상태로 설정되고, 전원선들에 인가된 온 EL 구동기 전압은 EL 소자들의 애노드들(화소 전극들)에 인가된다.

결과적으로, "0" 정보를 포함하는 디지털 데이터 신호에 대한 화소들의 EL 소자들(110)은 발광하지 않도록 인가된다. "1" 정보를 포함하는 디지털 데이터 신호에 대한 화소들의 EL 소자들(110)은 발광하도록 인가된다. 발광이 완료될 때까지의 기간은 지속 기간이다.

EL 소자들(110)이 발광하도록 하는 기간(화소들이 턴 온 됨)은 Ts1 내지 Ts8의 임의의 기간이다. 소정의 화소들은 여기에서 Ts8 기간동안 턴 온 된다.

다음으로, 데이터 신호가 모든 화소들에 입력될 때, 주소 기간이 다시 시작되고 지속기간도 시작된다. 이 점에서, Ts1 내지 Ts7의 기간들 중 임의의 기간은 지속 기간이 된다. 소정의 화소들은 여기에서 기간 Ts7 동안 턴 온 된다.

유사한 동작이 반복됨으로써 남은 6개의 서브 프레임들, 즉, Ts6, Ts5,...,Ts1의 지속 기간들이 차례로 설정되며, 소정의 화소들은 각 서브-프레임들동안 턴 온 된다.

8개의 서브-프레임 기간들이 나타난 후, 하나의 프레임 기간이 완료된다. 화소들의 계조은 화소들이 턴 온 되는 동안 지속 기간의 길이를 계산함으로써 수행될 수 있으며, 즉, 지속 기간은 "1" 정보를 포함하는 디지털 데이터 신호에서 주소 기간 이후에 직접적으로 화소들에 인가된다. 예를 들어, 모든 지속 기간에서 발광하는 화소의 경우에 휘도는 100%로 취해지고, 75%의 휘도는 Ts1 및 Ts2에서 발광하는 화소들에 의해서 나타날 수 있으며, Ts3, Ts5, 및 Ts8이 선택될 때 16%의 휘도가 나타날 수 있다.

온 EL 구동기 전위의 값이 변함에 따라 동시에 디지털 데이터 신호들과 게이트 신호들의 전위값도 적당히 변하는 것이 필요하다는 것을 유념해야 한다.

본 발명에 의해, 상기 구조에 따라 상기 구조에서 EL 소자들에 인가된 온 EL 구동기 전위값에 의해 목적 화소들의 EL 소자들의 발광 휘도를 조절하는 것이 가능하게 되고, 시분할 계조 표시에 의해 선명한 다중 계조 표시를 수행하는 것 또한 가능하게 된다. 특히, 청색 및 녹색의 발광 휘도보다 낮은 적색 발광 휘도를 갖는 유기 EL 재료를 이용하는 EL 소자들로부터 적색, 청색, 및 녹색의 발광 휘도의 밸런스가 더 좋아지게 되며, 선명한 영상들을 디스플레이하는 것이 가능하게 된다. 게다가, 시분할 계조 표시는 디지털 신호와 양호한 색 재생원 고선명도 영상에 따라 수행되며, 획득될 수 있는 EL 구동기 TFT들의 특징들에서 분산으로 인한 계조 단점들이 없다.

[실시예 2]

다음으로, 본 발명의 EL 디스플레이 장치의 단면 구조를 개략적으로 도시하는 도 4를 참조한다. 이 실시예는 EL 구동기 TFT의 드레인 영역에 접속된 EL 소자의 캐소드의 예를 설명한다.

도 4에서, 참조 번호 11은 기판이고, 12는 기초인 절연막이다(이하에서 이 막은 기초막으로 나타낸다). 기판(11)에 있어서, 광을 전도할 수 있는 기판으로 만들어질 수 있으며, 대표적으로 유리 기판, 수정 기판, 유리 세라믹 기판, 또는 결정 유리 기판이 있다. 그러나, 그것은 제조 과정에서 가장 높은 열처리 과정에 저항할 수 있어야 한다.

기초막(12)은 특히 이동도 이온을 포함하는 기판 또는 도전성을 갖는 기판의 시용시 효과적이지만, 수정 기판 상에서 처리될 필요는 없다. 실리콘을 포함하는 절연막은 기초막(12)으로서 사용될 수 있다. 본원에서, "실리콘을 포함하는 절연막(insulating film that contains silicon)"은 산소 또는 질소가 실리콘 산화물 막, 실리콘 질화물 막 또는 실리콘 질화물 산화물 막과 같이 소정의 비율(SiOxNy : x와 y는 임의의 정수)로 실리콘이 첨가된 절연막이다.

참조 번호 201은 스위칭 TFT이고, 202는 EL 구동기 TFT이다. 그들 모두는 n-채널형 TFT로 형성된다. 스위칭 TFT와 EL 구동기 TFT에 대해 n-채널형 TFT 및 p-채널형 TFT 모두를 사용하는 것 또한 가능하다.

n-채널형 TFT의 전자 전계 이동도가 p-채널형 TFT의 전자 전계 이동도보다 크기 때문에, n-채널형 TFT는 더 고속으로 동작할 수 있고 대량의 전류를 쉽게 흐르게 할 수 있다. 동일한 양의 전류가 통과될 때 TFT의 크기에 있어서 n-채널형 TFT가 더 작다. 따라서, 영상 디스플레이 패널의 효과적인 발광 영역이 확장되기 때문에 EL 구동기 TFT로서 n-채널형 TFT를 사용하는 것이 바람직하다.

스위칭 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역들(15a 내지 15d), 채널 형성 영역들(17a, 17b), 게이트 절연막(18), 게이트 전극들(19a, 19b), 제 1 층간(interlayer) 절연막(20), 소스 배선 라인(21), 및 드레인 배선 라인(22)을 포함하는 액티브층으로 구성된다. 게이트 절연막(18) 또는 제 1 층간 절연막(20)은 기판 상의 모든 TFT들에 공통적일 수 있거나 회로들 또는 소자들에 따라 변화될 수도 있다.

도 4에 나타낸 스위칭 TFT(201)에 있어서, 게이트 전극들(19a, 19b)은 전기적으로 접속되며, 즉, 이중 게이트 구조가 만들어진다. 물론, 이중 게이트 구조뿐만 아니라 3중 게이트 구조와 같은 다중 게이트 구조들이 만들어질 수 있다. 다중 게이트 구조는 직렬로 접속된 2개의 채널 형성 영역들 또는 그 이상을 갖는 액티브층을 포함하는 구조를 나타낸다.

다중 게이트 구조는 오프-상태(OFF-state) 전류를 감소시키기에 매우 효과적이며, 스위칭 TFT의 오프-상태 전류가 충분히 감소되면, EL 구동기 TFT의 게이트 전극에 접속된 콘덴서에 필요한 용량은 감소될 수 있다. 즉, 콘덴서의 점유 면적이 감소될 수 있기 때문에 다중 게이트 구조는 또한 EL 소자의 효과적인 발광 면적을 확대하기에 효과적이다.

스위칭 TFT(201)에서, LDD 영역들(15a-15d)은 게이트 전극들(17a, 17b)과 그들 사이에 있는 게이트 절연막(18)과 겹쳐지지 않게 나타난다. 따라서, 구성된 구조는 오프-상태 전류를 감소시키기에 매우 효과적이다. LDD 영역들(15a 내지 15d)의 길이(폭)는 0.5㎛ 내지 3.5㎛, 일반적으로 2.0㎛ 내지 2.5㎛이다.

오프-상태 전류를 감소시키기 위해서 채널 형성 영역과 LDD 영역 사이에 오프셋 영역(즉, 구성이 채널 형성 영역과 같은 반도체층으로 형성된 영역으로, 게이트 전압이 인가됨)을 형성하는 것이 더 바람직하다. 2개 또는 그 이상의 게이트 전극들을 갖는 다중 구조에서, 채널 형성 영역들 사이에 형성된 절연 영역(16)(즉, 농도가 같고 같은 불순물 요소가 소스 영역 또는 드레인 영역으로서 첨가되는 영역)은 오프-상태 전류를 감소시키기에 효과적이다.

EL 구동기 TFT(202)는 소스 영역(26), 드레인 영역(27), LDD 영역(28), 채널 형성 영역(29), 게이트 절연막(18), 게이트 전극(30), 제 1 층간 절연막(20), 소스 배선 라인(31), 및 드레인 배선 라인(32)을 포함하는 액티브층으로 구성된다. 이 실시예에서, EL 구동기 TFT(202)는 n-채널형 TFT이다.

스위칭 TFT(201)의 드레인 영역(14)은 EL 구동기 TFT(202)의 게이트 전극(30)에 접속된다. 도면에 도시하지 않은 설명을 더 정확히 하기 위해, EL 구동기 TFT(202)의 게이트 전극(30)은 드레인 배선 라인(22)(또한 접속 배선 라인이라고 함)을 통해 스위칭 TFT(201)의 드레인 영역(14)에 전기적으로 접속된다. 게다가, 게이트 전극(30)은 단일 게이트 구조 대신 다중 게이트 구조일 수 있다. EL 구동기 TFT(202)의 소스 배선 라인(31)은 전류-공급 라인(current-feed line)(도시되지 않음)에 접속된다.

EL 구동기 TFT(202)는 EL 소자에 공급된 전류의 양을 제어하기 위한 소자이며, 비교적 큰 전류의 양이 흐를 수 있다. 따라서, 바람직하게, 채널-폭(W)은 스위칭 TFT의 채널-폭보다 크게 설계된다. 또한 바람직하게, 채널-길이(L)는 EL 구동기 TFT(202)를 통해 과도 전류가 흐르지 않도록 길게 설계된다. 바람직한 값은 화소당 0.5㎃ 내지 2㎃(바람직하게, 1㎃ 내지 1.5㎃)이다.

실시예 1에서 명확히, 낮은 발광 휘도 색을 디스플레이하는 화소들의 EL 구동기 TFT들은 다른 색을 디스플레이하는 화소들의 EL 구동기 TFT들이 제어하는 전류보다 많은 전류의 양을 제어한다. 따라서, 낮은 발광 휘도 색을 디스플레이하는 화소들의 EL 구동기 TFT들의 핫 캐리어 주입으로 인한 열화는 다른 색을 디스플레이하는 화소들의 EL 구동기 TFT들보다 빠르게 이루어진다.

낮은 발광 색을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD 영역의 길이는 상대적으로 높은 발광 휘도 색을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD 영역의 길이보다 길게 된다. EL 구동기 TFT들에 의해 제어되는 전류의 양이 증가됨으로써 핫 캐리어 주입으로 인한 EL 구동기 TFT들의 열화를 억제하는 것이 가능하다.

TFT의 열화를 억제하기 위해서, EL 구동기 TFT(202)의 액티브층(명확히, 채널 형성 영역)의 막 두께(바람직하게, 50㎚ 내지 100㎚ 및 60㎚ 내지 80㎚)를 두껍게 하기에도 효과적이다. 반면에, 스위칭 TFT(201)에서 오프-상태 전류를 감소시키는 관점에서, 액티브층(명확히, 채널 형성 영역)의 막 두께(바람직하게, 20㎚ 내지 50㎚ 및 25㎚ 내지 40㎚)를 얇게 하기에도 효과적이다.

화소에 형성된 TFT의 구조는 상기에 설명되어 있다. 이 형성에서, 구동 회로도 동시에 형성된다. 구동 회로로 형성되는 기초 유닛인 CMOS 회로가 도 4에 도시되어 있다.

도 4에서, 최대한 동작 속도를 감소시키지 않고 핫 캐리어 주입을 감소시키도록 하는 구조를 갖는 TFT가 CMOS 회로의 n-채널형 TFT(204)로서 사용된다. 본원에 설명된 구동 회로는 데이터 신호측 구동 회로와 게이트 신호측 구동 회로이다. 물론, 다른 논리 회로들(레벨 시프터, A/D 변환기, 신호 분활 회로 등)로 형성하는 것도 가능하다.

CMOS 회로의 n-채널형 TFT(204)의 액티브층은 소스 영역(35), 드레인 영역(36), LDD 영역(37), 및 채널 형성 영역(38)을 포함한다. LDD 영역(37)은 게이트 전극(39)과 그들 사이에 있는 게이트 절연막(18)과 겹쳐진다.

드레인 영역(36) 측면에만 LDD 영역(37)을 형성하는 것은 동작 속도를 감소시키지 않는다. n-채널형 TFT(204)에서 오프-상태 전류값에 대해서는 걱정할 필요가 없다. 대신, 동작 속도는 상기에서 측정되어야 한다. 따라서, 바람직하게, LDD 영역(37)은 게이트 전극 상에 완벽히 놓임으로써, 가능한 한 많은 저항 구성 소자들을 감소시킨다. 즉, 오프셋이 제거되어야 한다.

CMOS 회로의 p-채널형 TFT(205)에서, 핫 캐리어 주입으로 인한 열화는 완전히 무시될 수 있기 때문에 특히 LDD 영역이 제공될 필요가 없다. 따라서, 액티브층은 소스 영역(40), 드레인 영역(41), 및 채널 형성 영역(42)을 포함한다. 게이트 절연막(18)과 게이트 전극(43)은 그 위에 배치된다. 물론, 핫 캐리어에 대한 반대 수단을 취하기 위해서 n-채널형 TFT(204)뿐만 아니라 LDD 영역을 배치하는 것도 가능하다.

n-채널형 TFT(204) 및 p-채널형 TFT(205)는 제 1 층간 절연막(20)으로 덮여지고, 소스 배선 라인들(44, 45)이 형성된다. n-채널형 TFT(204) 및 p-채널형 TFT(205)의 드레인 영역은 드레인 배선 라인들(46)에 의해서 전기적으로 서로 접속된다.

참조 번호 47은 제 1 패시베이션막(passivation film)이다. 막의 두께는 10㎚ 내지 1㎛(바람직하게, 200㎚ 내지 500㎚)이다. 실리콘을 포함하는 절연막(특히, 실리콘 질화물 산화물 막 또는 실리콘 질화물 막이 바람직함)은 그 재료로서 사용될 수 있다. 패시베이션막(47)은 알칼리 금속과 물로 형성된 TFT를 보호하기 위해 사용한다. TFT(특히 구동 TFT) 위에 마지막으로 배치된 EL 층은 나트륨이다. 즉, 제 1 패시베이션막(47)은 TFT 측면에 들어갈 수 없는 알칼리 금속(이동도 이온들)에 의한 보호층으로서도 사용한다.

참조 번호 48은 제 2 층간 절연막이며, TFT에 의해 형성된 레벨 차들을 평평하게 하기 위한 플래트닝 막(flattening film)으로서 사용한다. 바람직하게, 폴리마이드, 폴리아미드, 아크릴 수지 또는 BCB(벤조사이클로버틴(benzocyclobutene))와 같은 유기수지 막(organic resin film)은 제 2 층간 절연막(48)으로서 사용된다. 상기 유기수지 막들은 양호한 매끄러운 평면이 쉽게 형성될 수 있고 유전 상수가 낮은 장점을 가진다. EL 층은 울퉁불퉁한 것에 매우 민감하기 때문에 제 2 층간 절

연막의 수단으로 TFT에 의해 야기되는 레벨 차를 완전히 흡수하는 것이 바람직하다. 게다가, 게이트 배선 라인 또는 데이터 배선 라인과 EL 소자의 캐소드 사이에 형성된 기생 용량을 감소시키기 위해서 낮은 유전 상수 재료 두께를 형성하는 것이 바람직하다. 따라서, 바람직하게, 막의 두께는 0.5㎛ 내지 5㎛(바람직하게 1.5㎛ 내지 2.5㎛)이다.

참조 번호 49는 각 화소의 화소 전극(51)에 접속하는 보호 전극이다. 보호 전극(49)에 있어서, 알루미늄(Al), 구리(Cu), 또는 은(Ag)을 포함하는 낮은 저항 재료를 사용하는 것이 바람직하다. 보호 전극(49)은 EL 구동기 TFT(202)의 드레인 배선(32)에 접속하도록 형성된다.

두께가 0.3㎛ 내지 1㎛인 제 3 층간 절연막(50)은 보호 전극(49) 상에 배치된다. 제 3 층간 절연막(50)은 실리콘 산화물막, 실리콘 질화물 산화물 막, 또는 유기수지 막으로 구성된다. 제 3 층간 절연막(50)은 에칭에 의해 보호 전극(49) 상에 개구부가 제공되며, 개구부의 에지는 테이퍼 형태(taper shape)를 갖도록 에칭된다. 바람직하게, 테이퍼의 각은 10°내지 60°(바람직하게 30°내지 50°)이다.

화소 전극(EL 소자의 캐소드)(51)은 제 3 층간 막 상에 배치된다. 작은 작동 기능을 갖는 마그네슘(Mg), 리튬(Li) 또는 칼슘(Ca)을 포함하는 재료가 캐소드(51)로서 사용된다. 바람직하게, MgAg(Mg와 Ag가 Mg:Ag=10:1의 비율로 혼합된 재료)로 된 전극이 사용된다. 대신, MgAgAl 전극, LiAl 전극, 또는 LiFAl 전극이 사용될 수도 있다.

EL층(52)은 화소 전극(51) 상에 형성된다. EL층(52)은 단일-층 구조 또는 층을 이룬 구조의 형태로 사용된다. 층을 이룬 구조는 발광 능력이 더 뛰어나다. 일반적으로, 양극 홀 주입층/양극 홀 수송층/발광층/전자 수송층은 상기 순서로 화소 전극 상에 형성된다. 대신, 양극 홀 수송층/발광층/전자 수송층의 순서 또는 양극 홀 주입층/양극 홀 수송층/발광층/전자 수송층/전자 주입층의 순서로된 구조가 사용될 수 있다. 본 발명에 있어서, 알려진 구조들 중 하나가 사용될 수 있으며, 형광 채색 재료 등이 EL층에 도핑될 수 있다.

EL 디스플레이 장치는 주로 4개의 색 디스플레이 방법들, 즉, R(적색), G(녹색), B(청색)에 각각 대응하는 3가지 종류의 EL 소자들로 형성되는 방법, 백색 발광 EL 소자와 색 필터(채색층)를 조합하는 방법, 청색 또는 청색-녹색 발광 EL 소자와 형광체(형광색 변환층(CCM))를 조합하는 방법, 및 캐소드(대향 전극)에 대해 투명 전극을 사용하는 동안 RGB에 대응하는 EL 소자들을 쌓는 방법을 갖는다.

도 4의 구조는 사용된 RGB에 대응하는 3가지 종류의 EL 소자들의 형성 방법의 예이다. 도 4는 하나의 화소만을 도시하고 있다. 실제로, 동일한 구조를 갖는 각 필셀들은 적색, 녹색, 및 청색에 각각 대응하도록 형성됨으로써 색 디스플레이를 수행할 수 있다.

본 발명은 발광 방법과 상관없이 수행될 수 있으며, 4개의 모든 방법들이 사용될 수 있다. 그러나, 형광체의 응답 속도가 EL의 응답 속도보다 느리고 잔광이 발생하기 때문에, 형광체를 사용하지 않는 것이 더 바람직하다.

다음으로, 대향 전극(EL 소자의 애노드)(53)은 EL층 상에 형성된다. 이 실시예에서, ITO(인듐 주석 산화물(Indium Tin Oxide))은 투명 도전막으로서 사용된다.

개별적으로 각 화소에 의해 EL층(52)과 대향 전극(53)을 구비한 층을 이룬 몸체를 형성하는 것이 필요하다. 그러나, EL층(52)은 물에 상당히 약해 일반적인 포토리소그래피 기술을 사용할 수 없다. 따라서, 금속 마스크와 같은 물리적 마스크 재료와, 진공 침착 방법, 스퍼터링 방법, 또는 플라즈마 CVD 방법과 같은 증기 위상 방법에 따라 선택적으로 형성하는 방법을 사용하는 것이 바람직하다.

또한 EL층을 선택적으로 형성하는 방법으로서, 잉크젯 방법(ink jet method), 스크린 프린팅 방법(screen printing method), 스핀 코팅 방법(spin coating method) 등의 사용이 가능하다.

참조 번호 54는 제 2 패시베이션막이며, 상기 막의 두께는 10㎚ 내지 1㎛(바람직하게, 200㎚ 내지 500㎚)인 것이 바람직하다. 제 2 패시베이션막을 배치하는 주목적은 EL층(52)을 물로부터 보호하기 위한 것이다. 이것은 또한, 효과적인 냉각 효과를 제공한다. 그러나, EL층은 상기 설명된 것과 같이 열에 약하고, 막 형성은 낮은 온도(바람직하게, 실온 내지 120℃의 범위)에서 수행되어야 한다. 따라서, 바람직한 막 형성 방법은 플라즈마 CVD 방법, 스퍼터링 방법, 진공 침착 방법, 이온 플래팅 방법(ion plating method), 또는 용해 적용 방법(solution application method)(스핀 코팅 방법)이 있다.

따라서, 본 발명은 바람직한 실시예들 중 단지 하나인 도 4의 EL 디스플레이 장치의 구조로 제한되지 않는다.

상기 구성에 따라서, 이 실시예에서 EL 소자에 인가된 EL 구동 온 전압값에 따라 목표 화소의 EL 소자의 휘도를 제어하는 것이 가능하다. 또한 시분할 계조 표시에 따른 가시적인 다중 계조 표시를 수행하는 것도 가능하다. 더 상세히, EL 소자에 인가된 EL 구동 온 전압값에 따라 EL 휘도를 제어하여 실현되는 적색 광, 청색 광 및 녹색 광의 밸런스된 휘도를 갖는 선명한 채색 영상을 디스플레이하는 것이 가능하다. 또한, 시분할 계조 표시는 EL 구동기 TFT의 분산 특징들에 의한 파손 계조 없이 색을 재생하는 아주 선명한 영상을 얻도록 하는 디지털 신호에 의해 수행된다.

이 실시예의 구성은 실시예 1의 구성과 자유롭게 결합하는 것이 가능하다.

[실시예 3]

이 실시예에서, 화소부의 TFT들과 화소부 주변의 구동 회로부를 동시에 제조하는 방법을 설명한다. 구동 회로에 있어서, 기초 유닛인 CMOS 회로는 간단한 설명으로 도면에 도시되어 있다.

먼저, 기초막(도시되지 않음)이 기판 상에 배치된 기판(501)은 도 5(a)에 도시된 것과 같이 준비된다. 이 실시예에서, 두께가 200㎚인 실리콘 질화물 산화물 막과 두께가 100㎚인 다른 실리콘 질화물 산화물 막은 결정화 유리 상에 기초막으로서 사용된다. 이 경우에, 바람직하게, 결정화 유리 기판에 접촉하는 막의 질소 농도는 10wt% 내지 25wt%로 유지된다. 물론, 어떠한 기초막도 가지지 않는 수정 기판 상에 소자를 직접 형성하는 것도 가능하다.

그 후에, 두께가 45㎚인 비결정질 실리콘막(502)이 잘 알려진 막 형성 방법에 의해 기판(501) 상에 형성된다. 비결정질 실리콘막으로 제한할 필요는 없다. 대신, 비결정질 구조를 갖는 반도체막(미정질의 반도체 막을 포함하는)이 이 실시예에 사용된다. 비결정질 실리콘 게르마늄막과 같은 비결정질 구조를 갖는 합성 반도체 막도 본 실시예에 사용될 수 있다.

여기서부터 도5(c)의 단계들에 있어서, 본 출원자에 의해 출원된 일본 공개 공보 제 3032801 호를 완전히 인용하는 것이 가능하다. 이 공보는 촉매로서 Ni와 같은 요소를 사용하는 결정화 반도체 막의 방법에 관한 기술을 나타낸다.

먼저, 개구부들(503a, 503b)을 갖는 보호막(504)이 형성된다. 본 실시예에 사용된 실리콘 산화물 막의 두께는 150㎚이다. 니켈(Ni)을 포함하는 층(505)(Ni 포함 층)이 스핀 코팅 방법으로 보호막(504) 상에 형성된다. Ni 포함 층의 형성에 있어서, 상기 공보를 참조할 수 있다.

그 이후에, 도 5(b)에 도시된 것과 같이, 14시간 동안 570℃에서의 열처리가 불액티브 대기에서 수행되고, 비결정질 실리콘막(502)이 결정화된다. 이 경우에, 결정화는 Ni이 접촉하는 영역들(506a, 506b)(이하에서, Ni 첨가 영역으로서 표시됨)에서 시작하여 기판에서 동시에 처리된다. 결과적으로, 폴리실리콘 막(507)은 막대 수정들을 모으고 라인들을 형성하는 수정 구조를 갖도록 형성된다.

그 이후에, 도 5(c)에 도시된 것과 같이, 15-군에 속하는 요소(바람직하게, 인)가 Ni 첨가 영역들(506a, 506b)에 부가되지만, 마스크로서 보호막(504)이 남는다. 따라서, 인이 고농도로 첨가된 영역들(508a, 508b)(이하에서, 인 첨가 영역으로서 나타냄)이 형성된다.

그 이후에, 12시간 동안 600℃에서의 열처리가 도 5(c)에 도시된 것과 같이 불액티브 대기에서 수행된다. 폴리실리콘막(507)에 존재하는 Ni는 상기 열처리에 의해 이동되고, 거의 모든 부분들이 화살표가 도시하는 것과 같이 인 첨가 영역들(508a, 508b)에 의해 마지막으로 획득된다. 이것은 인에 의한 금속 요소의 게터링 효과(gettering effect)로 인한 현상이다.

이 처리에 있어서, 폴리실리콘 막(509)에 남아있는 Ni의 농도는 SIMS(2차 이온 질량 분석(mass secondary ion analysis))에 의한 측정값에 따라 적어도 $2'10^{17}$atoms/㎤로 감소된다. Ni가 반도체에 대한 수명 킬러(killer)이지만, 이 범위로 감소될 때 반대 영향이 TFT 특성으로 주어진다. 게다가, 이 농도는 이 기술의 현재 상태에서 SIMS 분석의 측정 한계이기 때문에, 실질적으로 더 낮은 농도($2'10^{17}$atoms/㎤보다 낮음)로 나타날 것이다.

따라서, 폴리실리콘 막(509)은 촉매에 의해 결정화되고 촉매가 TFT의 동작을 방해하지 않는 레벨로 감소되어 얻어질 수 있다. 그 이후에, 폴리실리콘 막(509)만을 사용하는 액티브층들(510 내지 513)이 패터닝 처리로 형성된다. 이 경우에, 다음의 패터닝에서 마스크 정렬을 수행하는 마커가 상기 폴리실리콘 막을 사용함으로써 형성되어야 한다(도 5(d)).

그 이후에, 두께 50㎚의 실리콘 질화물 산화물이 도 5(e)에 도시된 것과 같은 플라즈마 CVD 방법으로 형성되고, 그 후 1초 동안 950℃에서의 열처리가 산화 대기에서 수행되며, 열 산화 처리가 수행된다. 산화 대기는 할로겐이 첨가된 산소 대기 또는 다른 산소 대기일 수 있다.

상기 열 산화 단계에서, 산화는 액티브층과 실리콘 질화물 산화물 막 및 약 15㎚ 두께의 폴리실리콘 막 사이의 인터페이스에서 처리되어, 약 30㎚ 두께의 실리콘 산화물 막이 형성된다. 즉, 80㎚ 두께의 게이트 절연막(514)이 30㎚ 두께의 실리콘 산화물 막에서 형성되고 50㎚ 두께의 실리콘 질화물 산화물 막이 박판된다. 액티브층들(510 내지 513)의 막 두께는 열 산화 처리에 의해 30㎚가 된다.

그 이후에, 도 6(a)에 도시된 것과 같이, 레지스트 마스크(resist mask)가 형성되고, 불순물 요소(이하에서, p형 불순물 요소로서 설명됨)가 첨가된 게이트 절연막(514)의 매개물을 통해 p형으로 주어진다. p형 불순물 요소에 있어서, 대표적으로 붕소, 갈륨과 같은 13-군에 속하는 요소가 사용될 수 있다. 이 것(채널 도핑 처리라고 하는)은 TFT의 임계 전압을 제어하기 위한 처리이다.

이 실시예에서, 붕소는 다이보레인(D_2H_6, diborane)의 질량 분리 없이 수행되는 플라즈마 여자의 이온 도핑 방법으로 첨가된다. 물론, 질량 분리를 수행하는 이온 주입 방법도 사용될 수 있다. 이 처리에 따라서, 불순물 영역들(516 내지 518)은 $1'10^{15}$ 내지 $1'10^{18}$atoms/㎤(대표적으로, $5'10^{16}$ 내지 $5'10^{17}$ atoms/㎤)의 농도로 붕소를 포함하도록 형성된다.

그 이후에, 레지스트 마스크들(519a, 519b)이 도 6(b)에 도시된 것과 같이 형성되고, 불순물 요소(이하에서, n형 불순물 요소로 설명됨)가 첨가된 게이트 절연막(514)의 매개물을 통해 n형으로 주어진다. n형 불순물 요소에 있어서, 대표적으로 인 또는 비소와 같은 15-군에 속하는 요소가 사용될 수 있다. 이 실시예에서, 플라즈마 여자에서의 플라즈마 도핑 방법은 사용된 인(PH_3)의 질량 분리 없이 수행된다. 인은 $1'10^{18}$atoms/㎤의 농도로 첨가된다. 물론, 질량 분리를 수행하는 이온 주입 방법도 사용될 수 있다.

분량이 조절되어, n형 불순물 요소는 $2'10^{16}$ 내지 $5'10^{19}$atoms/㎤($5'10^{17}$ 내지 $5'10^{18}$atoms/㎤)의 농도로 상기 처리에 의해 n형 불순물 영역들(520, 521)에 포함되도록 한다.

그 이후에, 처리는 도 6(c)에 도시된 것과 같이 첨가된 n형 불순물 요소와 첨가된 p형 불순물 요소를 액티브하기 위해 수행된다. 게이트 절연막(514)이 배치되기 때문에, 액티브 수단이 제한될 필요는 없지만 전기로 가열된 전기로를 사용하는 전기로 가열냉각을 처리하는 것이 바람직하다. 게다가, 도 6(a)에서 채널 형성 영역인 한 부분의 게이트 절연막과 액티브층 사이에 손상된 인터페이스를 가질 가능성이 있기 때문에 가능한 한 높은 온도에서 열처리가 수행되는 것이 바람직하다.

고온 저항을 갖는 결정화 유리가 이 실시예에 사용되기 때문에, 액티브 처리는 1시간 동안 800℃에서 전기로 가열냉각 처리에 의해 수행된다. 열 산화는 산화하는 대기에서 처리 대기를 유지하도록 수행될 수 있거나, 열처리는 불액티브 대기에서 수행될 수 있다.

이 처리는 n형 불순물 영역들(520, 521)의 에지, 즉, n형 불순물 영역들(520, 521)과 n형 불순물 영역들(520, 521) 주위의 영역들(도 6(a)의 처리에 의해 형성된 p형 불순물 영역) 사이의 경계를 세정하며, n형 불순물 요소가 첨가되지 않는다. 이것은 TFT가 후에 완성될 때 LDD 영역과 채널 형성 영역이 우수한 접합부를 형성할 수 있도록 한다.

그 이후에, 200㎚ 내지 400㎚ 두께의 도전막이 형성되고, 패터닝이 수행되어, 게이트 전극들(522 내지 525)이 형성된다. 각 TFT 채널의 길이는 게이트 전극들(522 내지 525)의 라인 폭에 의해 결정된다.

바람직하게, 게이트 전극은 단일-층의 도전막으로 구성될 수 있지만, 필요하다면 2-층 또는 3-층 막과 같은 박판 막이 사용된다. 알려진 도전막은 게이트 전극의 재료로서 사용될 수 있다. 특히, 도전성이 있는 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr), 및 실리콘(Si)의 그룹으로부터 선택된 요소의 막, 상기 기술된 요소들의 질화물(대표적으로, 탄탈 질화물 막, 텅스텐 질화물 막, 또는 티타늄 질화물 막)의 막, 상기 기술된 요소들의 화합물(대표적으로, Mo-W 합금 또는 Mo-Ta 합금)의 합금 막, 또는 상기 기술된 요소들의 규화물 막(대표적으로, 텅스텐 규화물 막 또는 티타늄 규화물 막)으로 구성될 수 있다. 물론, 단일-층 구조 또는 박판-층 구조도 가질 수 있다.

이 실시예에서, 박판 막은 50㎚ 두께의 텅스텐 질화물(WN) 막 및 350㎚ 두께의 텅스텐(W)막으로 구성될 수 있다. 이것은 스퍼터링 방법에 의해 수행될 수 있다. 스퍼터링 가스로서 Xe 또는 Ne와 같은 불액티브 가스를 첨가함으로써, 막은 스트레스(stress)로 인한 필링 오프(peeling off)를 막을 수있다.

이 때 게이트 전극들(523, 525)은 그 사이에 게이트 절연막(514)을 갖는 각각의 n형 불순물 영역들(520, 521)의 일부와 겹쳐지도록 형성된다. 겹쳐진 부분은 후에 게이트 전극을 갖는 겹쳐진 LDD 영역으로 만들어진다. 도면의 단면도에 따라, 게이트 전극들(524a, 524b)은 분리된 것으로서 나타나지만, 실제로는 서로 접속되어 있다.

그 이후에, 마스크들로서 게이트 전극들(522 내지 525)을 갖는 n형 불순물 요소는 도 7(a)에 도시된 것과 같이 자체-조절가능하도록(self-adjustably) 첨가된다. 이 경우에, 조절은 인이 첨가되어 n형 불순물 영역들(520, 521)의 1/2 내지 1/10(대표적으로 1/3 내지 1/4)의 농도로 불순물 영역들(527 내지 533)이 형성되도록 수행된다. 바람직하게, 농도는 $1'10^{16}$ 내지 $5'10^{18}$atoms/㎤(일반적으로, $3'10^{17}$ 내지 $3'10^{18}$atoms/㎤)이다.

그 이후에, 도 7(b)에 도시된 것과 같이, 레지스트 마스크들(534a 내지 534d)은 게이트 전극을 덮도록 형성되고, 그 후 n형 불순물 요소(이 실시예에서, 인)가 첨가되며, 고농도의 인을 포함하는 불순물 영역들(534 내지 541)이 형성된다. 또한 본원에서 인화수소(PH_3)를 사용하는 이온 도핑 방법이 적용되고 조절이 수행되어, 이 영역들에서의 인의 농도가 $1'10^{20}$ 내지 $1'10^{21}$atoms/㎤(일반적으로, $2'10^{20}$ 내지 $5'10^{20}$atoms/㎤)가 되도록 한다.

n-채널형 TFT의 소스 영역 또는 드레인 영역은 상기 처리를 통해 형성되며, 스위칭 TFT는 도 7(a)에 형성된 n형 불순물 영역들(530 내지 532)의 일부분에 남겨진다. 왼쪽 영역은 도 4의 스위칭 TFT의 LDD 영역들(15a 내지 15d)에 대응한다.

그 이후에, 도 7(c)에 도시된 것과 같이, 레지스트 마스크들(534a 내지 534d)이 제거되고, 레지스트 마스크(543)가 새로 형성된다. 그후 p형 불순물 요소(이 실시예에서는 붕소)가 첨가되고, 고농도의 붕소를 포함하는 불순물 영역들(544, 545)이 형성된다. 본원에서, 디보레인(B_2H_6)을 사용하는 이온 도핑 방법에 따라, 붕소는 $3'10^{20}$ 내지 $3'10^{21}$atoms/㎤(대표적으로, $5'10^{20}$ 내지 $1'10^{21}$atoms/㎤)의 농도가 되도록 첨가된다.

인은 $1'10^{20}$ 내지 $1'10^{21}$atoms/㎤의 농도로 불순물 영역들(544, 545)에 이미 첨가되었다. 본원에서 첨가된 붕소는 적어도 3배의 고농도의 인이 첨가된다. 따라서, 이전에 형성된 n형의 불순물 영역은 p형의 불순물 영역이 되도록 완전히 변경되며, p형 분순물 영역으로서 기능한다.

그 이후에, 도 7(d)에 도시된 것과 같이, 레지스트 마스크(543)가 제거되고, 그후 제 1 층간 절연막(546)이 형성된다. 제 1 층간 절연막(546)에 있어서, 절연막은 단일-층 구조 또는 상기 구조가 결합된 스택-층 구조의 구성이 사용되는 실리콘을 포함한다. 바람직하게, 막의 두께는 400㎚ 내지 1.5㎛이다. 이 실시예에서, 구조는 200㎚ 두께의 실리콘 질화물 산화물 막상에 쌓인 800㎚ 두께의 실리콘 산화물 막으로 만들어진다.

그 이후에, 각 농도로 첨가된 n형 또는 p형 불순물 요소가 액티브된다. 전기로 가열냉각 방법은 액티브 수단으로서 바람직하다. 이 실시예에서, 열처리는 전기로의 질소 대기에서 4시간 동안 550℃에서 수행된다.

열처리는 수소 첨가를 위해서 3% 내지 100%의 수소를 포함하는 대기에서 1 내지 12시간 동안 300℃ 내지 450℃에서 더 수행된다. 이것은 열로 여자된 수소에 의해 반도체막의 짝이 없는 커넥터를 수소-종결하기 위한 처리이다. 수소첨가에 대한 다른 수단에 있어서, 플라즈마 수소첨가(플라즈마를 사용하여 여자된 수소)가 수행될 수 있다.

수소첨가는 제 1 층간 절연막(546)이 형성되는 동안 수행될 수 있다. 더 상세히, 200㎚ 두께의 실리콘 질화물 산화물 막이 형성되고, 수소첨가가 상기에 설명된 것과 같이 수행됨으로써 남아있는 800㎚ 두께의 실리콘 질화물 막이 형성될 수 있다.

그 이후에, 도 8(a)에 도시된 것과 같이, 접촉 홀들이 제 1 층간 절연막(546)에 만들어지고, 소스 배선 라인들(547 내지 550) 및 드레인 배선 라인들(551 내지 553)이 형성된다. 이 실시예에서, 상기 전극은 스퍼터링 방법에 따라 연속적으로 형성되는 100㎚ 두께의 Ti 막, Ti를 포함하는 300㎚ 두께의 알루미늄 막, 및 150㎚ 두께의 Ti 막의 3-층 구조의 박판 막으로 형성된다. 물론, 다른 도전막들이 사용될 수 있다.

그 이후에, 제 1 패시베이션 막(554)은 50㎚ 내지 500㎚(대표적으로, 200㎚ 내지 300㎚)의 두께가 되도록 형성된다. 이 실시예에서, 300㎚ 두께의 실리콘 질화물 산화물 막은 제 1 패시베이션 막(554)으로서 사용된다. 실리콘 질화물 막은 이것의 대용으로 사용될 수 있다.

이 때 실리콘 질화물 산화물 막을 형성하기 전에 H_2 또는 NH_3와 같은 수소를 포함하는 가스를 사용함으로써 플라즈마 처리를 수행하는데 효과적이다. 상기 선처리에 의해 여자된 수소는 제 1 층간 절연막(546)에 공급되고, 열처리를 통해서 제 1 패시베이션 막(554)의 막 품질이 향상된다. 동시에, 수소가 낮은 면 위에서 확산하는 제 1 층간 절연막(546)에 첨가되기 때문에, 액티브층은 효과적으로 수소첨가될 수 있다.

그 이후에, 도 8(b)에 도시된 것과 같이, 유기수지로 구성된 제 2 층간 절연막(555)이 형성된다. 폴리마이드, 아크릴 섬유, 또는 BCB(벤조사이클로버 틴(benzocyclobutene))은 유기수지로서 사용될 수 있다. 특히, 제 2 층간 절연막(555)이 TFT들에 의해 형성된 레벨 차들을 평평하게 하는 것이 요구되기 때문에, 아주 평평한 아크릴 막이 바람직하다. 아크릴 막은 이 실시예에서 2.5㎛의 두께가 되도록 형성된다.

그 이후에, 드레인 배선 라인(553)에 도달하는 접촉 홀들은 제 2 층간 절연막(555) 및 제 1 패시베이션 막(554)으로 만들어지며, 그후 보호 전자(556)가 형성된다. 보호 전자(556)에 있어서, 주로 알루미늄으로 구성된 도전막이 사용될 수 있다. 보호 전극(556)은 진공 침착 기술에 따라 형성될 수 있다.

그 이후에, 실리콘을 포함하는 절연막(이 실시예에서, 실리콘 산화물 막)은 500㎚ 두께가 되도록 형성되고, 그후 개구부는 화소 전극에 대응하는 위치에서 형성되며, 제 3 층간 절연막(557)이 형성된다. 개구부가 형성될 때 습식 에칭 방법을 사용하여 테이퍼 측벽을 쉽게 형성하는 것이 가능하다. 개구부의 측벽은 충분히 완만한 경사를 갖지 않으며, 레벨 차들로 인한 EL층의 열화는 중요한 문제를 발생시킬 것이다.

그 이후에, EL 소자의 캐소드인 화소 전극(MgAg 전극)(558)이 형성된다. MgAg 전극(558)은 180㎚ 내지 300㎚(일반적으로 200㎚ 내지 250㎚) 두께의 막을 만들기 위해 진공 침착 방법을 사용하여 형성된다.

다음으로, EL층(559)은 진공 침착 방법에 의해 공기 노출 없이 형성된다. EL층의 막 두께는 80㎚ 내지 200㎚(일반적으로, 100㎚ 내지 120㎚)이다.

이 처리에 있어서, EL층은 적색에 대응하는 화소, 녹색에 대응하는 화소, 및 청색에 대응하는 화소로 연속적으로 형성된다. 그러나, EL층은 용해에 대한 내구력이 약하기 때문에, 포토리소그라피 기술을 사용하지 않고 독립적으로 각 색으로 형성되어야 한다. 따라서, 금속 마스크 재료를 사용하여 바람직한 하나의 화소을 제외한 화소들을 숨기고, 선택적으로 바람직한 화소에 대한 EL층을 형성하는 것이 바람직하다.

상세히, 마스크는 먼저 적색에 대응하는 화소을 제외한 모든 화소들을 숨기도록 설정되고, 적색 발광의 EL층은 마스크에 의해 선택적으로 형성된다. 그 이후에, 마스크는 녹색에 대응하는 화소을 제외한 모든 화소들을 숨기도록 설정되고, 녹색 발광의 캐소드와 EL층은 마스크에 의해 선택적으로 형성된다. 그 이후에, 상기와 같이, 마스크는 청색에 대응하는 화소을 제외한 모든 화소들을 숨기도록 설정되고, 청색 발광의 EL층은 마스크에 의해 선택적으로 형성된다. 이 경우에 있어서, 다른 마스크들은 각각의 색들에 대해 사용된다. 대신, 동일한 마스크가 그것들에 대해 사용될 수 있다. 바람직하게, 처리는 EL층이 모든 화소들에 대해 형성될 때까지 진공을 파손하지 않고 수행된다.

알려진 재료는 EL층(559)에 대해 사용될 수 있다. 바람직하게, 그것은 구동 전압을 고려한 유기 재료이다. 예를 들어, EL층은 양극 홀 주입층, 양극 홀 수송층, 발광층, 및 전자 주입층으로 구성되는 4-층 구조로 형성될 수 있다.

다음으로, 대향 전극(560)(애노드)이 형성된다. 대향 전극(560)(애노드)의 막 두께는 110㎚이다. 이 실시예에 있어서, 인듐 산화물/주석(ITO) 막은 EL 소자의 대향 전극(애노드)(560)으로서 형성된다. 투명 도전막은 인듐 산화물로 혼합된 2% 내지 20%의 아연 산화물(ZnO)이 사용될 수 있으며, 잘 알려진 다른 재료들도 사용될 수 있다.

최종 단계에서, 실리콘 질화물 막으로 만들어진 제 2 패시베이션 막(561)은 300㎚ 두께가 되도록 형성된다.

도 8(c)에 도시된 것과 같이 EL 디스플레이 장치가 완성된다. 실질적으로, 바람직하게, 도 8(c)에 도시된 것과 같이 완성될 때 공기에 노출되지 않도록 하기 위해서, 고도로 밀폐된 보호막(박판 막, 자외선 회복 수지막, 등) 또는 세라믹 밀봉 캔과 같은 하우징 재료로 패키징(봉인)된다. 그러한 상황에서, EL층의 신뢰성(수명)은 불액티브 대기로 하우징 재료의 내부를 만들거나 그 안에 흡습성 재료(예를 들어, 바륨 산화물)를 위치시킴으로써 향상된다.

예를 들어, 패키징에 의해 밀폐성이 향상된 후에, 외부 신호 단자에 대해 기판 상에 형성된 회로 또는 소자로부터 당겨진 단자에 접속하기 위한 커넥터(유연한 프린트 회로(FPC, flexible print circuit))가 부착되고, 산출품이 완성된다. 이 명세서에서, EL 디스플레이 장치는 EL 모듈이며, 따라서 완전히 시장에 준비되어 있다.

이 실시예의 구성은 실시예 1의 구성과 자유롭게 결합할 수 있다는 것을 유념해야 한다.

[실시예 4]

이제, 이 실시예의 EL 디스플레이 장치의 구조는 도 9의 사시도를 참조로 하여 기술될 것이다.

이 실시예의 EL 디스플레이 장치는 화소부(602), 게이트 신호측 구동 회로(603), 및 소스측 구동 회로(604)로 구성되며, 각각은 유리 기판(601) 상에 형성된다. 화소부(602)의 스위칭 TFT(605)는 n-채널형 TFT이며, 게이트측 구동 회로(603)에 접속된 게이트 배선 라인(606)과 소스측 구동 회로(604)에 접속된 소스 배선 라인(607)의 교차점에 배치된다. 스위칭 TFT(605)의 드레인 영역과 소스 영역은 소스 배선(607)에 접속되고 다른 것은 EL 구동기 TFT(608)의 게이트 전극에 접속된다.

EL 구동기 TFT(608)의 소스 영역은 전류-공급 라인(609)에 접속된다. EL 구동기 TFT(608)의 전류-공급 라인(609)과 게이트 전극에 접속되는 콘덴서(616)가 제공된다. 이 실시예에 있어서, EL 구동 전위가 전류-공급 라인(609)에 부가된다. 또한, 공통 전극의 공통 전위(이 실시예에서, 0 V)는 EL 소자(611)의 대향 전극(이 실시예에서, 캐소드)에 부가된다.

외부 입력-출력 단자인 FPC(612)는 신호를 구동 회로에 전송하기 위한 입력 배선 라인들(접속 배선 라인들)(613, 614)과 전류-공급 라인(609)에 접속된 입력-출력 배선 라인(614)이 제공된다.

하우징 재료들을 포함하는 이 실시예의 EL 모듈은 도 10(a), 도 10(b)를 참조로 하여 이제부터 설명될 것이다. 도 9에 사용된 참조 문자들은 필요시 다시 사용된다.

화소부(1201), 데이터 신호측 구동 회로(1202), 및 게이트 신호측 구동 회로(1203)는 기판(1200) 상에 형성된다. 각 구동 회로로부터의 다양한 배선 라인들은 입력 배선 라인들(613 내지 615)과 FPC(612)를 통해서 외부 장비에 접속된다.

이 때, 하우징 재료(1204)는 적어도 화소부를, 바람직하게는 화소부와 구동회로를 둘러싸도록 배치된다. 하우징 재료(1204)는 내부 면적이 EL 요소의 외부 면적보다 큰 오목한 부분을 갖도록 형성되거나 시트와 같이 형성된다. 하우징 재료(1204)는 고착부(1205)에 의해 기판(1200)에 고정되어 기판(1200)과 함께 폐쇄 공간을 형성하도록 한다. 이 때 EL 요소는 폐쇄 공간으로 완전히 둘러싸인 상태에 있으며, 외부 공기로부터 완전히 차단된다. 다수의 하우징 재료들(1204)이 배치될 수 있다.

바람직하게, 하우징 재료(1204)의 품질은 유리 또는 중합체와 같은 절연 재료이다. 예를 들어, 비결정질 유리(붕규산 유리, 수정 등), 결정화 유리, 세라믹 유리, 유기수지(아크릴 수지, 스티렌 수지, 폴리탄산에스테르 수지, 에폭시 수지 등) 또는 실리콘 수지가 있다. 또한 세라믹이 사용될 수 있다. 고착부(1205)가 절연 재료이면, 스테인레스 합금과 같은 금속 재료들이 사용될 수도 있다.

고착부(1205)의 품질로서 에폭시 수지, 아크릴 수지 등이 사용될 수 있다. 또한, 고착부로서 열경화성 수지 또는 광 교정 수지가 사용될 수 있다. 그러나, 재료는 산소 및 물을 최대한 수송하지 않도록 하는 것이 필요하다.

바람직하게, 하우징 재료와 기판(1200) 사이의 갭(1206)은 불액티브 가스(아르곤, 헬륨, 또는 질소)로 채워진다. 그러나, 가스로 한정되지는 않는다. 불액티브 액체가 사용될 수 있다(예를 들어, 퍼플루오르알케인(perfluoroalkane)에 의해 예시되는 액체 플루오르와 탄소). 예를 들어, 일본 공개공보 Hei 8-78519에 기술된 액체는 불액티브 액체로서 사용된다.

갭(1206)에 건조 에이전트를 배치시키는 것도 효과적이다. 일본 공개공보 Hei 9-148066에 설명된 건조기가 건조 에이전트로서 사용될 수 있다. 일반적으로, 바륨 산화물이 사용될 수 있다.

도 10(b)에 도시된 것과 같이, 화소부는 다수의 화소들을 가지고 있으며, 각각은 개별적으로 절연된 EL 소자들을 가지고 있다. 모두는 공통 전극으로서 보호 전극(1207)을 갖는다. 이 실시예에서, 다음과 같이 설명된다. 즉, EL층, 캐소드(MgAg 전극), 및 공기에 노출되지 않는 보호 전극으로 연속해서 형성되는 것이 바람직하다. 대신, EL층과 캐소드가 동일한 마스크 재료를 사용하여 형성되고 보호 전극만이 다른 마스크로서 형성되면, 도 10(b)의 구조가 실현될 것이다.

이 때 EL층과 캐소드는 화소부(1201) 상에만 배치되고, 구동 회로(1202, 1203) 상에는 배치될 필요가 없다. 물론, 구동 회로 상에 배치되더라도 문제는 발생하지 않을 것이다. 그러나, EL층에 포함된 알칼리 재료의 농도로 구동 회로 상에 배치되지 않아야 한다.

보호 전극(1207)은 화소 전극으로서 동일한 재료로 만들어진 접속 배선 라인(1209)의 매개물을 통해 참조 번호 1208로서 도시된 영역에 있는 입력-출력 배선 라인(1210)에 접속된다. 입력-출력 배선 라인(1210)은 EL 구동 전위를 보호 전극(1207)에 공급하기 위한 전류-공급 라인이며, 도전 페이스트 재료(conductive paste material)(1211) 매개물을 통해 FPC(611)에 접속된다.

이 실시예의 구성은 실시예 1의 구성과 자유롭게 결합할 수 있다는 것을 유념해야 한다.

[실시예 5]

본 발명은 적색, 녹색, 및 청색의 발광 휘도가 모두 다른 유기 EL 재료에 적용하는 것도 가능하다. 예를 들어, 적색의 발광 휘도가 가장 낮고 청색의 발광 휘도가 가장 높은 유기 EL 재료의 경우에, 적색을 디스플레이하는 화소들의 휘도와 청색을 디스플레이하는 화소들의 휘도를 갖는 녹색을 디스플레이하는 화소들의 휘도를 조절하기 위해서, EL 디스플레이 장치는 시분할 계조 표시를 수행하고, 적색 디스플레이를 수행하는 EL 소자들과 녹색 디스플레이를 수행하는 EL 소자들에 인가된 EL 구동기 전압은 청색 디스플레이를 수행하는 EL 소자들에 인가된 EL 구동기 전압보다 크게 되도록 설정될 수 있다. 상기 구조에 부가된 후, 핫 캐리어 주입으로 인한 EL 구동기 TFT들의 디계조(degradation)에 대한 반대 수단으로서 적색을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)과 녹색을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)은 청색을 디스플레이하는 화소들의 EL 구동기 TFT들의 채널 폭(W)보다 커지게 된다. 또한, EL 구동기 TFT들이 n-채널 TFT들일 때, 적색을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD영역의 길이와 녹색을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD영역의 길이는 청색을 디스플레이하는 화소들의 EL 구동기 TFT들의 LDD영역의 길이보다 길어지게 된다. 오퍼레이터가 EL 구동기 TFT들의 채널 폭(W) 및 EL 구동기 TFT들의 LDD 영역의 길이를 적절히 설정하도록 하는 것이 가능하다.

본 발명의 상기 구조에 따라서, EL 소자들에 인가된 EL 구동기 전압값으로 EL 소자들의 발광 휘도를 조절하는 것이 가능하게 되며, 적색, 청색, 및 녹색의 발광 휘도의 밸런스가 양호한 선명한 영상들을 디스플레이하는 것이 가능하게 된다. 게다가, EL 구동기 TFT에 의해 제어되는 전류의 양은 인가된 전압이 커짐으로써 증가하더라도, EL 구동기 TFT들의 열화는 억제될 수 있다.

게다가, 실시예 5의 구성은 실시예들 1 내지 5의 임의의 구성과도 자유롭게 결합하는 것이 가능하다.

[실시예 6]

실시예 1에 있어서, 바람직하게, 유기 EL 재료는 EL층으로서 사용된다. 그러나, 본 발명은 또한 무기 EL 재료를 사용하여 수행될 수도 있다. 이러한 경우에 있어서, 본 발명의 무기 EL 재료는 높은 구동 전압을 갖기 때문에, TFT들은 이와 같은 구동 전압에 저항할 수 있는 저항-압력 특징들을 갖도록 사용되어야 한다

낮은 구동 전압의 무기 EL 재료가 미래에 개발되면, 본 발명에 적용할 수 있을 것이다.

이 실시예의 구성은 실시예들 1 내지 5의 구성 중 어떤 하나와 자유롭게 결합될 수 있다.

[실시예 7]

본 발명에서 EL층으로서 사용된 유기 기판은 낮은 분자 중량 유기 기판이거나 중합체(높은 문자 중량) 유기 기판일 수 있다. 중합체(높은 분자 중량) 유기 기판들은 스핀 코팅(용해 적용으로서도 설명됨), 디핑(dipping), 프린팅, 및 잉크젯 프린팅과 같은 간단한 박막 형성 방법들로 형성될 수 있으며, 낮은 분자 중량 유기 기판들과 비교될 때 높은 열 저항을 갖는다.

PPV(polyphenyl vinylene), PVK(polyvinyl carbazole), 및 폴리탄산 에스테르 등은 일반적인 중합체 유기 기판들로서 주어질 수 있다.

또한, 실시예 7의 구성은 실시예들 1 내지 5 중 어떤 실시예의 구성과 자유롭게 결합하는 것이 가능하다.

[실시예 8]

본 발명을 수행하여 형성된 EL 디스플레이 장치(EL 모듈)는 자체-발광 특성들 때문에 밝은 지점의 가시성에 있어서 액정 디스플레이 장치보다 뛰어나다. 따라서, 본 발명은 다이렉트-뷰형(direct-view type) EL 디스플레이(EL 모듈이 장착된 디스플레이를 나타냄)의 디스플레이부로서 사용될 수 있다. EL 디스플레이로서, 퍼스널 컴퓨터 모니터, TV 수신 모니터, 광고 디스플레이 모니터 등이 있다.

본 발명은 상기 EL 디스플레이를 포함하는 구성 부분들로서 디스플레이들을 포함하는 모든 전자 장치에서 동작될 수 있다.

전자 장치로서, EL 디스플레이, 비디오 카메라, 디지털 카메라, 헤드 장착형 디스플레이, 자동차-네비게이터, 퍼스널 컴퓨터, 휴대 정보 단말기(이동 컴퓨터, 이동 전화, 전자 서적 등), 및 기록 매체(특히, 기록 매체를 재생하고, 컴팩트 디스크(CD), 레이저 디스크(LD), 또는 디지털 비디오 디스크(DVD) 화상 재생기를 장착할 수 있는 장치)를 가지고 있는 화상 재생기가 있다. 전자 장치들의 예가 도 11에 도시되어 있다.

도 11(a)는 주 몸체(2001), 케이스(2002), 디스플레이부(2003), 및 키보드(2004)를 포함하는 퍼스널 컴퓨터를 도시한다. 본 발명은 디스플레이 장치(2003)로서 사용될 수 있다.

도 11(b)는 주 몸체(2101), 디스플레이 장치(2102), 음성 입력부(2103), 작동 스위치(2104), 배터리(2105), 및 영상 수신부(2106)을 포함하는 비디오 카메라를 도시한다. 본 발명은 디스플레이 장치(2102)로서 사용될 수 있다.

도 11(c)는 주 몸체(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 디스플레이 모니터(2304), 광학 시스템(2305), 및 디스플레이 장치(2306)를 포함하는 헤드 장착형 EL 디스플레이의 일부분(오른쪽 측면)을 도시한다. 본 발명은 디스플레이 장치(2306)로서 사용될 수 있다.

도 11(d)는 주 몸체(2401), 기록 매체(2402)(CD, LD, DVD 등), 작동 스위치(2403), 디스플레이 장치(a)(2404), 및 디스플레이 패널(b)(2405)을 포함하는 기록 매체를 가지고 있는 화상 재생기(특히, DVD 재생 플레이어)를 도시한다. 디스플레이 장치(a)는 주로 영상 정보를 디스플레이하고, 디스플레이 장치(b)는 주로 문자 정보를 디스플레이한다. 본 발명은 디스플레이 장치들(a, b)로서 사용될 수 있다. 본 발명은 기록 매체를 가지고 있는 화상 재생기로서 CD 플레이어 또는 게임기에 적용할 수 있다.

도 11(e)는 주 몸체(2501), 카메라(2502), 영상 수신부(2503), 조작 스위치(2504), 및 디스플레이부(2505)를 포함하는 휴대용(이동) 컴퓨터를 도시한다. 본 발명은 디스플레이 장치(2505)로서 사용될 수 있다.

미래에 EL 재료의 발광 휘도가 높아지면, 본 발명은 프론트 또는 레어형 프로젝터(front or rear type projector)에 적용될 수 있을 것이다.

본 발명은 상기 설명된 광범위한 응용을 가지며, 모든 분야의 전자 장치에 적용할 수 있다. 이 실시예의 전자 장치는 실시예들 1 내지 7의 자유로운 결합으로 임의의 구조를 사용함으로써 실현될 수 있다.

본 발명의 상기 구조에 있어서, EL 소자에 인가된 EL 구동기 전압값에 따라 EL 소자의 발광 휘도를 조정하고, 적색, 청색, 및 녹색의 발광 휘도들의 밸런스가 양호한 선명한 영상을 디스플레이하는 것이 가능하게 된다. 게다가, EL 구동기 TFT에 의해 제어되는 전류의 양이 인가된 전압들이 커짐으로써 증가되더라도, EL 구동기 TFT의 열화는 억제될 수 있다.

발명의 효과

본 발명을 통해 다른 휘도의 적색, 청색, 및 녹색 광을 갖는 유기 EL 재료들을 이용하여 적색, 청색, 및 녹색 광의 휘도들의 밸런스가 양호한 영상을 디스플레이하는 EL 디스플레이 장치가 제공된다.

도면의 간단한 설명

도 1a 및 도 1b는 본 발명의 EL 디스플레이 장치의 구조를 나타내는 도면들.

도 2는 본 발명의 시분할 계조 방법 디스플레이 모드(time partitioning gradient method display mode)를 예시하는 도면.

도 3은 본 발명의 시분할 계조 방법 디스플레이 모드를 예시하는 도면.

도 4는 본 발명의 EL 디스플레이 장치의 횡단면 구조를 나타내는 도면.

도 5a 내지 도 5e는 EL 디스플레이 제조 방법을 나타내는 도면.

도 6a 내지 도 6d는 EL 디스플레이 제조 방법을 나타내는 도면.

도 7a 내지 도 7d는 EL 디스플레이 제조 방법을 나타내는 도면.

도 8a 내지 도 8c는 EL 디스플레이 제조 방법을 나타내는 도면.

도 9는 EL 모듈의 외형을 나타내는 도면.

도 10a 내지 도 10b는 EL 모듈의 외형을 나타내는 도면들.

도 11a 내지 도 11e는 전자 장치의 특정 예들을 도시하는 도면들.

* 도면의 주요 부분에 대한 부호의 설명 *

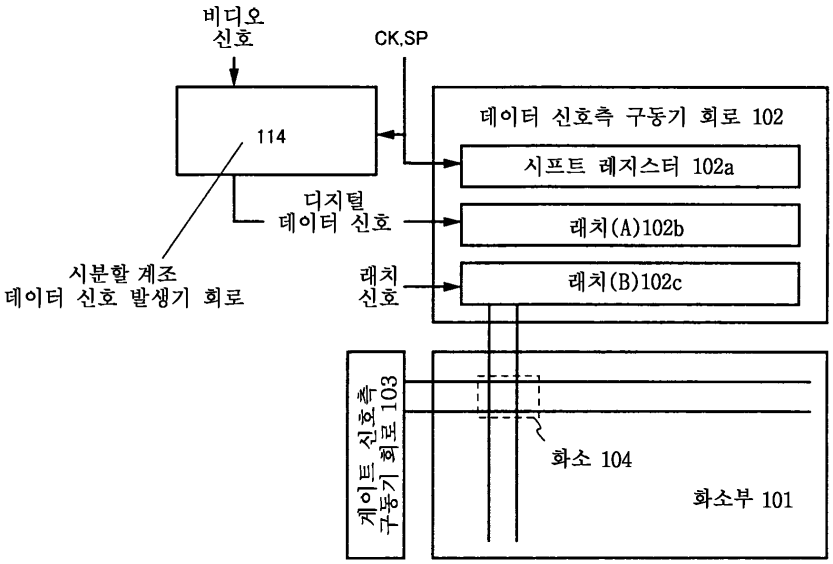
101 : 화소부 102 : 데이터 신호측 구동기 회로

103 : 게이트 신호측 구동기 회로 106 : 게이트 배선

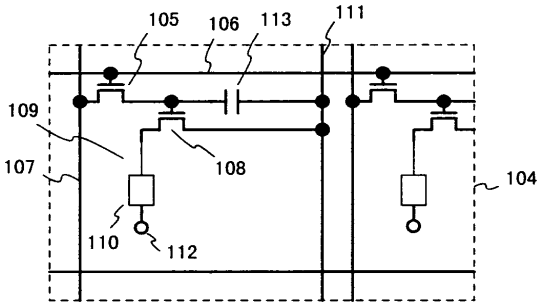
105 : 스위칭 TFT 111: 전원선

도면

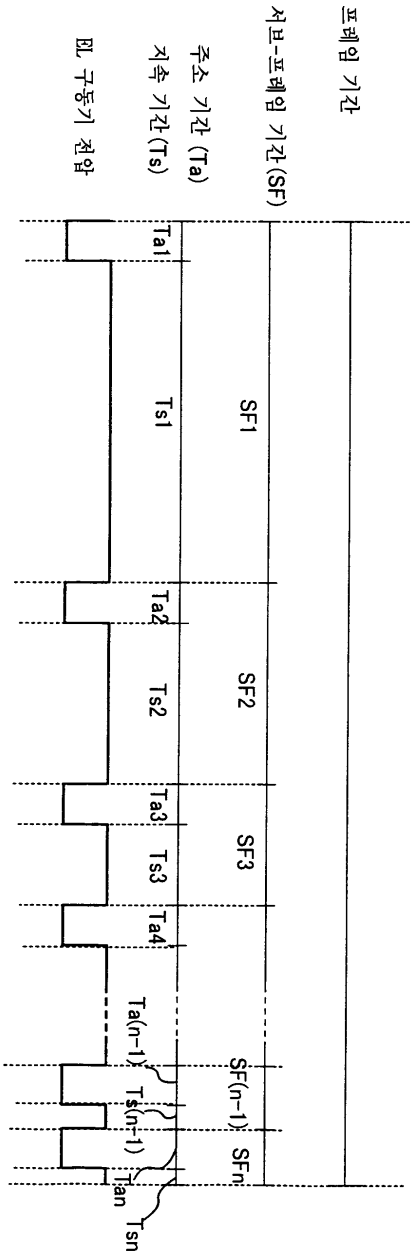
도면1a


비디오
신호
CK,SP
114
데이터 신호측 구동기 회로 102
시프트 레지스터 102a
래치(A)102b
래치(B)102c
디지털
데이터 신호
래치
신호
시분할 계조
데이터 신호 발생기 회로
게이트 신호측
구동기 회로 103
화소 104
화소부 101

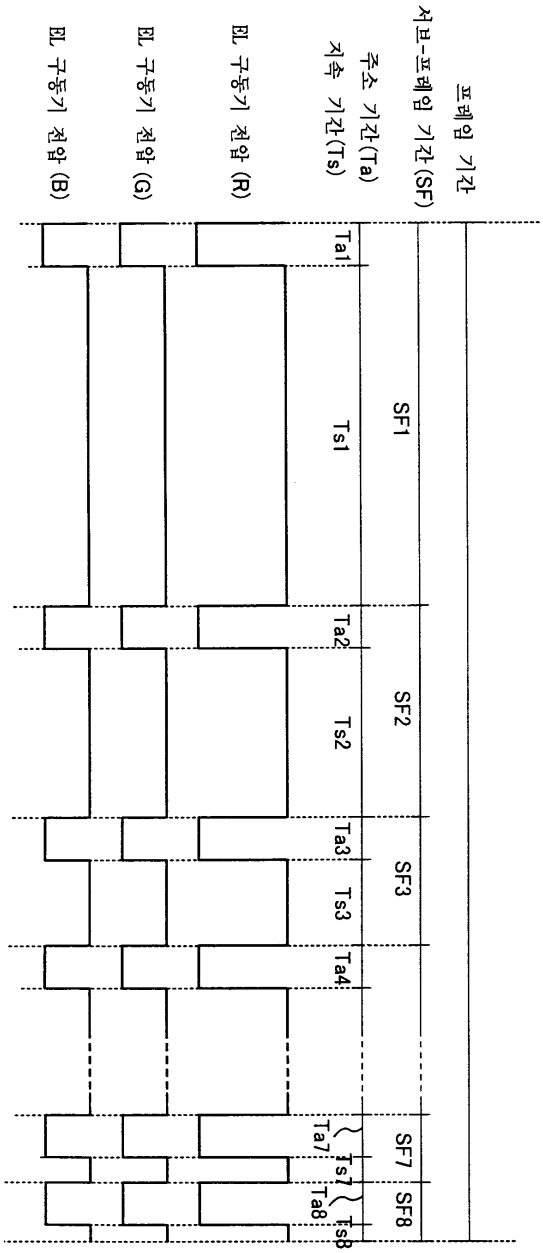
도면1b


105
106
113
111
109
107
108
104
110
112

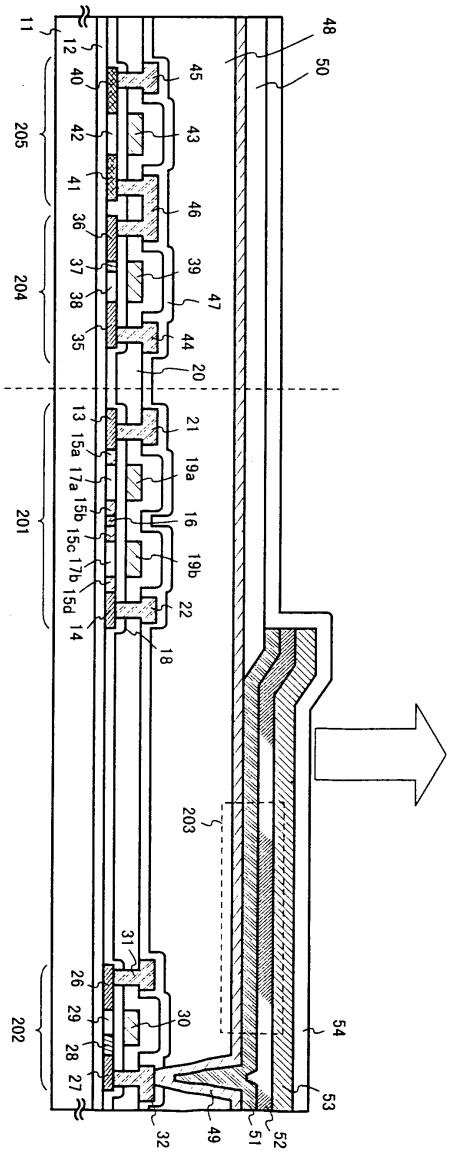
도면2


프레임 기간
서브-프레임 기간(SF)
주소 기간 (Ta)
지속 기간(Ts)
EL 구동기 전압
Ta1
Ts1
SF1
Ta2
Ts2
SF2
Ta3
Ts3
SF3
Ta4
Ta(n-1)
Ts(n-1)
SF(n-1)
SFn
Tan
Tsn

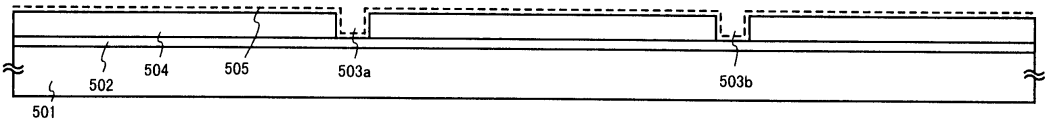
도면3


프레임 기간
서브-프레임 기간 (SF)
주소 기간(Ta)
지속 기간(Ts)
EL 구동기 전압 (R)
EL 구동기 전압 (G)
EL 구동기 전압 (B)
Ta1
Ts1
SF1
Ta2
Ts2
SF2
Ta3
Ts3
SF3
Ta4
Ta7
Ts7
SF7
Ta8
Ts8
SF8

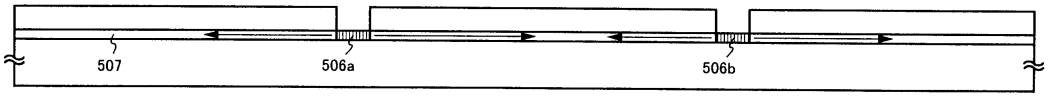
도면4



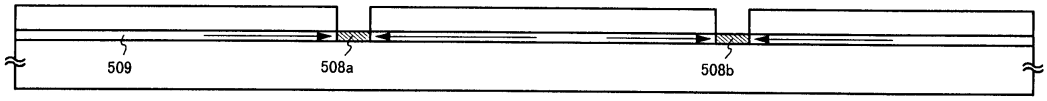
도면5a



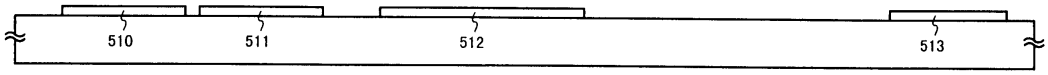
도면5b



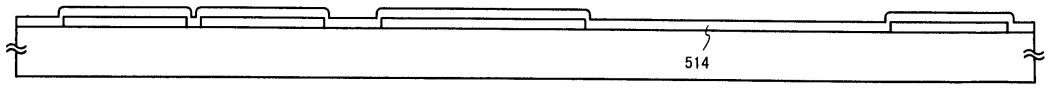
도면5c



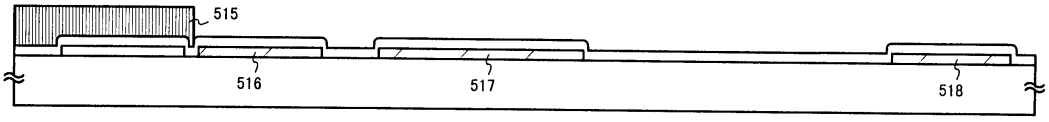
도면5d



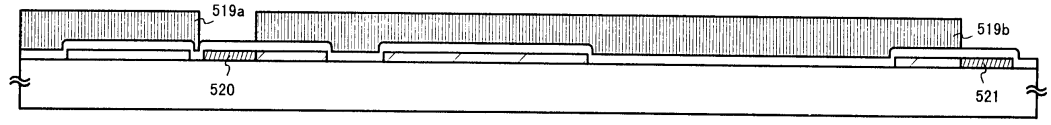
도면5e



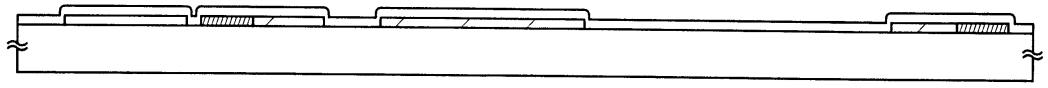
도면6a



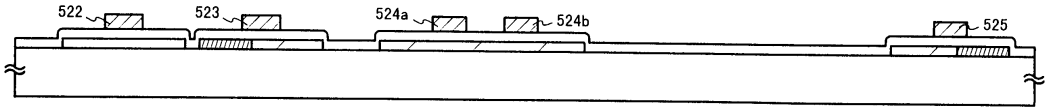
도면6b



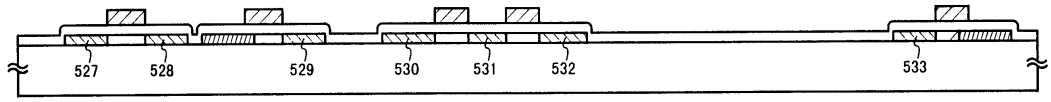
도면6c



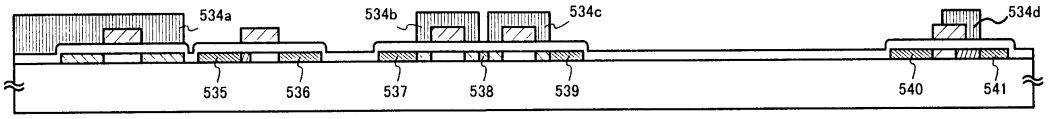
도면6d



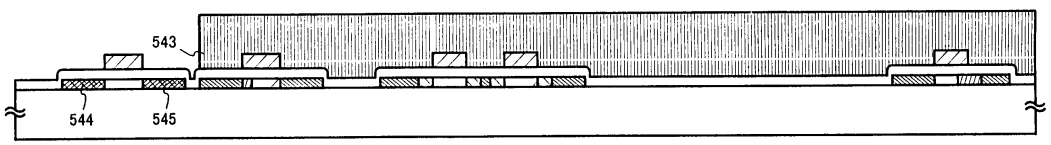
도면7a



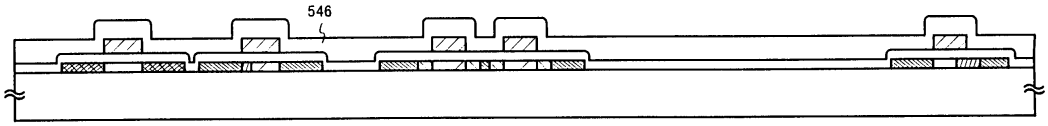
도면7b



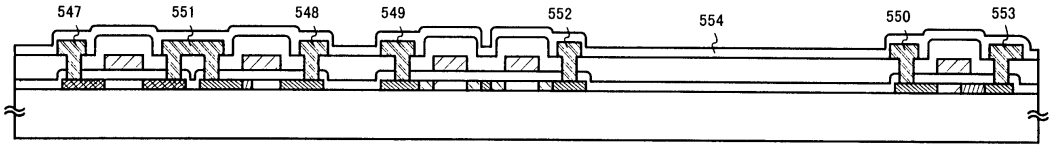
도면7c



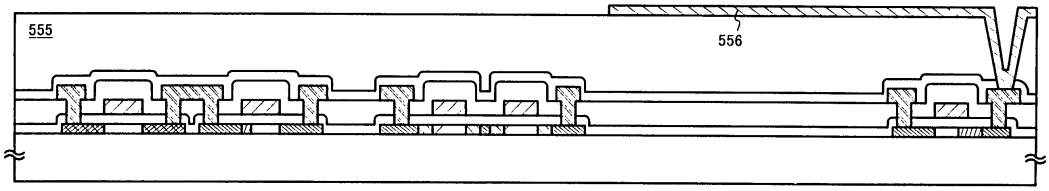
도면7d



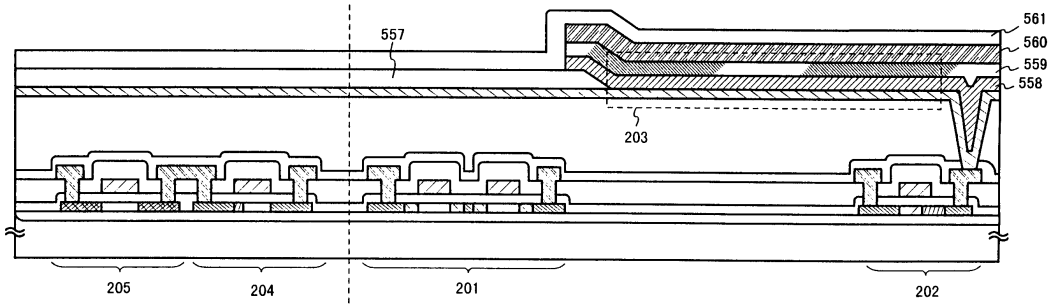
도면8a



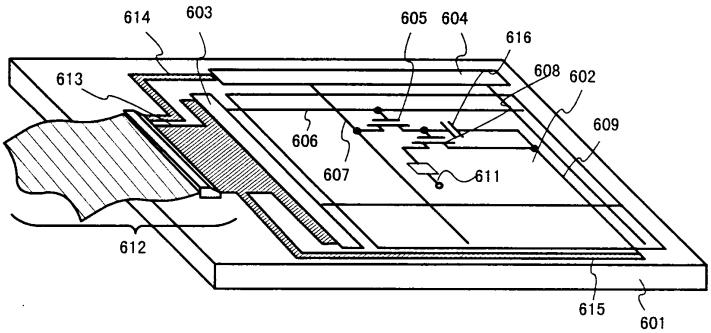
도면8b



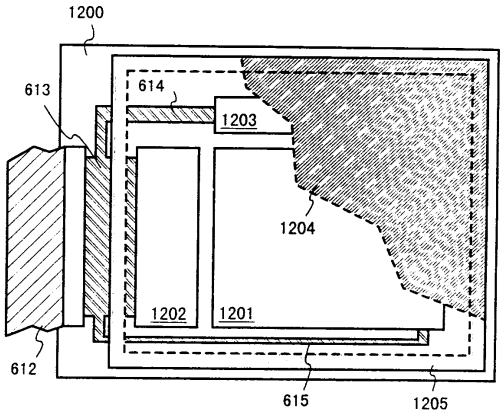
도면8c



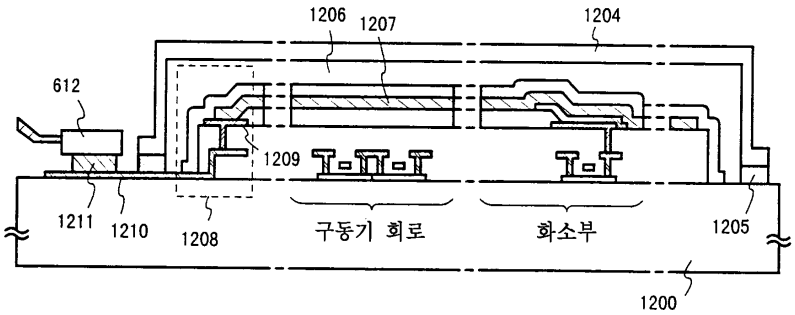
도면9



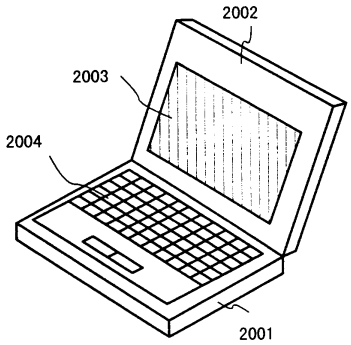
도면10a



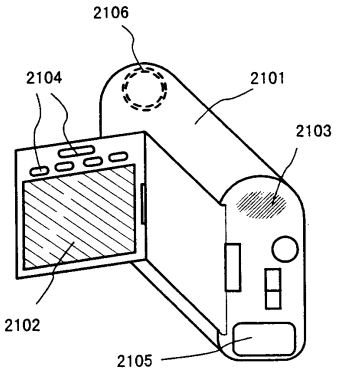
도면10b



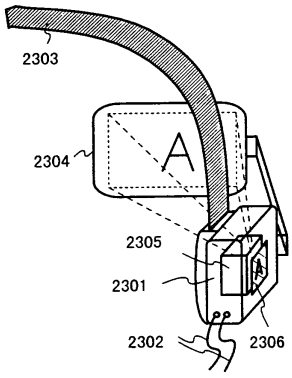
도면11a



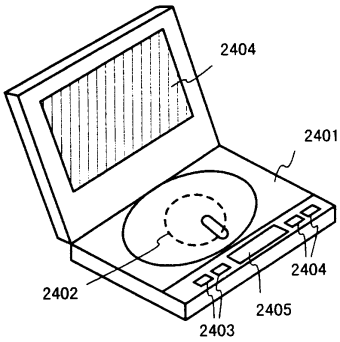
도면11b



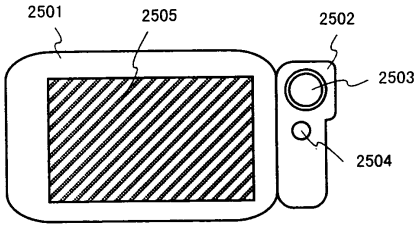
도면11c



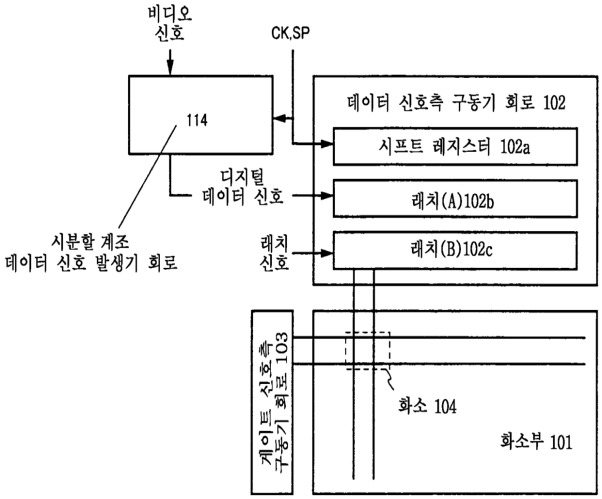
도면11d



도면11e



专利名称(译)	EL显示器件和电子器件		
公开(公告)号	KR100678875B1	公开(公告)日	2007-02-07
申请号	KR1020000055994	申请日	2000-09-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN		
发明人	KOYAMA,JUN		
IPC分类号	G09G3/30 G09G3/20 G09G3/32 H01L21/77		
CPC分类号	G09G2300/0842 G09G2300/0408 G09G3/30 H01L27/3262 G09G2320/043 G09G2300/0809 H01L27/1214 G09G2320/0242 G09G3/2022 G09G3/3233 G09G3/3258 H01L27/12 G09G3/3291 H01L27/3211		
代理人(译)	李，何炳 李贝尔		
优先权	1999270091 1999-09-24 JP		
其他公开文献	KR1020010050612A		
外部链接	Espacenet		

摘要(译)

本发明提供一种EL显示装置，其能够显示鲜明的图像，并且能够良好地平衡发出的红色，蓝色和绿色光的亮度。 EL显示装置具有多个像素，每个像素分别包含EL元件，EL显示装置通过控制多个EL元件发光的时间来进行灰度显示。 EL显示器件的特征在于施加到每个EL元件的电压根据分别由每个包含EL元件的多个像素显示的颜色而不同。