

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

H01L 29/786 (2006.01)

G09G 3/30 (2006.01)

(45) 공고일자

2006년07월13일

(11) 등록번호

10-0599595

(24) 등록일자

2006년07월05일

(21) 출원번호

10-2004-0036841

(65) 공개번호

10-2005-0111911

(22) 출원일자

2004년05월24일

(43) 공개일자

2005년 11월 29일

(73) 특허권자

삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

윤한희
경기도안양시만안구석수동378-4덕수아파트다동101호

(74) 대리인

유미특허법인

(56) 선행기술조사문헌

JP07288287 A

KR1019980042842 A

KR1020050028101 A

* 심사관에 의하여 인용된 문헌

JP11204657 A

KR1020040021480 A

심사관 : 김기영

(54) 발광표시 장치용 반도체 소자 및 그 제조 방법

요약

본 발명은 유기 EL 발광표시 장치의 데이터 구동부에 적용할 수 있는 발광표시 장치용 반도체 소자 및 그 제조 방법에 관한 것이다.

본 발명에 따른 반도체 소자는, 게이트, 소스 및 드레인을 갖는 복수의 트랜지스터로 구성되는 반도체 소자에 있어서, 상기 복수의 트랜지스터는, 글래스 기판; 상기 글래스 기판 상에 형성되며, 게이트 및 소스/드레인이 각각 형성되는 제1 및 제2 액티브 영역; 상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 사이에 형성되어 있는 오프셋 영역; 상기 오프셋 영역 상부 및 상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 상부에 공통으로 형성되는 콘택홀; 및 상기 콘택홀에 채워져 있는 금속 충전재를 포함한다.

본 발명에 따르면, 발광표시 장치용 반도체 소자를 형성하는 박막 트랜지스터 형성 시에, 공통의 콘택홀을 갖게 함으로써 박막 트랜지스터의 콘택수를 줄일 수 있고, N형 및 P형의 도핑 영역들의 확산을 고려하여 0.5 μm 정도의 오프셋 간격을 두어 오동작을 방지할 수 있다.

대표도

도 6

색인어

유기 EL, 발광표시, 반도체 소자, 콘택수, 오프셋 영역, SRAM 코어 셀

명세서

도면의 간단한 설명

도 1은 유기 EL의 발광 원리를 나타내는 도면이다.

도 2는 유기 EL 표시 장치의 개략적인 블록 구성도이다.

도 3은 TFT를 이용한 능동 구동방식을 사용하는 일반적인 유기 EL 표시 패널을 나타내는 도면이다.

도 4는 발광표시 장치용 CMOS 정적램 코어 셀의 회로도이다.

도 5는 종래의 기술에 따른 반도체 소자의 수직 단면도이다.

도 6은 본 발명의 실시예에 따른 발광표시 장치용 반도체 소자의 수직 단면도이다.

도 7a 내지 도 7l은 각각 본 발명의 실시예에 따른 발광표시 장치용 반도체 소자를 제조하는 공정을 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 발광표시 장치용 반도체 소자 및 그 제조 방법에 관한 것으로, 구체적으로, 유기 EL(organic electroluminescence) 발광표시 장치의 데이터 구동부에 적용할 수 있는 발광표시 장치용 반도체 소자 및 그 제조 방법에 관한 것이다.

유기 EL 발광표시 장치는 전류가 흐를 경우에 빛을 내는 유기 물질을 화소별로 분리하여 매트릭스 모양으로 배치해 놓고, 이들 유기 물질에 흐르는 전류량을 조절함으로써 화상을 표시하는 장치이다. 이러한 유기 EL 발광표시 장치는 저전압 구동, 경량 박형, 광시야각 그리고 고속 응답 등의 장점으로 인하여 차세대 표시 장치로 기대되고 있다.

도 1은 유기 EL의 발광 원리를 나타내는 도면이다.

일반적으로, 유기 EL 발광표시 장치는 형광성 유기화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N×M 개의 유기 발광셀들을 전압구동 혹은 전류 구동하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀 구조는 도 1에 도시된 바와 같이, ITO(Indium Tin Oxide) 화소전극, 유기박막 및 금속 레이어의 구조를 가지고 있으며, 상기 유기박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(Emitting Layer: EML), 전자수송층(Electron Transport Layer: ETL) 및, 정공수송층(Hole Transport Layer: HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자주입층(Electron Injecting Layer: EIL)과 정공주입층(Hole Injecting Layer: HIL)을 포함할 수 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 TFT를 이용한 능동 구동(active matrix) 방식이 있다. 상기 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동방식은 TFT와 커패시터를 각각의 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다.

도 2는 유기 EL 표시 장치의 개략적인 블록 구성도이다.

도 2를 참조하면, 유기 EL 표시 장치는 비디오 제어부(210), 패널 제어부(220), 전원 모듈(230), 주사 구동부(240), 데이터 구동부(250) 및 유기 EL 패널(260)로 이루어질 수 있는데, 아날로그 인터페이스 및 디지털 인터페이스를 거친 여러 신호들이 각각 주사 구동부(240) 및 데이터 구동부(250)에 의해 상기 유기 EL 패널(260)에 각각 행(Column)과 열(Row) 방향으로 제공된다.

구체적으로, R, G, B 신호 및 동기신호 등의 여러 아날로그 신호들이 상기 비디오 제어부(210)에 입력된 후에 디지털 신호로 변환되고, 상기 패널 제어부(220)는 이들을 제어하여 순차적으로 주사 구동부(240) 및 데이터 구동부(250)에 제공하게 되며, 상기 유기 EL 패널(260)은 이들 주사 구동부(240) 및 데이터 구동부(250)에 의해 제공되는 신호들, 그리고 전원 모듈(230)에 의해 제공되는 전원에 의해 $n \times m$ 개의 유기 발광셀을 전압구동 혹은 전류 구동하여 영상을 표현하게 된다.

한편, 도 3은 TFT 박막 트랜지스터를 이용한 능동 구동방식을 사용하는 일반적인 유기 EL 표시 패널을 나타내는 도면이다.

도 3을 참조하면, 유기 EL 표시장치는 유기 EL 표시패널(310), 데이터 구동부(320), 및 주사 구동부(330)를 포함한다.

상기 유기 EL 표시패널(310)은 열 방향으로 뻗어 있는 m 개의 데이터선(D1, D2, ..., DM), 행 방향으로 뻗어 있는 n 개의 주사선(S1, S2, ..., Sn), 및 $n \times m$ 개의 화소회로를 포함한다. 상기 m 개의 데이터선(D1, D2, ..., DM)은 화상 신호를 나타내는 데이터 신호를 화소회로로 전달하며, n 개의 주사선(S1, S2, ..., Sn)은 선택 신호를 각각 화소회로로 전달한다. 여기서, 화소회로는 이웃한 두 데이터선(D1, D2, ..., DM)과 이웃한 두 주사선(S1, S2, ..., Sn)에 의해 정의되는 1개의 화소 영역(310-1)에 형성되며, 예를 들어, 트랜지스터(311, 312), 커패시터(313) 및 유기 EL 소자(314)로 이루어지게 된다. 여기서, 도면부호 315는 전원 전압인 V_{dd} 를 나타낸다.

구체적으로, 상기 화소 회로(310-1) 각각은 유기 EL 소자(OLED), 2개의 트랜지스터(311, 312) 및 커패시터(313)를 포함한다. 예를 들어, 상기 2개의 트랜지스터들(311, 312)은 PMOS형 트랜지스터로 형성될 수 있다.

상기 구동 트랜지스터(312)는 전원 전압(V_{dd})에 소스가 연결되고, 게이트와 소스 사이에 커패시터(313)가 연결되어 있다. 상기 커패시터(313)는 상기 구동 트랜지스터(312)의 게이트-소스 전압을 일정 기간 유지하며, 스위칭 트랜지스터(311)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(DM)으로부터의 데이터 전압을 구동 트랜지스터(312)로 전달한다.

상기 유기 EL 소자(314)는 캐소드가 기준 전압(V_{ss})에 연결되며, 구동 트랜지스터(312)를 통하여 인가되는 전류에 대응하는 빛을 발광한다. 여기서, 유기 EL 소자(314)의 캐소드에 연결되는 전원(V_{ss})은 전원(V_{dd})보다 낮은 레벨의 전압으로서, 그라운드 전압 등이 사용될 수 있다.

또한, 상기 주사 구동부(330)는 n 개의 주사선(S1, S2, ..., Sn)에 각각 선택 신호를 순차적으로 인가하며, 데이터 구동부(320)는 m 개의 데이터선(D1, D2, ..., DM)에 화상 신호에 대응되는 데이터 전압을 인가한다.

또한, 상기 주사 구동부(330) 및/또는 데이터 구동부(320)는 유기 EL 표시패널(310)에 전기적으로 연결될 수 있으며, 또는 상기 유기 EL 표시패널(310)에 접착되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package: TCP)에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(310)에 접착되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit: FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다.

한편, 상기 주사 구동부(330) 및/또는 데이터 구동부(320)는 상기 유기 EL 표시패널(310)의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대칭될 수도 있고, 직접 장착될 수도 있다.

종래의 기술에 따른 CMOS 정적램 코어 셀을 설명하면 다음과 같다.

도 4는 발광표시 장치용 CMOS 정적램 코어 셀의 회로도이고, 도 5는 종래의 기술에 따른 반도체 소자의 수직 단면도이다.

종래 기술에 따른 CMOS 정적램 코어 셀은 상기 유기 EL 발광표시 장치를 SOP(system on package)로 구현하기 위해 데이터 구동부(320) 상에 사용되며, 6개의 TFT 트랜지스터를 갖는 SRAM으로 설계되는데, 집적도 향상이 요구된다.

도 4를 참조하면, MP1과 MP2는 풀업(pull-up) 트랜지스터이며, MN1과 MN2는 풀다운(pull-down) 트랜지스터이며, MP3 및 MP4는 액세스를 위한 패스 트랜지스터를 나타낸다. 여기서, MP1 내지 MP4는 P-MOS 트랜지스터이고, MN1 및 MN2는 N-MOS 트랜지스터로서, 상기 MP1과 MN1, 그리고 MP2와 MN2는 CMOS로 구현되게 된다. 또한, Bit 및 Bitb는 비트라인이며, word는 워드라인을 각각 나타낸다.

도 5를 참조하면, 종래의 기술에 따른 반도체 소자의 수직 단면도로서, CMOS 구조를 갖도록 NMOS 및 PMOS가 함께 제조되는 것을 나타내는 도면이다.

구체적으로, 실리콘 기판(511) 상에 NMOS 및 PMOS가 함께 형성되는 경우, NMOS의 소스/드레인(513a') 및 PMOS의 소스/드레인(513b')이 형성된 후, 각각 콘택홀(519a, 519b)이 형성되게 된다. 즉, NMOS 및 PMOS는 서로 게이트 절연층(514, 518)으로 소자가 분리되며, 각각의 소스/드레인(513a', 513b') 상에 콘택홀(519a, 519b)이 형성되는 구조를 갖게 된다. 그러나 CMOS 구조에서 상기 콘택홀(519a, 519b)이 각각의 소스/드레인(513a', 513b')마다 형성되고, 이로 인해 레이아웃 설계시에 많은 면적을 차지함으로써, 집적도가 낮아지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

상기 문제점을 해결하기 위한 본 발명의 목적은 반도체 소자를 형성하는 박막 트랜지스터가 공통 콘택홀을 가짐으로써 콘택수를 줄일 수 있는 발광표시 장치용 반도체 소자 및 그 제조 방법을 제공하기 위한 것이다.

또한, 본 발명의 다른 목적은 박막 트랜지스터 형성 시에, 도핑 영역들의 확산을 고려하여 오프셋 간격을 둠으로써 반도체 소자의 오동작을 방지할 수 있는 발광표시 장치용 반도체 소자 및 그 제조 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 수단으로서, 본 발명에 따른 반도체 소자는, 게이트, 소스 및 드레인을 갖는 복수의 트랜지스터로 구성되는 반도체 소자에 있어서,

상기 복수의 트랜지스터는,

클래스 기판;

상기 클래스 기판 상에 형성되며, 게이트 및 소스/드레인이 각각 형성되는 제1 및 제2 액티브 영역;

상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 사이에 형성되어 있는 오프셋 영역; 및

상기 오프셋 영역 상부 및 상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 상부에 공통으로 형성되는 콘택홀
삭제

을 포함하는 것을 특징으로 한다.

여기서, 상기 제1 및 제2 액티브 영역은 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역인 것을 특징으로 한다.

여기서, 상기 오프셋 영역은 도핑의 확산을 고려하여 0.5 μ m 이상 형성되는 것이 바람직하며, 상기 오프셋 영역은 상기 제1 및 제2 액티브 영역 도핑 시에 감광막에 의해 공통으로 차단되는 영역인 것을 특징으로 하며, 또한, 상기 오프셋 영역은 비정질 규소층이 탈수소 결정화된 다결정 규소층인 것을 특징으로 한다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 발광표시 장치용 반도체 소자는, 게이트, 소스 및 드레인을 각각 구비하는 복수의 박막 트랜지스터로 구성되는 발광표시 장치용 반도체 소자에 있어서,
클래스 기판;

다결정 규소층에 제1 불순물로 도핑되어 소스 및 드레인이 형성되어 있는 제1 액티브 영역;

상기 다결정 규소층에 상기 제1 불순물과 반대의 도전성을 갖는 제2 불순물로 도핑되어 소스 및 드레인이 형성되어 있는 제2 액티브 영역;

상기 제1 및 제2 액티브 영역 사이에 형성되어 있는 오프셋 영역; 및
상기 오프셋 영역 위에 형성되며, 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인을 공통으로 연결시키는 하나의 콘택홀

을 포함하는 것을 특징으로 한다.

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

여기서, 상기 제1 및 제2 액티브 영역은 저도핑 드레인(LDD) 영역을 포함할 수 있다.

여기서, 상기 다결정 규소층은 상기 비정질 규소층을 탈수소화한 후에 엑시머 레이저 열처리(ELA)에 의해 다결정으로 변환된 것을 특징으로 한다.

여기서, 상기 제1 액티브 영역과 제2 액티브 영역 중의 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역인 것을 특징으로 한다.

여기서, 상기 오프셋 영역은 상기 도핑 시에 감광막에 의해 차단되는 것을 특징으로 하며, 상기 오프셋 영역은 도핑의 확산을 고려하여 $0.5\mu\text{m}$ 이상 형성되는 것이 바람직하다.

한편, 상기 목적을 달성하기 위한 다른 수단으로서, 본 발명에 따른 반도체 소자의 제조 방법은,

- a) 클래스 기관 상에 제1 액티브 영역과 제2 액티브 영역을 형성하는 단계;
- b) 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인 영역을 각각 도핑하는 단계;
- c) 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인이 이웃하는 도핑 영역들 사이에 오프셋 영역을 형성하는 단계; 및
- d) 상기 오프셋 영역 양측의 도핑 영역들 상부에 하나의 콘택홀을 형성하고, 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인을 공통으로 연결하는 단계

를 포함하여 이루어지는 특징이 있다.

여기서, 상기 a) 단계의 제1 액티브 영역과 제2 액티브 영역 중의 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역인 것을 특징으로 한다.

여기서, 상기 b) 단계는, 상기 제1 액티브 영역과 제2 액티브 영역 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 고농도 불순물을 도핑하는 단계; 및 상기 소스/드레인 영역에 저농도 불순물을 도핑하여, 저농도 도핑 드레인(LDD)을 형성하는 단계를 포함할 수 있다.

여기서, 상기 오프셋 영역은 상기 도핑 시에 감광막에 의해 차단되는 것을 특징으로 하며, 상기 오프셋 영역은 도핑의 확산을 고려하여 0.5 μ m 이상 형성되는 것이 바람직하다.

여기서, 상기 d) 단계의 소스/드레인이 공통으로 연결되도록 상기 콘택홀에 금속을 채운 것을 특징으로 한다.

본 발명에 따르면, 발광표시 장치용 반도체 소자를 형성하기 위한 박막 트랜지스터 형성 시에, 공통 콘택홀을 갖게 함으로써 박막 트랜지스터의 콘택수를 줄일 수 있고, N형 P형의 도핑 영역들의 확산을 고려하여 오프셋 간격을 둠으로써 반도체 소자의 오동작을 방지할 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 발광표시 장치용 반도체 소자 및 그 제조 방법을 상세히 설명한다.

본 발명의 실시예에 따른 발광표시 장치용 반도체 소자는, 게이트, 소스 및 드레인을 갖는 복수의 박막 트랜지스터로 구성되며, 상기 반도체 소자가 SRAM 코어 셀인 경우, 전술한 도 4에 도시된 바와 같이, 6개의 PMOS 또는 NMOS 트랜지스터로 구성되고, 비트라인 및 워드라인에 의해 읽기/쓰기가 제어된다.

도 6은 본 발명의 실시예에 따른 발광표시 장치용 반도체 소자의 수직 단면도이다.

도 6을 참조하면, 본 발명의 실시예에 따른 발광표시 장치용 반도체 소자는, 게이트, 소스 및 드레인을 갖는 복수의 박막 트랜지스터를 구비하며, 상기 박막 트랜지스터는, 글래스 기판 상에 증착되는 버퍼층인 이산화규소층(611), 상기 이산화규소층(611) 상에 형성되며, 게이트 및 소스/드레인이 각각 형성되는 제1 및 제2 액티브 영역, 상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 상에 공통으로 형성되는 콘택홀, 및 상기 콘택홀에 채워져 있는 금속 충전재(619)를 포함하고, 상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 사이에 형성되어 있는 오프셋 영역(617)을 포함한다. 여기서, 상기 제1 및 제2 액티브 영역은 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역으로서, CMOS 구조를 가질 수 있다.

여기서, 도면부호 A로 도시된 영역에서, 상기 오프셋 영역(617)은 도핑의 확산을 고려하여 0.5 μ m 이상 형성되는 것이 바람직하며, 상기 오프셋 영역(617)은 비정질 규소층이 탈수소 결정화된 다결정 규소층인 것을 특징으로 하며, 상기 다결정 규소층은 N형 또는 P형 도핑시 감광막에 의해 차단됨으로써 형성된다.

미설명된 도면부호 613a 및 613a'는 NMOS 영역의 다결정 규소층으로서, 각각 도핑되지 않은 영역 및 도핑된 영역을 나타내며, 도면부호 613b 및 613b'는 PMOS 영역의 다결정 규소층으로서, 각각 도핑되지 않은 영역 및 도핑된 영역을 나타낸다. 또한, 도면부호 614는 상기 제1 및 제2 액티브 영역 상에 형성되는 게이트 절연층을 나타내며, 이하, 도 6에 도시된 CMOS 정적램 코어 셀을 도 7a 내지 도 7l에 도시된 반도체 소자를 제조하는 공정을 참조하여 구체적으로 설명하기로 한다.

도 7a 내지 도 7l은 각각 본 발명의 실시예에 따른 발광표시 장치용 반도체 소자를 제조하는 공정을 나타내는 도면이다.

본 발명의 실시예에 따른 반도체 소자를 제조하는 공정은, 먼저, 실리콘 기판 또는 유리 기판(Glass) 상에 버퍼층인 이산화규소층(611)을 증착하고(도 7a 참조), 이후, a-Si:H(Hydrogenated amorphous Silicon: 612)을 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD)을 이용하여 증착한다(도 7b 참조).

이후, PECVD 방법을 사용하여 탈수소 과정을 거치고(도 7c 참조), ELA (excimer laser annealing)을 통해 결정화하게 된다(도 7d 참조).

구체적으로, 실리콘 기판 상에 증착된 이산화규소층(611) 상에 poly-Si TFT를 제작할 때, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition: PECVD) 방법을 이용해 400 $^{\circ}$ C 이하의 저온에서 비정질 규소층(a-Si) 박막(612)을 증착시킨다. PECVD로 a-Si 박막(612)을 증착하는 경우, 상기 박막(612) 내에 다량의 수소(H)가 포함(10%

내외)되기 때문에, a-Si:H(Hydrogenated amorphous Silicon) 박막의 재결정화(recrystallization) 이전에 탈수소(Dehydrogenation) 과정을 거쳐야 한다. 이어서 탈수소 과정을 거친 a-Si 박막(612')을 다결정 규소층(613)으로 재결정화하기 위해 엑시머 레이저빔을 조사(irradiation)하게 된다.

이후, 상기 재결정화된 다결정 규소층 박막(613) 상에 제1 마스크를 이용하여 패턴을 형성하고 건식 식각을 통해 다결정 규소층인 액티브 영역(613')을 형성한 후, 상기 다결정 규소층인 액티브 영역(613a') 및 상기 이산화규소층(611)의 전면에 PECVD 방법을 이용하여 SiO_2 를 증착하여 게이트 절연층(614)을 형성하게 된다(도 7e 참조). 즉, 사진 및 식각 공정으로 상기 다결정 규소층 박막(613)을 액티브 영역으로 형성하게 되며, 이때, 상기 액티브 영역은 NMOS 및 PMOS 영역으로 구분된다.

다음으로, 상기 PMOS 액티브 영역에는 사진 공정을 통해 제2 마스크로서 포토 레지스트(615)를 형성하고(도 7f 참조), 상기 NMOS 액티브 영역 상의 절연층(614)에만 고농도 불순물을 주입한다(도 7g 참조). 즉, 상기 NMOS 액티브 영역 상의 절연층(614) 상에 N^+ 불순물을 코팅한다.

다음으로, 상기 NMOS 및 PMOS 액티브 영역 상의 각각의 게이트가 형성될 영역(615a, 615b)을 형성하고, 상기 NMOS 액티브 영역 상의 소스/드레인 영역에 N^- 불순물을 주입하여 N^- Well 영역이 되게 한다(도 7h 참조). 여기서, 도면부호 613a'는 다결정 규소층 박막에 N^- 저농도 불순물이 증착된 것을 나타내고, 613a는 상기 게이트(615a) 하부에 위치하여 N^- 저농도 불순물이 증착되지 않은 영역이다. 이와 같이, N^+ 고농도 및 N^- 저농도 불순물을 주입하여 LDD(Lightly Doped Drain)를 형성하게 된다.

다음으로, 상기 PMOS 액티브 영역 상의 소스/드레인 영역에 P^- Well을 형성하기 위해 불순물을 주입한다(도 7i 참조). 즉, 전술한 NMOS 형성과 마찬가지로 상기 P^- Well을 형성하게 된다. 여기서, 도면부호 616a 및 616b는 각각 포토레지스트인 마스크를 나타낸다.

다음으로, 상기 ELA 또는 용광로(furnace)에서 열처리하여 활성화시키고, 상기 N^- Well 및 P^- Well 영역 사이에 오프셋 영역(617)을 형성한다(도 7j 참조). 즉, 도핑의 확산을 고려하여 P^- 도핑 영역과 N^- 도핑 영역을 0.5 μm 정도의 오프셋을 주어 포토마스크를 설계함으로써 상기 오프셋 영역(617)이 형성된다.

다음으로, 노출된 전면에 절연층인 중간층(interlayer; 618)을 증착하고, 사진 및 건식 식각 공정으로 상기 NMOS 및 PMOS의 소스/드레인 영역에 콘택홀을 각각 형성한다(도 7k). 이때, 상기 NMOS 액티브 영역과 PMOS 액티브 영역이 이웃하는 부분은 공통으로 하나의 콘택홀만이 형성되게 된다. 이로 인해 NMOS와 PMOS의 소스/드레인이 서로 연결되어 CMOS를 형성하는 부분으로서, 레이아웃 설계시에 콘택수를 줄일 수 있게 한다.

다음으로, 상기 NMOS 및 PMOS의 소스/드레인 상에 형성된 상기 콘택홀에 충전 금속(619)을 채우게 된다(도 7l 참조). 이때, 상기 콘택홀 상에 충전 금속(619)으로서 $\text{Mo}/\text{AlNd}/\text{Mo}$ 을 증착할 수 있다.

이후, 평탄화 공정을 통해 상기 콘택홀에 채워지는 금속 이외의 부분을 제거하고, 후속 공정을 진행함으로써, 반도체 소자를 완성하게 된다.

이상의 설명에서 본 발명은 특정의 실시예와 관련하여 도시 및 설명하였지만, 특허청구범위에 의해 나타난 발명의 사상 및 영역으로부터 벗어나지 않는 한도 내에서 다양한 개조 및 변화가 가능하다는 것을 당업계에서 통상의 지식을 가진 자라면 누구나 쉽게 알 수 있을 것이다.

발명의 효과

본 발명에 따르면, 반도체 소자를 형성하는 박막 트랜지스터 형성 시에, 도핑 영역들의 확산을 고려하여 0.5 μm 정도의 오프셋 간격을 두어 공통 콘택홀을 갖게 함으로써 박막 트랜지스터의 콘택수를 줄일 수 있고, 반도체 소자의 오동작을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

게이트, 소스 및 드레인을 갖는 복수의 트랜지스터로 구성되는 반도체 소자에 있어서,

상기 복수의 트랜지스터는,

클래스 기관;

상기 클래스 기관 상에 형성되며, 게이트 및 소스/드레인이 각각 형성되는 제1 및 제2 액티브 영역;

상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 사이에 형성되어 있는 오프셋 영역; 및

상기 오프셋 영역 상부 및 상기 제1 및 제2 액티브 영역의 서로 이웃하는 소스/드레인 상부에 공통으로 형성되는 콘택홀을 포함하는 반도체 소자.

청구항 2.

제1항에 있어서,

상기 제1 및 제2 액티브 영역은 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역인 것을 특징으로 하는 반도체 소자.

청구항 3.

제1항에 있어서,

상기 오프셋 영역은 도핑의 확산을 고려하여 0.5 μ m 이상 형성되는 것을 특징으로 하는 반도체 소자.

청구항 4.

제1항에 있어서,

상기 오프셋 영역은 상기 제1 및 제2 액티브 영역 도핑 시에 감광막에 의해 공통으로 차단되는 영역인 것을 특징으로 하는 반도체 소자.

청구항 5.

제1항에 있어서,

상기 오프셋 영역은 비정질 규소층이 탈수소 결정화된 다결정 규소층인 것을 특징으로 하는 반도체 소자.

청구항 6.

게이트, 소스 및 드레인을 각각 구비하는 복수의 박막 트랜지스터로 구성되는 발광표시 장치용 반도체 소자에 있어서,

클래스 기관;

다결정 규소층에 제1 불순물로 도핑되어 소스 및 드레인이 형성되어 있는 제1 액티브 영역;

상기 다결정 규소층에 상기 제1 불순물과 반대의 도전성을 갖는 제2 불순물로 도핑되어 소스 및 드레인이 형성되어 있는 제2 액티브 영역;

상기 제1 및 제2 액티브 영역 사이에 형성되어 있는 오프셋 영역; 및

상기 오프셋 영역 위에 형성되며, 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인을 공통으로 연결시키는 하나의 콘택홀

을 포함하는 발광표시 장치용 반도체 소자.

청구항 7.

제6항에 있어서,

상기 제1 및 제2 액티브 영역은 저도핑 드레인(LDD) 영역을 포함하는 발광표시 장치용 반도체 소자.

청구항 8.

제6항에 있어서,

상기 다결정 규소층은 상기 비정질 규소층을 탈수소화한 후에 엑시머 레이저 열처리(ELA)에 의해 다결정으로 변환된 것을 특징으로 하는 발광표시 장치용 반도체 소자.

청구항 9.

제6항에 있어서,

상기 제1 액티브 영역과 제2 액티브 영역 중의 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역인 것을 특징으로 하는 발광표시 장치용 반도체 소자.

청구항 10.

제6항에 있어서,

상기 오프셋 영역은 상기 도핑 시에 감광막에 의해 차단되는 것을 특징으로 하는 발광표시 장치용 반도체 소자.

청구항 11.

제6항에 있어서,

상기 오프셋 영역은 도핑의 확산을 고려하여 $0.5\mu\text{m}$ 이상 형성되는 것을 특징으로 하는 발광표시 장치용 반도체 소자.

청구항 12.

a) 글래스 기판 상에 제1 액티브 영역과 제2 액티브 영역을 형성하는 단계;

- b) 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인 영역을 각각 도핑하는 단계;
- c) 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인이 이웃하는 도핑 영역들 사이에 오프셋 영역을 형성하는 단계; 및
- d) 상기 오프셋 영역 양측의 도핑 영역들 상부에 하나의 콘택홀을 형성하고, 상기 제1 액티브 영역과 제2 액티브 영역의 소스/드레인을 공통으로 연결하는 단계
- 를 포함하는 반도체 소자의 제조 방법.

청구항 13.

제12항에 있어서,

상기 a) 단계의 제1 액티브 영역과 제2 액티브 영역 중의 어느 하나는 PMOS 영역이고, 다른 하나는 NMOS 영역인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 14.

제12항에 있어서, 상기 b) 단계는,

상기 제1 액티브 영역과 제2 액티브 영역 상에 게이트 절연층을 형성하는 단계;

상기 게이트 절연층 상에 고농도 불순물을 도핑하는 단계; 및

상기 소스/드레인 영역에 저농도 불순물을 도핑하여, 저농도 도핑 드레인(LDD)을 형성하는 단계

를 포함하는 반도체 소자의 제조 방법.

청구항 15.

제12항에 있어서,

상기 오프셋 영역은 상기 도핑 시에 감광막에 의해 차단되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 16.

제12항에 있어서,

상기 오프셋 영역은 도핑의 확산을 고려하여 0.5 μm 이상 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 17.

제12항에 있어서,

상기 d) 단계의 소스/드레인이 공통으로 연결되도록 상기 콘택홀에 금속을 채운 것을 특징으로 하는 반도체 소자의 제조 방법.

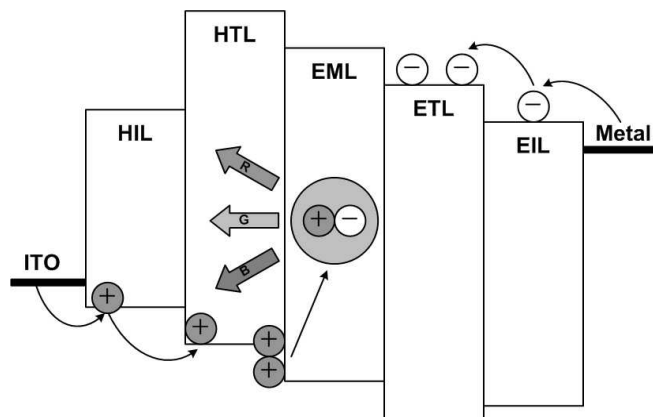
청구항 18.

제1항에 있어서,

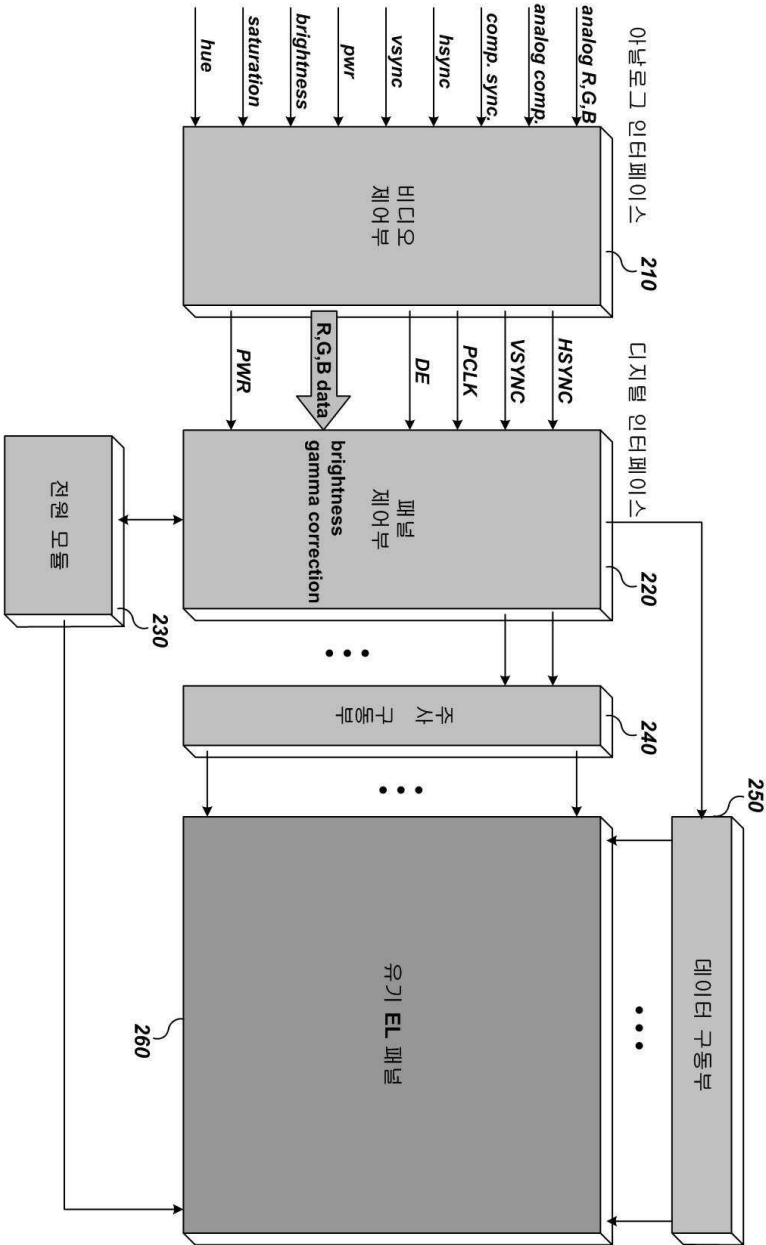
상기 콘택홀에 채워져 전극을 형성하는 금속을 더 포함하는 반도체 소자.

도면

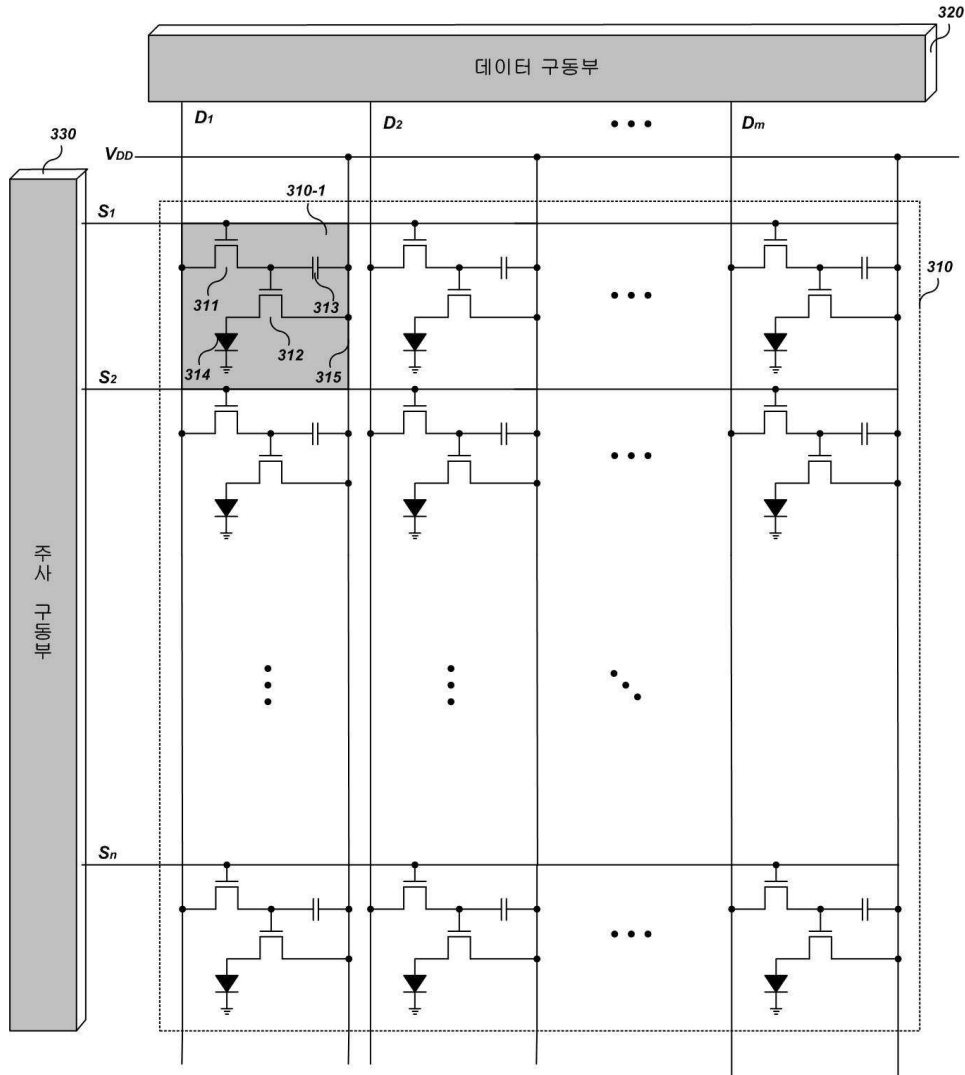
도면1



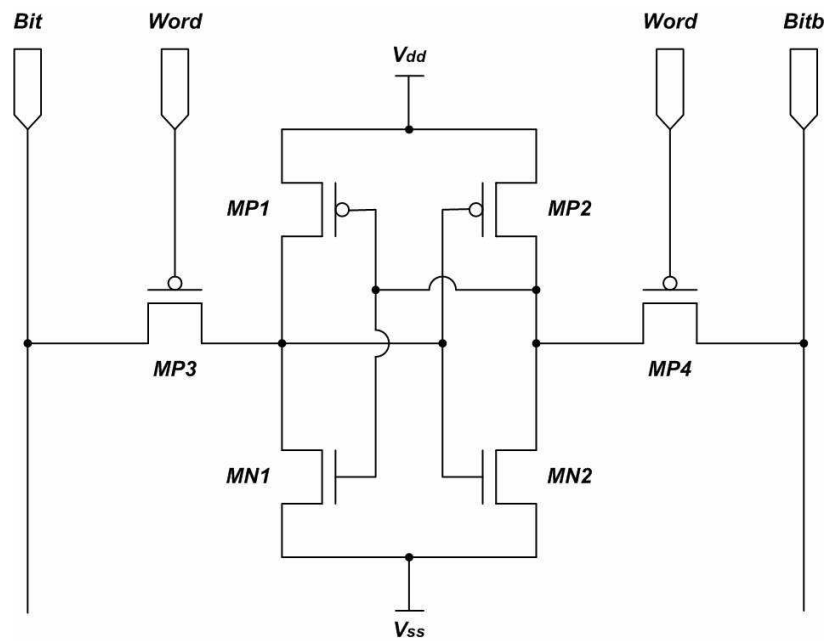
도면2



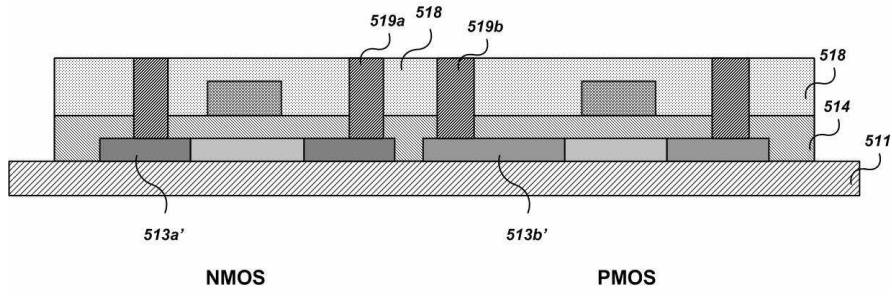
도면3



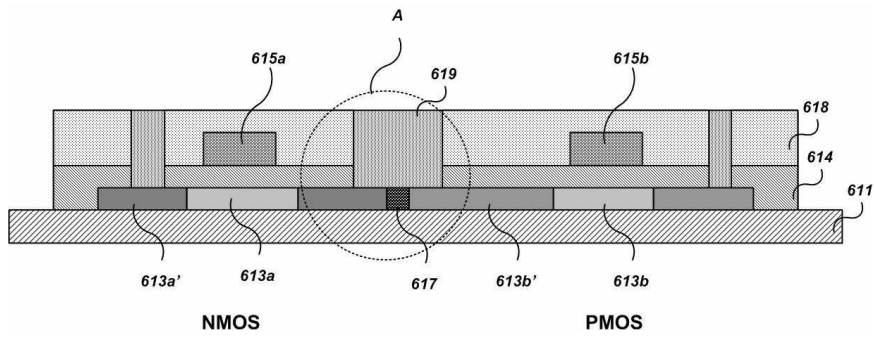
도면4



도면5



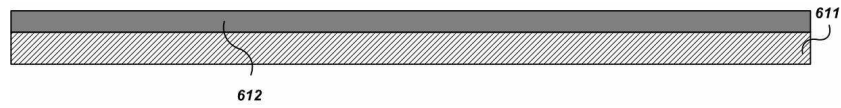
도면6



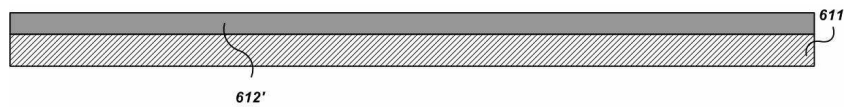
도면7a



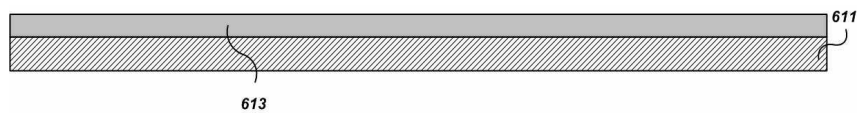
도면7b



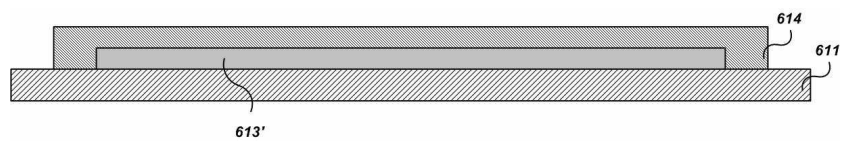
도면7c



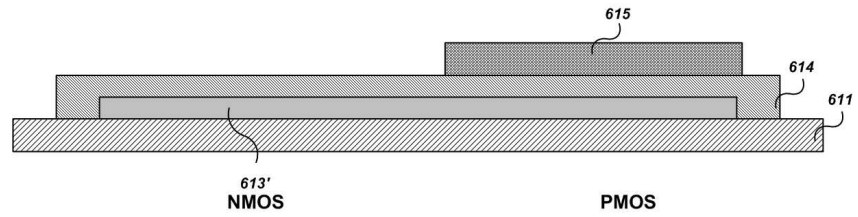
도면7d



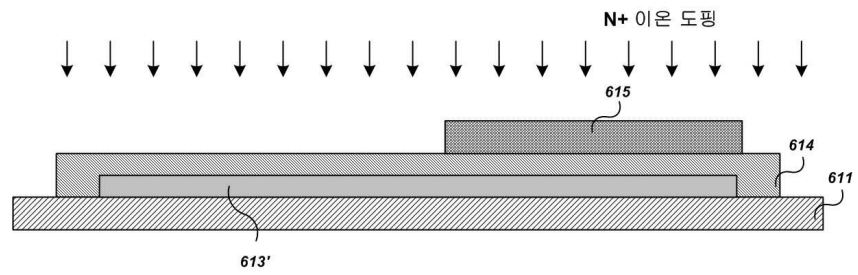
도면7e



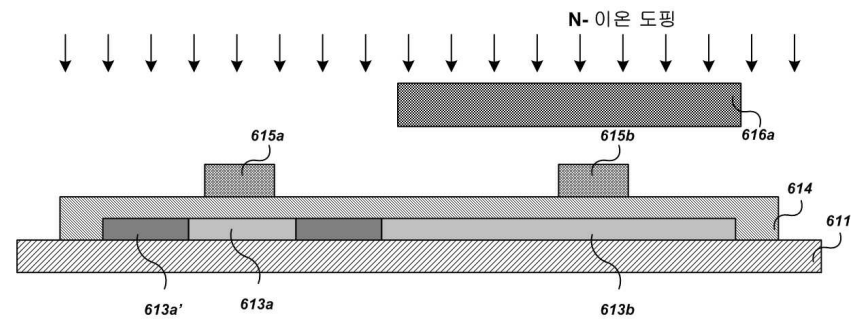
도면7f



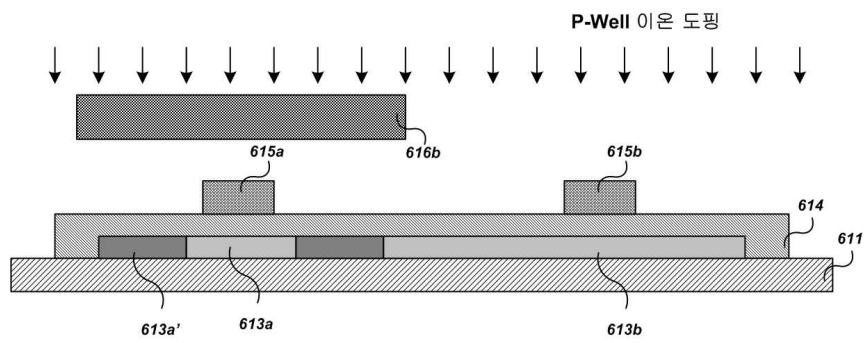
도면7g



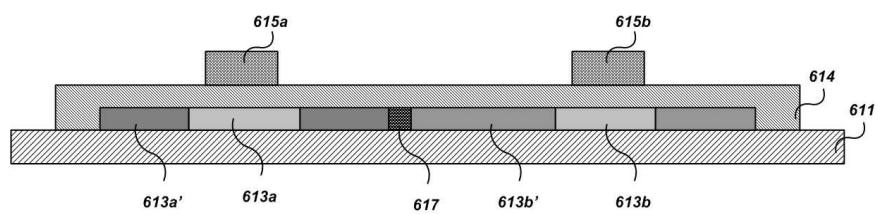
도면7h



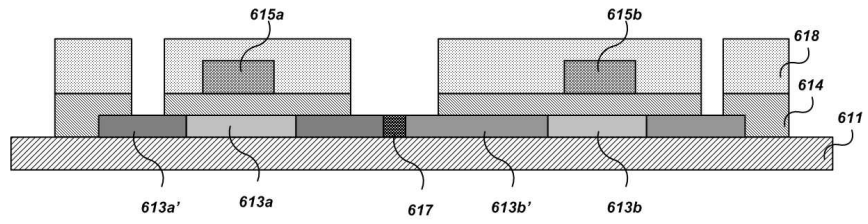
도면7i



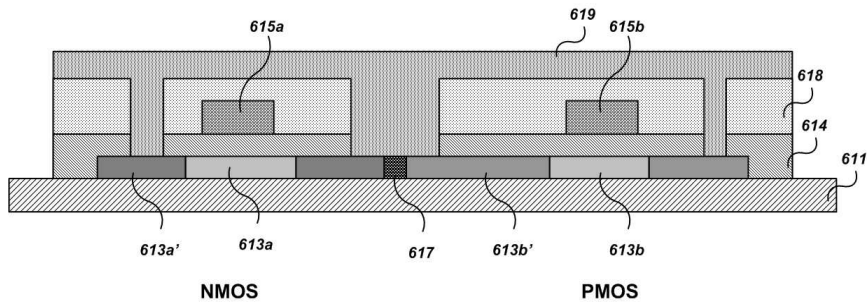
도면7j



도면7k



도면7l



专利名称(译)	用于发光显示装置的半导体器件及其制造方法		
公开(公告)号	KR100599595B1	公开(公告)日	2006-07-13
申请号	KR1020040036841	申请日	2004-05-24
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	YOON HANHEE		
发明人	YOON,HANHEE		
IPC分类号	H05B33/00 H01L29/786 G09G3/30 H01L51/50 H01L21/28 H01L21/768 H01L21/77 H01L21/84 H01L27/12 H01L29/417 H01L29/76 H05B33/14		
CPC分类号	H01L27/1214 H01L27/12 H01L27/1222 H01L27/124 H01L27/1274 H04M1/0214 H04M1/0225		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR1020050111911A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种半导体器件和能够施加到有机EL发光显示装置的数据驱动器的发光显示装置的制造方法。根据本发明，在多个具有一栅极，一源极和漏极，所述多个晶体管中，在玻璃基板的晶体管构成的半导体装置的半导体装置；形成在玻璃基板，栅和第一和第二有源区上是源/形成漏极，分别；偏移在相邻的源/漏区的第一和第二有源区之间形成形成偏置部分和所述第一和第二接触孔的顶部共同地与上部源极/漏极的第二有源区相邻的；和金属填充材料填充在所述接触孔。根据本发明，当用于形成发光显示装置的半导体装置形成的薄膜晶体管，通过在其中提供一个共同的接触孔，能够降低TFT的触点的数目，考虑N型和P型的掺杂区的扩散的它可以通过将约0.5μm故障的偏移距离来防止。6 指数方面 有机EL，发光显示器，半导体器件，接触的数量，偏移区，SRAM核心单元

