



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0105560
(43) 공개일자 2009년10월07일

(51) Int. Cl.

H05B 33/08 (2006.01) H01L 29/786 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0031092

(22) 출원일자 2008년04월03일

심사청구일자 2008년04월03일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

강기녕

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

이왕조

경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(74) 대리인

신영무

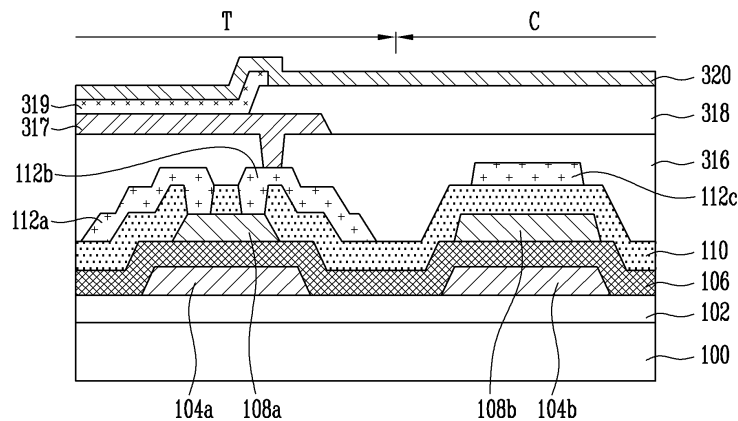
전체 청구항 수 : 총 11 항

(54) 유기전계발광 표시 장치 및 그의 제조 방법

(57) 요약

본 발명은 유기전계발광 표시 장치 및 그의 제조 방법에 관한 것으로, 제 1 영역 및 제 2 영역을 포함하는 기관, 제 1 영역의 기관 상에 형성된 게이트 전극 및 제 2 영역의 기관 상에 형성된 제 1 전극, 게이트 전극 및 제 1 전극을 포함하는 상부에 형성된 제 1 절연층, 게이트 전극 상부의 제 1 절연층 상에 산화물 반도체로 형성되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층 및 제 1 전극 상부의 제 1 절연층 상에 산화물 반도체로 형성된 제 2 전극, 활성층 및 제 2 전극을 포함하는 상부에 형성되며, 소스 영역 및 드레인 영역이 노출되도록 패터닝된 제 2 절연층, 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 제 2 전극 상부의 제 2 절연층 상에 형성된 제 3 전극, 그리고 소스 전극 또는 드레인 전극과 연결되는 유기전계발광 다이오드를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

제 1 영역 및 제 2 영역을 포함하는 기판을 준비하는 단계;

상기 제 1 영역의 상기 기판 상에 게이트 전극을 형성하고, 상기 제 2 영역의 상기 기판 상에 제 1 전극을 형성하는 단계;

상기 게이트 전극 및 상기 제 1 전극을 포함하는 상부에 제 1 절연층을 형성하는 단계;

상기 제 1 절연층 상에 산화물 반도체층을 형성한 후 패터닝하여 상기 게이트 전극 상부의 상기 제 1 절연층 상에는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층이 형성되고, 상기 제 1 전극 상부의 상기 제 1 절연층 상에는 제 2 전극이 형성되도록 하는 단계;

상기 활성층 및 상기 제 2 전극을 포함하는 상부에 제 2 절연층을 형성한 후 패터닝하여 상기 소스 영역 및 드레인 영역을 노출시키는 단계;

상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 상기 제 2 전극 상부의 상기 제 2 절연층 상에 배치되는 제 3 전극을 형성하는 단계; 및

상기 소스 전극 또는 상기 드레인 전극과 연결되는 유기전계발광 다이오드를 형성하는 단계를 포함하는 유기전계발광 표시 장치의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 산화물 반도체층은 산화아연(ZnO)으로 형성하는 유기전계발광 표시 장치의 제조 방법.

청구항 3

제 2 항에 있어서, 상기 산화물 반도체층에 인듐(In), 갈륨(Ga) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 유기전계발광 표시 장치의 제조 방법.

청구항 4

제 1 항에 있어서, 상기 제 3 전극은 상기 제 1 전극과 연결되도록 형성하는 유기전계발광 표시 장치의 제조 방법.

청구항 5

제 1 항에 있어서, 상기 유기전계발광 다이오드는 상기 소스 전극 또는 상기 드레인 전극과 연결되는 하부 전극을 형성하는 단계;

상기 하부 전극을 포함하는 상부에 화소 정의막을 형성한 후 패터닝하여 상기 하부 전극의 소정 부분을 노출시키는 단계;

상기 하부 전극 상에 유기 박막층을 형성하는 단계; 및

상기 유기 박막층 상에 상부 전극을 형성하는 단계를 포함하는 유기전계발광 표시 장치의 제조 방법.

청구항 6

청구항 1 내지 청구항 5 중 어느 한 항의 방법으로 제조된 유기전계발광 표시 장치.

청구항 7

제 1 영역 및 제 2 영역을 포함하는 기판을 준비하는 단계;

상기 제 1 영역의 상기 기판 상에 게이트 전극을 형성하고, 상기 제 2 영역의 상기 기판 상에 제 1 전극을 형성하는 단계;

상기 게이트 전극 및 상기 제 1 전극을 포함하는 상부에 제 1 절연층을 형성하는 단계;

상기 게이트 전극 상부의 상기 제 1 절연층 상에 산화물 반도체로 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층을 형성하는 단계;

상기 활성층을 포함하는 상부에 제 2 절연층을 형성한 후 패터닝하여 상기 소스 영역 및 드레인 영역과 상기 제 1 전극 상부의 상기 제 1 절연층을 노출시키는 단계;

상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 상기 제 1 전극 상부의 상기 제 1 절연층 상에 배치되는 제 2 전극을 형성하는 단계;

상기 소스 전극 및 드레인 전극과 상기 제 2 전극을 포함하는 상부에 제 3 절연층을 형성한 후 패터닝하여 상기 소스 전극 또는 상기 드레인 전극을 노출시키는 단계;

상기 소스 전극 또는 상기 드레인 전극과 연결되는 하부 전극 및 상기 제 2 전극 상부의 상기 제 3 절연층 상에 배치되는 제 3 전극을 형성하는 단계;

상기 하부 전극 및 상기 제 3 전극을 포함하는 상부에 화소 정의막을 형성한 후 패터닝하여 상기 하부 전극의 소정 부분을 노출시키는 단계;

상기 하부 전극 상에 유기 박막층을 형성하는 단계; 및

상기 유기 박막층 상에 상부 전극을 형성하는 단계를 포함하는 유기전계발광 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서, 상기 산화물 반도체는 산화아연(ZnO)을 주성분으로 하는 유기전계발광 표시 장치의 제조 방법.

청구항 9

제 8 항에 있어서, 상기 산화물 반도체에 인듐(In), 갈륨(Ga) 및 스테늄(Sn) 중 적어도 하나의 이온이 도핑된 유기전계발광 표시 장치의 제조 방법.

청구항 10

제 7 항에 있어서, 상기 제 3 전극은 상기 제 1 전극과 연결되도록 형성하는 유기전계발광 표시 장치의 제조 방법.

청구항 11

청구항 7 내지 청구항 10 중 어느 한 항의 방법으로 제조된 유기전계발광 표시 장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 박막 트랜지스터(Thin Film Transistor) 및 캐패시터(Capacitor)를 포함하는 유기전계발광 표시 장치 및 그의 제조 방법에 관한 것으로, 보다 상세하게는 산화물 반도체를 활성층으로 하는 박막 트랜지스터 및 병렬로 연결된 적층 구조의 캐패시터를 포함하는 유기전계발광 표시 장치 및 그의 제조 방법에 관한 것이다.

배경기술

<2> 유기전계발광 표시 장치는 자체발광 특성을 갖는 차세대 표시 장치로서, 액정 표시 장치(Liquid Crystal Display Device; LCD)에 비해 시야각, 콘트라스트(contrast), 응답속도, 소비전력 등의 측면에서 우수한 특성을 갖는다.

<3> 유기전계발광 표시 장치는 애노드 전극, 유기 박막층 및 캐소드 전극으로 구성되는 유기전계발광 다이오드(diode)를 포함하며, 주사선(scan line)과 신호선(signal line) 사이에 유기전계발광 다이오드가 매트릭스 방식으로 연결되어 화소를 구성하는 패시브 매트릭스(passive matrix) 방식과, 각 화소의 동작이 스위치 역할을 하는 박막 트랜지스터(Thin Film Transistor; TFT)에 의해 제어되는 액티브 매트릭스(active matrix) 방식으로

구성될 수 있다.

- <4> 액티브 매트릭스 방식의 유기전계발광 표시 장치에 적용되는 박막 트랜지스터는 채널 영역, 소스 영역 및 드레인 영역을 제공하는 활성층이 대개 비정질 실리콘(amorphous silicon)이나 폴리 실리콘(poly-silicon)과 같은 반도체 물질로 형성되는데, 활성층이 비정질 실리콘으로 형성되면 이동도(mobility)가 낮아 고속으로 동작되는 구동 회로의 구현이 어려우며, 폴리 실리콘으로 형성되면 이동도는 높지만 문턱전압이 불균일하여 별도의 보상 회로가 부가되어야 하는 문제점이 있다.
- <5> 또한, 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 이용한 종래의 박막 트랜지스터 제조 방법은 레이저 열처리 등과 같은 고가의 공정이 포함되고 특성 제어가 어렵기 때문에 대면적의 기판에 적용이 어려운 문제점이 있다.
- <6> 이러한 문제점을 해결하기 위해 최근에는 산화물 반도체를 활성층으로 이용하는 연구가 진행되고 있다.
- <7> 일본공개특허 2004-273614호에는 산화아연(Zinc Oxide; ZnO) 또는 산화아연(ZnO)을 주성분으로 하는 산화물 반도체를 활성층으로 이용한 박막 트랜지스터가 개시되어 있다.
- <8> 산화아연(ZnO)을 주성분으로 하는 산화물 반도체는 비정질 형태이면서 안정적인 재료로서 평가되고 있으며, 이러한 산화물 반도체를 활성층으로 이용하면 기존의 저온 폴리 실리콘(LTPS) 공정으로 박막 트랜지스터를 제조할 수 있고, 300℃ 이하의 저온에서도 공정이 가능해진다.
- <9> 그러나 산화물 반도체를 활성층으로 하는 박막 트랜지스터는 기존의 저온 폴리 실리콘을 활성층으로 하는 박막 트랜지스터에 비해 오프 전류(off current)가 높기 때문에 소자의 전기적 특성을 만족시킬 수 있는 공정 개발 및 특성 개선이 요구되는 실정이다.
- <10> 높은 오프 전류로 인한 누설전류의 영향을 감소시키기 위한 하나의 방법으로 정전용량이 큰 캐패시터를 사용할 수 있는데, 큰 정전용량을 확보하기 위해서는 캐패시터의 면적을 증가시켜야 하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <11> 본 발명의 목적은 면적을 증가시키지 않고 캐패시터의 정전용량을 확보할 수 있는 유기전계발광 표시 장치 및 그의 제조 방법을 제공하는 데 있다.

과제 해결수단

- <12> 상기한 목적을 달성하기 위한 본 발명의 일 측면에 따른 유기전계발광 표시 장치는 제 1 영역 및 제 2 영역을 포함하는 기판; 상기 제 1 영역의 상기 기판 상에 형성된 게이트 전극 및 상기 제 2 영역의 상기 기판 상에 형성된 제 1 전극; 상기 게이트 전극 및 상기 제 1 전극을 포함하는 상부에 형성된 제 1 절연층; 상기 게이트 전극 상부의 상기 제 1 절연층 상에 산화물 반도체로 형성되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층 및 상기 제 1 전극 상부의 상기 제 1 절연층 상에 산화물 반도체로 형성된 제 2 전극; 상기 활성층 및 상기 제 2 전극을 포함하는 상부에 형성되며, 상기 소스 영역 및 드레인 영역이 노출되도록 패터닝된 제 2 절연층; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 상기 제 2 전극 상부의 상기 제 2 절연층 상에 형성된 제 3 전극; 그리고 상기 소스 전극 또는 드레인 전극과 연결되는 유기전계발광 다이오드를 포함한다.
- <13> 상기한 목적을 달성하기 위한 본 발명의 다른 일 측면에 따른 유기전계발광 표시 장치는 제 1 영역 및 제 2 영역을 포함하는 기판, 상기 제 1 영역의 상기 기판 상에 형성된 게이트 전극 및 상기 제 2 영역의 상기 기판 상에 형성된 제 1 전극; 상기 게이트 전극 및 상기 제 1 전극을 포함하는 상부에 형성된 제 1 절연층; 상기 게이트 전극 상부의 상기 제 1 절연층 상에 산화물 반도체로 형성되며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층; 상기 활성층을 포함하는 상부에 형성되며 상기 소스 및 드레인 영역과 상기 제 1 전극 상부의 상기 제 1 절연층이 노출되도록 패터닝된 제 2 절연층; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 상기 제 1 전극 상부의 상기 제 1 절연층 상에 형성된 제 2 전극; 상기 소스 전극 및 드레인 전극과 상기 제 2 전극을 포함하는 상부에 형성되며, 상기 소스 전극 또는 상기 드레인 전극이 노출되도록 패터닝된 제 3 절연층; 상기 제 3 절연층 상에 형성되며 상기 소스 전극 또는 상기 드레인 전극과 연결되는 하부 전극 및 상기 제 2 전극 상부에 배치되는 제 3 전극; 상기 하부 전극 및 상기 제 3 전극을 포함하는 상부에

형성되며, 상기 하부 전극의 소정 부분이 노출되도록 패터닝된 화소 정의막; 노출된 상기 애노드 전극 상에 형성된 유기 박막층; 및 상기 유기 박막층 상에 형성된 상부 전극을 포함한다.

<14> 상기한 목적을 달성하기 위한 본 발명의 또 다른 일 측면에 따른 유기전계발광 표시 장치의 제조 방법은 제 1 영역 및 제 2 영역을 포함하는 기관을 준비하는 단계; 상기 제 1 영역의 상기 기관 상에 게이트 전극을 형성하고, 상기 제 2 영역의 상기 기관 상에 제 1 전극을 형성하는 단계; 상기 게이트 전극 및 상기 제 1 전극을 포함하는 상부에 제 1 절연층을 형성하는 단계; 상기 제 1 절연층 상에 산화물 반도체층을 형성한 후 패터닝하여 상기 게이트 전극 상부의 상기 제 1 절연층 상에는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층이 형성되고, 상기 제 1 전극 상부의 상기 제 1 절연층 상에는 제 2 전극이 형성되도록 하는 단계; 상기 활성층 및 상기 제 2 전극을 포함하는 상부에 제 2 절연층을 형성한 후 패터닝하여 상기 소스 영역 및 드레인 영역을 노출시키는 단계; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 상기 제 2 전극 상부의 상기 제 2 절연층 상에 배치되는 제 3 전극을 형성하는 단계; 및 상기 소스 전극 또는 상기 드레인 전극과 연결되는 유기전계발광 다이오드를 형성하는 단계를 포함한다.

<15> 상기한 목적을 달성하기 위한 본 발명의 또 다른 일 측면에 따른 유기전계발광 표시 장치의 제조 방법은 제 1 영역 및 제 2 영역을 포함하는 기관을 준비하는 단계; 상기 제 1 영역의 상기 기관 상에 게이트 전극을 형성하고, 상기 제 2 영역의 상기 기관 상에 제 1 전극을 형성하는 단계; 상기 게이트 전극 및 상기 제 1 전극을 포함하는 상부에 제 1 절연층을 형성하는 단계; 상기 게이트 전극 상부의 상기 제 1 절연층 상에 산화물 반도체로 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층을 형성하는 단계; 상기 활성층을 포함하는 상부에 제 2 절연층을 형성한 후 패터닝하여 상기 소스 영역 및 드레인 영역과 상기 제 1 전극 상부의 상기 제 1 절연층을 노출시키는 단계; 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극과, 상기 제 1 전극 상부의 상기 제 1 절연층 상에 배치되는 제 2 전극을 형성하는 단계; 상기 소스 전극 및 드레인 전극과 상기 제 2 전극을 포함하는 상부에 제 3 절연층을 형성한 후 패터닝하여 상기 소스 전극 또는 상기 드레인 전극을 노출시키는 단계; 상기 소스 전극 또는 상기 드레인 전극과 연결되는 하부 전극 및 상기 제 2 전극 상부의 상기 제 3 절연층 상에 배치되는 제 3 전극을 형성하는 단계; 상기 하부 전극 및 상기 제 3 전극을 포함하는 상부에 화소 정의막을 형성한 후 패터닝하여 상기 하부 전극의 소정 부분을 노출시키는 단계; 상기 하부 전극 상에 유기 박막층을 형성하는 단계; 및 상기 유기 박막층 상에 상부 전극을 형성하는 단계를 포함한다.

효 과

<16> 본 발명은 박막 트랜지스터의 활성층을 산화물 반도체층으로 형성하고, 채널 영역의 산화물 반도체층이 절연층에 의해 보호되도록 한다. 절연층이 식각 방지층 역할을 하도록 함으로써 후속 공정에서 발생하는 피해로 인한 활성층의 전기적 특성 저하가 방지된다.

<17> 또한, 본 발명은 박막 트랜지스터를 형성하는 과정에서 병렬로 연결된 구조의 캐패시터가 형성되도록 한다. 병렬로 연결된 적층 구조의 캐패시터에 의해 캐패시터의 면적을 증가시키지 않고 원하는 수준의 정전용량을 확보할 수 있다. 따라서 캐패시터가 차지하는 면적을 최소화하여 개구율을 증가시킴으로써 해상도를 높일 수 있다.

발명의 실시를 위한 구체적인 내용

<18> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서, 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

<19> 도 1은 본 발명의 제 1 실시예에 따른 유기전계발광 표시 장치를 설명하기 위한 단면도이다.

<20> 절연물로 이루어진 기관(100)은 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)을 포함하며, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)의 기관(100) 상에는 버퍼층(102)이 형성된다.

<21> 박막 트랜지스터 형성영역(T)의 버퍼층(102) 상에는 게이트 전극(104a)이 형성되고, 캐패시터 형성영역(C)의 버퍼층(102) 상에는 제 1 전극(104b)이 형성되며, 게이트 전극(104a) 및 제 1 전극(104b)을 포함하는 상부면에는 제 1 절연층(106)이 형성된다. 제 1 절연층(106)은 박막 트랜지스터의 게이트 절연층 및 캐패시터의 제 1 유전체로 이용된다.

<22> 게이트 전극(104a) 상부의 제 1 절연층(106) 상에는 산화물 반도체로 이루어지며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(108a)이 형성되고, 제 1 전극(104b) 상부의 제 1 절연층(106) 상에는 산화물 반도체

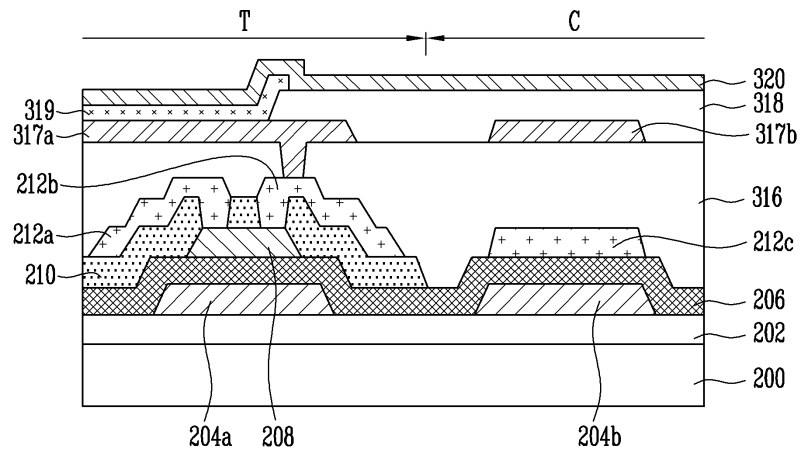
로 이루어진 제 2 전극(108b)이 형성된다.

- <23> 활성층(108a) 및 제 2 전극(108b)을 포함하는 상부면에는 제 2 절연층(110)이 형성되고, 제 2 절연층(110)에는 소스 영역 및 드레인 영역의 활성층(108a)이 노출되도록 콘택홀이 형성된다. 제 2 절연층(110)은 채널영역의 활성층(108a)을 보호하기 위한 식각 방지층(etch stop layer) 및 캐패시터의 제 2 유전체로 이용된다.
- <24> 제 2 절연층(110) 상에는 콘택홀을 통해 소스 영역 및 드레인 영역의 활성층(108a)과 연결되는 소스 전극 및 드레인 전극(112a 및 112b)과, 제 2 전극(108b) 상부에 배치되는 제 3 전극(112c)이 형성된다. 이 때 제 3 전극(112c)은 제 1 전극(104b)과 연결되도록 형성된다. 따라서 제 1 전극(104b), 제 1 절연층(106) 및 제 2 전극(108b)으로 이루어진 캐패시터와, 제 2 전극(108b), 제 2 절연층(110) 및 제 3 전극(112c)으로 이루어진 캐패시터가 병렬로 연결된다.
- <25> 소스 전극 또는 드레인 전극(112a 또는 112b)에는 유기전계발광 다이오드가 연결된다. 유기전계발광 다이오드는 애노드 전극, 유기 박막층 및 캐소드 전극을 포함하며, 애노드 전극이 소스 전극 또는 드레인 전극(112a 및 112b)과 연결된다. 유기 박막층은 정공 수송층, 유기발광층 및 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층이 더 포함될 수 있다.
- <26> 도 2는 본 발명의 제 2 실시예에 따른 유기전계발광 표시 장치를 설명하기 위한 단면도이다.
- <27> 절연물로 이루어진 기판(200)은 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)을 포함하며, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)의 기판(200) 상에는 버퍼층(202)이 형성된다.
- <28> 박막 트랜지스터 형성영역(T)의 버퍼층(202) 상에는 게이트 전극(204a)이 형성되고, 캐패시터 형성영역(C)의 버퍼층(202) 상에는 제 1 전극(204b)이 형성되며, 게이트 전극(204a) 및 제 1 전극(204b)을 포함하는 상부면에는 제 1 절연층(206)이 형성된다. 제 1 절연층(206)은 박막 트랜지스터의 게이트 절연층 및 캐패시터의 제 1 유전체로 이용된다.
- <29> 게이트 전극(204a) 상부의 제 1 절연층(206) 상에는 산화물 반도체로 이루어지며 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(208)이 형성된다. 활성층(208)을 포함하는 상부면에는 제 2 절연층(210)이 형성되며, 제 2 절연층(210)은 소스 영역 및 드레인 영역의 활성층(208)과 제 1 전극(204b) 상부의 제 1 절연층(206)이 노출되도록 패터닝된다. 제 2 절연층(210)은 채널영역의 활성층(208)을 보호하기 위한 식각 방지층으로 이용된다.
- <30> 제 2 절연층(210) 상에는 노출된 소스 영역 및 드레인 영역의 활성층(208)과 연결되는 소스 전극 및 드레인 전극(212a 및 212b)이 형성되고, 제 1 전극(204b) 상부의 제 1 절연층(206) 상에는 제 2 전극(212c)이 형성된다. 소스 전극 및 드레인 전극(212a 및 212b)과 제 2 전극(212c)을 포함하는 상부면에는 제 3 절연층(316)이 형성되고, 제 3 절연층(316)에는 소스 전극 또는 드레인 전극(212a 또는 212b)이 노출되도록 비아홀이 형성된다. 제 3 절연층(316)은 표면을 평탄화시키는 동시에 캐패시터의 제 2 유전체로 이용된다.
- <31> 제 3 절연층(316) 상에는 비아홀을 통해 소스 전극 또는 드레인 전극(212a 또는 212b)과 연결되는 애노드 전극(317a) 및 제 2 전극(212c) 상부에 배치되는 제 3 전극(317b)이 형성된다. 이 때 제 3 전극(317b)은 제 1 전극(204b)과 연결되도록 형성된다. 따라서 제 1 전극(204b), 제 1 절연층(206) 및 제 2 전극(212c)으로 이루어진 캐패시터와, 제 2 전극(212c), 제 2 절연층(316) 및 제 3 전극(317b)으로 이루어진 캐패시터가 병렬로 연결된다.
- <32> 애노드 전극(317a) 및 제 3 전극(317b)을 포함하는 상부면에는 화소 정의막(318)이 형성되고, 화소 정의막(318)은 애노드 전극(317a)의 소정 부분(발광영역)이 노출되도록 패터닝된다. 노출된 애노드 전극(317a) 상에는 유기 박막층(319)이 형성되며, 유기 박막층(319)을 포함하는 상부면에는 캐소드 전극(320)이 형성된다. 유기 박막층은 정공 수송층, 유기발광층 및 전자 수송층이 적층된 구조로 형성되며, 정공 주입층과 전자 주입층이 더 포함될 수 있다.
- <33> 상기과 같이 구성된 유기전계발광 표시 장치에서 박막 트랜지스터는 유기전계발광 다이오드의 동작을 위해 제공되는 신호의 전달을 제어하며, 병렬로 연결된 적층 구조의 캐패시터는 신호를 유지시키기 위한 정전용량을 제공한다.
- <34> 도 3a 내지 도 3e는 본 발명의 제 1 실시예에 따른 유기전계발광 표시 장치의 제조 방법을 설명하기 위한 단면도로서, 제조 공정을 통해 본 발명을 보다 상세히 설명한다.

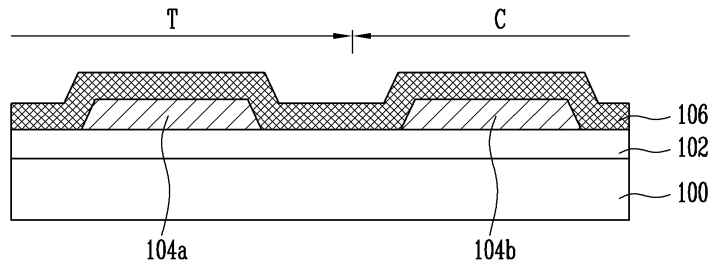
- <35> 도 3a를 참조하면, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)이 정의된 절연 기관(100)을 준비한다. 먼저, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)의 기관(100) 상에 버퍼층(102)을 형성한다. 버퍼층(102) 상에 Mo, MoW, Al 등으로 금속층을 형성한 후 패터닝하여 박막 트랜지스터 형성영역(T)의 버퍼층(102) 상에는 게이트 전극(104a)이 형성되고, 캐패시터 형성영역(C)의 버퍼층(102) 상에는 제 1 전극(104b)이 형성되도록 한다. 이 후 게이트 전극(104a) 및 제 1 전극(104b)을 포함하는 상부면에 제 1 절연층(106)을 형성한다. 박막 트랜지스터의 게이트 절연층 및 캐패시터의 제 1 유전체로 이용되는 제 1 절연층(106)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x)으로 형성하거나, 실리콘 산화막(SiO_x) 및 실리콘 질화막(SiN_x)의 이중 구조로 형성할 수 있다.
- <36> 도 3b를 참조하면, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)의 제 1 절연층(106) 상에 산화물 반도체층을 형성한 후 패터닝하여 게이트 전극(104a) 상부의 제 1 절연층(106) 상에는 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(108a)이 형성되고, 제 1 전극(104a) 상부의 제 1 절연층(106) 상에는 제 2 전극(108b)이 형성되도록 한다. 산화물 반도체층은 산화아연(ZnO)을 주성분으로 하는 반도체 물질로 형성하거나, 산화아연(ZnO)에 인듐(In), 갈륨(Ga), 스테늄(Sn) 등이 도핑된 반도체 물질 예를 들어, InZnO(IZO), GaO_nZnO(GIZO) 등으로 형성한다.
- <37> 도 3c를 참조하면, 활성층(108a) 및 제 2 전극(108b)을 포함하는 상부면에 제 2 절연층(110)을 형성한 후 소스 영역 및 드레인 영역의 활성층(108a)이 노출되도록 제 2 절연층(110)을 패터닝한다.
- <38> 도 3d를 참조하면, 제 2 절연층(110) 상에 Mo, MoW, Al, AlAd, AlLiLa 등으로 금속층을 형성한 후 패터닝하여 소스 영역 및 드레인 영역의 활성층(108a)과 연결되는 소스 전극 및 드레인 전극(112a 및 112b)과, 제 2 전극(108b) 상부의 제 2 절연층(110) 상에 배치되는 제 3 전극(112c)을 형성한다. 이 때 제 3 전극(112c)은 제 1 전극(104b)과 연결되도록 형성하여 제 1 전극(104b), 제 1 절연층(106) 및 제 2 전극(108b)으로 이루어진 캐패시터와, 제 2 전극(108b), 제 2 절연층(110) 및 제 3 전극(112c)으로 이루어진 캐패시터가 병렬로 연결되도록 한다.
- <39> 도 3e를 참조하면, 소스 전극 및 드레인 전극(112a 및 112b)과 제 3 전극(112c)을 포함하는 상부면에 제 3 절연층(316)을 형성한 후 소스 전극 또는 드레인 전극(112a 또는 112b)이 노출되도록 제 3 절연층(316)을 패터닝하고, 소스 전극 또는 드레인 전극(112a 또는 112b)과 연결되는 유기전계발광 소자를 형성한다. 즉, 소스 전극 또는 드레인 전극(112a 또는 112b)과 연결되는 애노드 전극(317)을 형성한 후 애노드 전극(317)을 포함하는 상부에 화소 정의막(318)을 형성한다. 그리고 화소 정의막(318)을 패터닝하여 애노드 전극(317)의 소정 부분(발광영역)을 노출시킨 후 노출된 애노드 전극(317) 상에 유기 박막층(319)을 형성하고, 유기 박막층(319) 상에 캐소드 전극(320)을 형성한다. 유기 박막층(319)은 정공 수송층, 유기발광층 및 전자 수송층이 적층된 구조로 형성하며, 정공 주입층과 전자 주입층이 더 포함될 수 있다.
- <40> 도 4a 내지 도 4e는 본 발명의 제 2 실시예에 따른 유기전계발광 표시 장치의 제조 방법을 설명하기 위한 단면도로서, 제조 공정을 통해 본 발명을 보다 상세히 설명한다.
- <41> 도 4a를 참조하면, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)이 정의된 절연 기관(200)을 준비한다. 먼저, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)의 기관(200) 상에 버퍼층(202)을 형성한다. 버퍼층(202) 상에 Mo, MoW, Al 등으로 금속층을 형성한 후 패터닝하여 박막 트랜지스터 형성영역(T)의 버퍼층(202) 상에는 게이트 전극(204a)이 형성되고, 캐패시터 형성영역(C)의 버퍼층(202) 상에는 제 1 전극(204b)이 형성되도록 한다. 이 후 게이트 전극(204a) 및 제 1 전극(204b)을 포함하는 상부면에 제 1 절연층(206)을 형성한다. 박막 트랜지스터의 게이트 절연층 및 캐패시터의 제 1 유전체로 이용되는 제 1 절연층(206)은 실리콘 산화막(SiO_x)이나 실리콘 질화막(SiN_x)으로 형성하거나, 실리콘 산화막(SiO_x) 및 실리콘 질화막(SiN_x)의 이중 구조로 형성할 수 있다.
- <42> 도 4b를 참조하면, 박막 트랜지스터 형성영역(T) 및 캐패시터 형성영역(C)의 제 1 절연층(206) 상에 산화물 반도체층을 형성한 후 패터닝하여 게이트 전극(204a) 상부의 제 1 절연층(206) 상에 채널 영역, 소스 영역 및 드레인 영역을 포함하는 활성층(208)이 형성되도록 한다. 산화물 반도체층은 산화아연(ZnO)을 주성분으로 하는 반도체 물질로 형성하거나, 산화아연(ZnO)에 인듐(In), 갈륨(Ga), 스테늄(Sn) 등이 도핑된 반도체 물질 예를 들어, InZnO(IZO), GaO_nZnO(GIZO) 등으로 형성한다.
- <43> 도 4c를 참조하면, 활성층(208)을 포함하는 상부면에 제 2 절연층(210)을 형성한 후 소스 영역 및 드레인 영역의 활성층(208)과 제 1 전극(204b) 상부의 제 1 절연층(206)이 노출되도록 제 2 절연층(210)을 패터닝한다.

- <44> 도 4d를 참조하면, 제 2 절연층(210) 상에 Mo, MoW, Al, AlAd, AlLiLa 등으로 금속층을 형성한 후 패터닝하여 소스 영역 및 드레인 영역의 활성층(208)과 연결되는 소스 전극 및 드레인 전극(212a 및 212b)과, 제 1 전극(204b) 상부의 제 1 절연층(206) 상에 배치되는 제 2 전극(212c)을 형성한다.
- <45> 도 4e를 참조하면, 소스 전극 및 드레인 전극(212a 및 212b)과 제 2 전극(212c)을 포함하는 상부면에 제 3 절연층(316)을 형성한 후 소스 전극 또는 드레인 전극(212a 또는 212b)이 노출되도록 제 3 절연층(316)을 패터닝한다. 제 3 절연층(316)은 표면을 평탄화시키는 동시에 캐패시터의 제 2 유전체로 이용된다.
- <46> 제 3 절연층(316) 상에 ITO 등으로 도전층을 형성한 후 패터닝하여 소스 전극 또는 드레인 전극(212a 또는 212b)과 연결되는 애노드 전극(317a) 및 제 2 전극(212c) 상부에 배치되는 제 3 전극(317b)을 형성한다. 이 때 제 3 전극(317b)은 제 1 전극(204b)과 연결되도록 형성하여 제 1 전극(204b), 제 1 절연층(206) 및 제 2 전극(212c)으로 이루어진 캐패시터와, 제 2 전극(212c), 제 2 절연층(316) 및 제 3 전극(317b)으로 이루어진 캐패시터가 병렬로 연결되도록 한다.
- <47> 애노드 전극(317) 및 제 3 전극(317b)을 포함하는 상부에 화소 정의막(318)을 형성한 후 패터닝하여 애노드 전극(317)의 소정 부분(발광영역)을 노출시킨다. 노출된 애노드 전극(317) 상에 유기 박막층(319)을 형성하고, 유기 박막층(319) 상에 캐소드 전극(320)을 형성한다. 유기 박막층(319)은 정공 수송층, 유기발광층 및 전자 수송층이 적층된 구조로 형성하며, 정공 주입층과 전자 주입층이 더 포함될 수 있다.
- <48> 상기와 같이 유기전계발광 표시 장치가 형성된 기판(100 및 200) 상부에는 화소 영역을 밀봉시키기 위한 봉지 기판(도시안됨)이 배치되며, 밀봉재에 의해 봉지 기판이 기판(100 및 200)에 합착된다.
- <49> 상기와 같이 본 발명은 박막 트랜지스터의 활성층(104a 및 204a)을 산화물 반도체층으로 형성한다. 산화물 반도체층을 활성층(104a 및 204a)으로 이용하는 경우 소스 전극(112a 및 212a) 및 드레인 전극(112b 및 212b)을 형성하기 위한 식각 과정에서 채널 영역의 활성층(104a 및 204a)이 플라즈마에 의해 피해를 입을 수 있다. 산화물 반도체층이 플라즈마에 의해 피해를 입게 되면 표면 격자가 파괴되어 산소 결합이 발생되기 때문에 캐리어의 농도 증가에 따른 비저항 감소에 의해 전기적 특성이 저하된다. 따라서 본 발명은 채널 영역의 활성층(104a 및 204a)이 제 2 절연층(110 및 210)에 의해 보호되도록 함으로써 즉, 제 2 절연층(110 및 210)이 식각 방지층(etch stop layer) 역할을 하도록 함으로써 활성층(104a 및 204a)의 피해로 인한 전기적 특성 저하가 방지되도록 한다.
- <50> 또한, 본 발명은 캐패시터를 제 1 전극(104b), 제 1 절연층(106) 및 제 2 전극(108b)으로 이루어진 캐패시터와, 제 2 전극(108b), 제 2 절연층(110) 및 제 3 전극(112c)으로 이루어진 캐패시터의 병렬 구조, 또는 제 1 전극(204b), 제 1 절연층(206) 및 제 2 전극(212c)으로 이루어진 캐패시터와, 제 2 전극(212c), 제 2 절연층(316) 및 제 3 전극(317b)으로 이루어진 캐패시터의 병렬 구조로 형성한다.
- <51> 캐패시터를 제 1 전극(104b), 제 1 절연층(106) 및 제 2 전극(108b)으로 이루어진 구조 또는 제 1 전극(204b), 제 1 절연층(206) 및 제 2 전극(212c)으로 이루어진 구조만으로 형성한 경우를 예로 들면, 유전체로서, 제 1 절연층(106 및 206)을 400Å 두께의 실리콘 산화막과 800Å 두께의 실리콘 질화막으로 형성한 경우에는 $1\mu\text{m}^2$ 당 0.392fF 정도의 정전용량을 얻을 수 있고, 제 1 절연층(106 및 206)을 1200Å 두께의 실리콘 질화막으로 형성한 경우에는 $1\mu\text{m}^2$ 당 0.0473fF 정도의 정전용량을 얻을 수 있으며, 정전용량을 증가시키기 위해서는 캐패시터의 면적을 증가시켜야 한다.
- <52> 그러나 본 발명은 상기와 같이 캐패시터를 병렬 구조로 형성함으로써 캐패시터의 면적을 증가시키지 않고도 일정 수준 이상의 정전용량을 확보할 수 있다. 즉, 유전체로서, 제 2 절연층(110)을 5000Å 두께의 PA(poly amide)로 형성한 경우 $1\mu\text{m}^2$ 당 0.0566fF 정도의 정전용량을 얻을 수 있으며, 제 2 절연층(316)을 10000Å 두께의 PA로 형성한 경우 $1\mu\text{m}^2$ 당 0.0283fF 정도의 정전용량을 얻을 수 있다. 그러므로 하나의 캐패시터를 구비하는 경우에 비해 7 내지 14% 정도의 면적을 감소시키는 효과를 얻을 수 있다.
- <53> 이상에서와 같이 상세한 설명과 도면을 통해 본 발명의 최적 실시예를 개시하였다. 용어들은 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

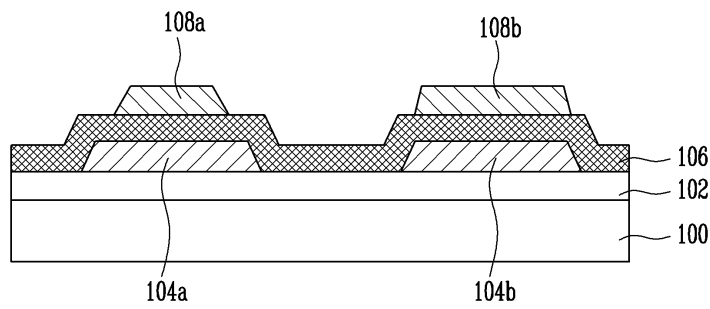
도면2



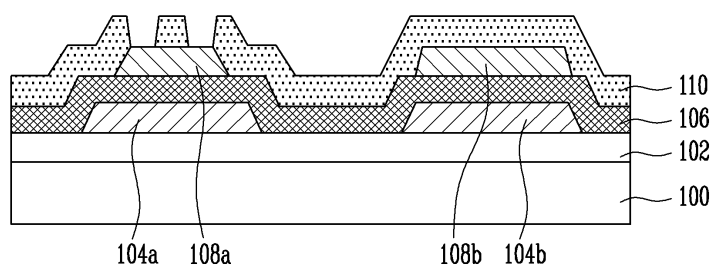
도면3a



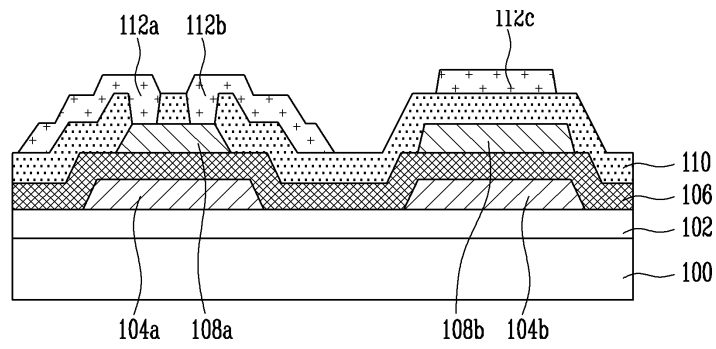
도면3b



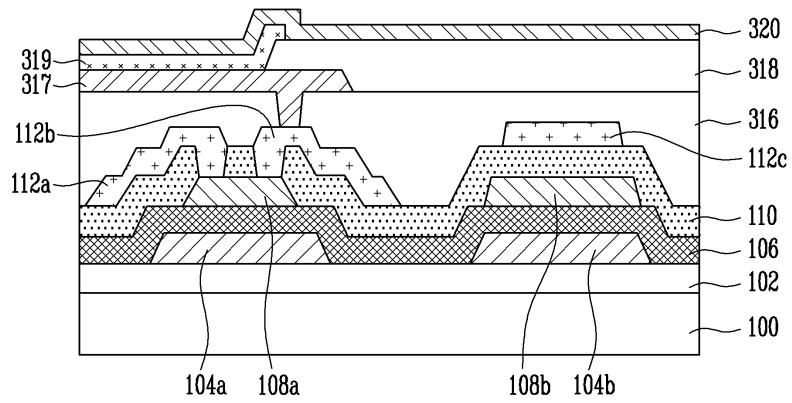
도면3c



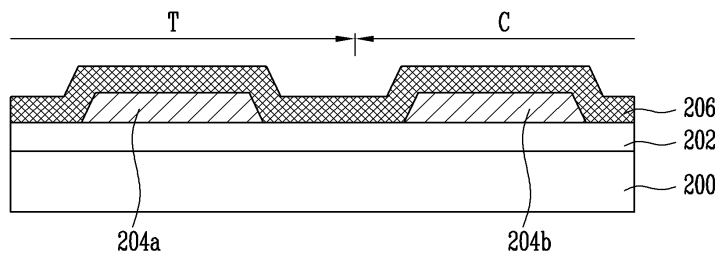
도면3d



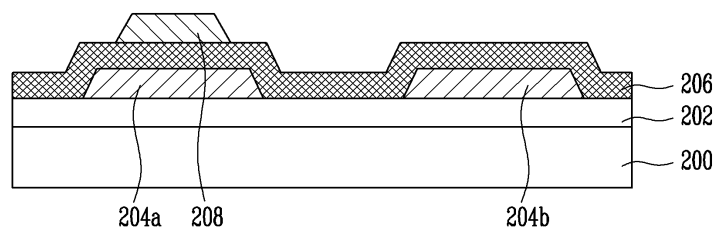
도면3e



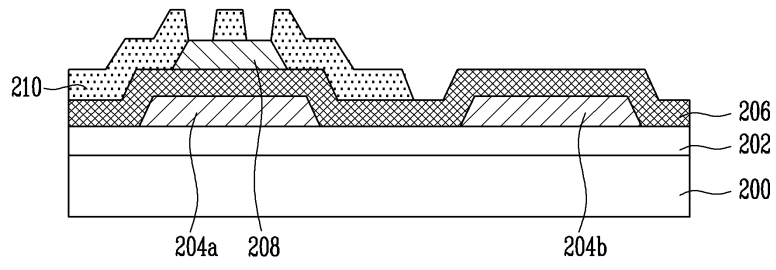
도면4a



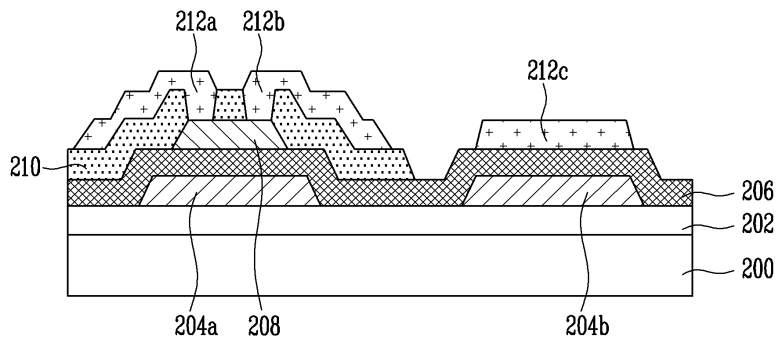
도면4b



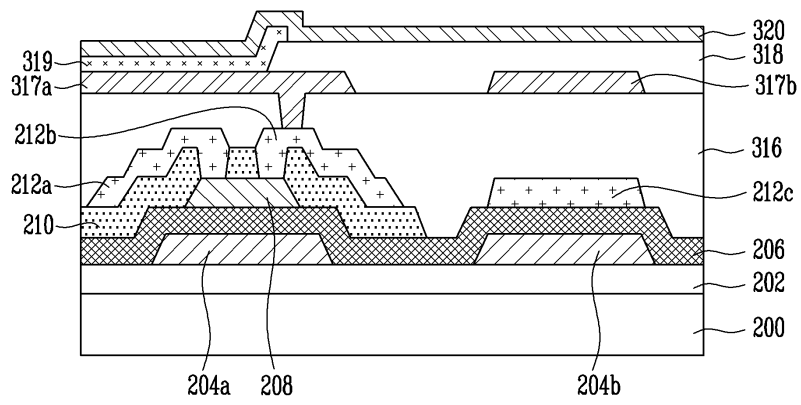
도면4c



도면4d



도면4e



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020090105560A	公开(公告)日	2009-10-07
申请号	KR1020080031092	申请日	2008-04-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KINYENG KANG 강기녕 WANGJO LEE 이왕조		
发明人	강기녕 이왕조		
IPC分类号	H05B33/08 H01L29/786 H01L51/50		
CPC分类号	Y02B20/341 H01L27/326 H01L27/1225 H01L27/1255 H01L27/3262 H01L27/3265		
代理人(译)	SHIN , YOUNG MOO		
其他公开文献	KR100936871B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置及其制造方法，包括有机电致发光二极管，其形成在上部并连接到形成的第三电极和第二绝缘层上的源电极或漏电极，图案化使得区域 - 源极和漏极区域暴露于连接到区域 - 源极和漏极区域的源极电极和漏极电极以及第二电极上部的第二绝缘层。包括在第一电极上部的第一绝缘层上形成的第二电极进入氧化物半导体，有源层和第二电极，以及包括沟道区的有源层，以及在第一电极上形成的区域 - 源极栅电极上部的绝缘层与氧化物半导体和漏区以及形成在第一电极上部的第一绝缘层上的第二电极形成氧化物半导体，以及有源层和第二电极。氧化物半导体，有源层，电容器，静电容量，孔径比。

