

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/20 (2006.01)

G09G 3/30 (2006.01)

G09G 3/32 (2006.01)

G03G 15/02 (2006.01)

(11) 공개번호 10-2006-0086857

(43) 공개일자 2006년08월01일

(21) 출원번호 10-2006-0007285

(22) 출원일자 2006년01월24일

(30) 우선권주장 JP-P-2005-00019264 2005년01월27일 일본(JP)  
JP-P-2005-00347545 2005년12월01일 일본(JP)

(71) 출원인 세이코 엡슨 가부시키키가이샤  
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 와카바야시 준이치  
일본국 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시키키가이샤내

(74) 대리인 문두현  
문기상

심사청구 : 있음

(54) 화소 회로, 발광 장치 및 전자기기

요약

본 발명은 발광 소자의 휘도를 지정하는 신호가 단위 회로로 수용되는 시간 길이를 단축하지 않고, 각 발광 소자의 휘도의 오차를 방지하는 것을 목적으로 한다.

OLED소자(83)는 구동 신호(Sc)의 레벨이 임계값(Vth)을 초과함으로써 발광한다. 구동 트랜지스터(81)는 데이터 신호선(Ldj)으로부터 수용된 데이터 신호(Dj)에 따른 구동 신호(Sc)를 생성한다. 캐패시터(Ca)는 OLED소자(83)에 대하여 병렬로 배치되고, 구동 트랜지스터(81)로부터 OLED소자(83)에 공급되는 구동 신호(Sc)의 파형을 둔화시킨 시정수(時定數) 회로로서 기능한다. 캐패시터(Ca)의 정전용량은 구동 트랜지스터(81)에 의해 생성되는 구동 신호(Sc) 중 소정의 시간 길이보다도 짧은 시간 길이로 임계값(Vth)을 초과하는 구간이 상기 임계값(Vth)을 하회(下回)하는 레벨로 감쇠되도록 선정된다.

대표도

도 3

색인어

화소부, 제어 회로, 시프트 레지스터, 래치 회로, 캐패시터, 데이터 신호선

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제 1 실시예에 따른 발광 장치의 구성을 나타내는 블록도.
- 도 2는 발광 장치의 동작을 설명하기 위한 타이밍 차트.
- 도 3은 한 개의 단위 회로의 구성을 나타내는 회로도.
- 도 4는 종래의 단위 회로에서 OLED소자가 오(誤)발광하는 것을 설명하기 위한 도면.
- 도 5는 본 실시예의 단위 회로에 의해 오발광이 방지되는 것을 설명하기 위한 도면.
- 도 6은 OLED소자의 전압과 전류의 관계를 나타내는 그래프.
- 도 7은 OLED소자의 전류와 휘도(발광량)의 관계를 나타내는 그래프.
- 도 8은 본 발명의 제 2 실시예에 따른 발광 장치의 구성을 나타내는 블록도.
- 도 9는 발광의 제 3 실시예에 따른 단위 회로의 구성을 나타내는 회로도.
- 도 10은 구동 신호의 변화 모양을 나타낸 도면.
- 도 11은 다른 형태에 따른 단위 회로의 구성을 나타내는 회로도.
- 도 12는 다른 형태에 따른 단위 회로의 구성을 나타내는 회로도.
- 도 13은 본 발명의 제 4 실시예에서의 각 단위 회로의 시정수에 대해서 설명하기 위한 도면.
- 도 14는 화상 형성 장치의 구성을 나타내는 종단 측면도.
- 도 15는 다른 형태에 따른 화상 형성 장치의 구성을 나타내는 종단 측면도.
- 도 16은 종래의 구성에서의 문제점을 설명하기 위한 타이밍 차트.

\*도면의 주요 부분에 대한 부호의 설명\*

10 : 화소부

20 : 제어 회로

30 : 화상 처리 회로

40 : 전원 회로,

50 : 시프트 레지스터

G(G1, G2, ……, Gm) : 단위 회로군

P(P1, P2, ……, Pn) : 단위 회로

71 : 트랜스미션 게이트

73 : 래치 회로

8(8a, 8b) : 화소 회로

81 : 트랜지스터

83 : OLED소자

Ca : 캐패시터

Cb(Cb1, Cb2) : 인버터

Ld1, Ld2, …… , Ldn : 데이터 신호선

Ls1, Ls2, …… , Lsm : 샘플링 신호선

La, Lb : 전원선

SR(SR1, SR2, …… , SRm) : 시프트 신호

SMP(SMP1, SMP2, …… , SMPm) : 샘플링 신호

D(D1, D2, …… , Dn) : 데이터 신호

Sc : 구동 신호

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 OLED(Organic Light Emitting Diode) 소자 등의 발광 소자를 제어하는 기술에 관한 것이다.

복수의 발광 소자를 구비한 발광 장치가 종래부터 제안되고 있다. 이 종류의 발광 장치에서는 발광 소자의 휘도를 지정하는 신호(이하, 「데이터 신호」라고 한다.)의 지연 등 여러 가지 원인에 의해 발광 소자의 휘도에 오차가 발생할 경우가 있다.

예를 들면, 각각이 발광 소자를 포함하는 복수의 화소 회로를 공통의 배선(이하, 「데이터 신호선」이라고 한다)에 접속한 구성의 발광 장치가 종래부터 제안되고 있다. 이 구성에서는 각 발광 소자의 휘도를 시(時)분할로 지정하는 데이터 신호가 소정의 기간(이하, 「샘플링 기간」이라고 한다.)마다 데이터 신호선으로부터 각 화소 회로에 순서대로 수용되고, 이 데이터 신호에 따라 생성된 구동 신호의 공급에 의해 발광 소자의 휘도가 제어된다. 이 구성에서, 데이터 신호가 한 개의 발광 소자의 휘도에 따른 레벨을 유지하는 기간과, 이 데이터 신호에 대한 샘플링 기간이 시간축 상에서 완전히 일치하고 있으면, 각 화소 회로에 데이터 신호의 소기(所期)의 구간을 수용하여 발광 소자의 휘도를 적정하게 제어할 수 있다. 그러나, 데이터 신호선을 전파할 때의 과형 둔화 등 여러 가지 원인에 의해 데이터 신호가 샘플링 기간에 대하여 지연하는 경우가 있다. 이 경우, 한 개의 샘플링 기간 내에서 데이터 신호의 레벨이 변동하게 되므로, 발광 소자에 대하여 소기의 구동 신호를 공급할 수 없고, 이 결과로 발광 소자의 휘도에 오차가 발생할 수 있다.

이 문제를 해결하기 위한 기술로서, 예를 들면 특허문헌 1이나 특허문헌 2에는 도 16에 나타낸 바와 같이, 상(相) 전후의 샘플링 기간( $P_s$ )에 간격( $P_d$ )을 끼워넣은 구성이 개시되어 있다. 이 구성에 의하면, 각 샘플링 기간( $P_s$ )의 종점으로부터 그 직후의 샘플링 기간( $P_s$ )의 시점까지의 간격( $P_d$ )에서 데이터 신호(D)는 어느 화소 회로에도 수용되지 않는다. 따라서, 도 16에 「D(지연 있음)」로 나타낸 바와 같이, 데이터 신호(D)가 시간 길이( $\Delta d$ )만큼 지연하였다고 하여도, 이 지연량( $\Delta d$ )이 기간( $P_d$ )의 시간 길이 범위 내인 한, 발광 소자의 휘도에 오차는 발생하지 않는다.

[특허문헌 1] 일본국 특허 공개평 5-241536호 공보(도 1 및 도 2)

[특허문헌 2] 일본국 특허 공개평 9-212133호 공보(도 1 및 도 2)

### 발명이 이루고자 하는 기술적 과제

그러나, 이 기술에서는 데이터 신호(D)가 각 화소 회로에 수용되는 시간 길이(샘플링 기간(Ps))를 간격(Pd)만큼만 단축할 수 있다. 따라서, 각 화소 회로에 대하여 짧은 주기로 데이터 신호를 샘플링해야 할 경우(예를 들면, 데이터 신호선에 접속된 화소 회로의 개수가 많을 경우)에는, 각 화소 회로에 대하여 데이터 신호를 충분히 수용할 수 없고, 각 발광 소자의 휘도의 제어가 도리어 곤란해지는 문제가 있다. 본 발명은 이러한 사정을 고려하여 이루어진 것으로, 발광 소자의 휘도를 지정하는 신호가 화소 회로에 수용되는 시간 길이를 단축하지 않고 각 발광 소자의 휘도의 오차를 방지한다는 과제의 해결을 목적으로 하고 있다.

### 발명의 구성 및 작용

이 과제를 해결하기 위해서, 본 발명에 따른 화소 회로는 구동 신호의 레벨에 따른 휘도가 되는 발광 소자와, 상기 발광 소자의 휘도를 지정하는 구동 신호를 데이터 신호에 따라 생성하는 신호 생성 회로를 구비하고, 상기 신호 생성 회로는 데이터 신호에 따른 전위가 게이트 전극에 공급됨으로써, 구동 신호를 생성하는 구동 트랜지스터(예를 들면, 도 3에서의 구동 트랜지스터(81)나 도 9에서의 인버터(Cb1))와, 상기 구동 트랜지스터로부터 상기 발광 소자에 공급되는 구동 신호의 파형을 둔화시키는(즉, 구동 신호 레벨의 단위 시간당 변동량을 저감한다.)시정수 회로를 포함한다.

이 구성에서는 신호 생성 회로로부터 발광 소자에 공급되는 구동 신호의 파형이 시정수 회로에 의해 둔화된다. 따라서, 지연이나 노이즈 등 여러 가지 원인에 의해 구동 신호가 단기적으로 소기치(所期値)와는 다른 레벨로 천이했을 경우에도 발광 소자의 휘도에 대한 영향은 저감된다. 또한, 구동 신호 변동의 영향이 시정수 회로에 의해 저감되기 때문에, 발광 소자의 휘도를 지정하는 신호(데이터 신호)가 화소 회로에 수용되는 시간 길이를 단축할 필요는 없다. 또한, 본 발명에서의 발광 소자란 전기적인 작용에 의해 발광하는 소자이다. 예를 들면, OLED소자 이외에 무기 EL 다이오드 소자나 발광 다이오드 소자 등 여러 가지 소자가 본 발명에서 말하는 발광 소자의 개념에 포함된다.

구동 신호의 레벨이 소정의 임계값을 초과했을 경우에 발광하는 발광 소자를 구비한 화소 회로에서, 상기 시정수 회로는 상기 신호 생성 회로에 입력되는 데이터 신호 중 소정의 시간 길이보다도 짧은 시간 길이에서 상기 임계값을 초과하는 신호가 상기 신호 생성 회로에 입력될 경우에, 상기 시정수 회로로부터 출력되는 신호가 상기 발광 소자의 상기 임계값을 하회하는 레벨에 감쇠되도록 시정수가 결정된다. 이 형태에 의하면, 구동 신호의 레벨이 단기적으로 발광 소자의 임계값을 초과하였다고 하여도, 이 구간의 레벨은 시정수 회로에 의해 상기 임계값을 하회하는 레벨로 감쇠되기 때문에, 이 구동 신호의 변동에 기인한 발광 소자의 휘도의 오차를 확실하게 방지할 수 있다. 무엇보다도, 본 발명에서 구동 신호 중 소정치보다도 짧은 시간 길이에서 임계값을 초과하는 모든 구간이 상기 임계값을 하회하는 레벨로 반드시 감쇠될 필요는 없다. 시정수 회로에 의해 파형이 둔화된 후의 구동 신호의 레벨이 임계값을 초과하는 경우에도, 그 임계값을 초과하는 구간(즉, 발광 소자가 오발광하는 기간)이 화소 회로의 용도에 대하여 특별히 문제가 안되는 정도의 시간 길이가 되도록 구동 신호의 파형이 둔화되어 있으면 좋다. 예를 들면, 본 발명의 화소 회로를 이용한 표시 장치에서, 실제로는 구동 신호의 지연 등에 기인하여 발광 소자가 오발광했다고 하여도, 이것이 사람의 시각에 의해 지각될 수 없는 정도의 시간 길이라면, 본 발명의 소기의 효과는 확실히 나타난다.

본 발명의 적합한 형태에서, 상기 발광 소자는 제 1 전극과 제 2 전극을 포함하고, 상기 구동 트랜지스터를 통하여 상기 제 1 전극에 전기적으로 접속되는 전원선을 구비하고, 상기 시정수 회로는 상기 전원선과 상기 제 1 전극 사이에 배치된다. 이 형태에 의하면, 발광 소자의 오발광을 효과적으로 방지할 수 있다.

또한, 본 발명의 다른 형태에서는 발광 소자의 휘도를 지정하는 데이터 신호를 데이터 신호선으로부터 샘플링 기간에서 샘플링하는 샘플링 회로(예를 들면, 도 3에서의 트랜스미션 게이트(71))가 설치되고, 신호 생성 회로는 샘플링 회로가 샘플링한 데이터 신호에 따라 구동 신호를 생성한다. 이 구성에서는 신호 생성 회로가 생성한 구동 신호 중, 샘플링 기간에 대한 데이터 신호의 지연량보다도 짧은 시간 길이로 발광 소자의 임계값을 초과하는 구간이 상기 임계값을 하회하는 레벨로 감쇠되도록 시정수 회로의 시정수가 결정된다. 다만, 데이터 신호의 샘플링을 신호 생성 회로가 행하는 구성으로 하여도 좋다. 즉, 이 구성에서의 신호 생성 회로는, 예를 들면 데이터 신호선에 접속된 스위칭 소자로 구성되고, 이 데이터 신호선에 공급되는 데이터 신호를 샘플링함으로써 구동 신호로서 출력한다.

본 발명의 바람직한 형태에서, 상기 시정수 회로는 한쪽의 전극이 상기 발광 소자의 일단에 접속됨과 동시에 다른쪽의 전극에 정전위가 인가되는 용량 소자(예를 들면, 도 3이나 도 11에 나타내는 용량(Ca))를 포함한다. 이 형태에 의하면, 예를 들면 발광 소자의 저항 성분이나 배선 저항과 상기 용량에 의해 RC 시정수 회로가 구성된다. 이 형태에 의하면, 시정수 회로의 구성을 간소화할 수 있다. 또한, 다른 형태에서의 시정수 회로는 상기 전원선과 상기 제 1 전극 사이에 개재하는 저항을 포함한다. 이 형태에서는 용량(예를 들면, 발광 소자의 제 1 전극에 접속된 용량 소자나 발광 소자에 부수(付隨)되는 용량)와 상기 저항에 의해 RC 시정수 회로가 구성된다.

또한, 다른 형태에서, 상기 구동 트랜지스터는 상보형(相補型)인 제 1 트랜지스터와 제 2 트랜지스터로 이루어지는 제 1 반전 회로(예를 들면, 도 9나 도 12에 나타내는 인버터(Cb1))이며, 상기 시정수 회로는 상보형인 제 3 트랜지스터와 제 4 트랜지스터로 이루어지는 제 2 반전 회로(예를 들면, 도 9나 도 12에 나타내는 인버터(Cb2))이며, 데이터 신호에 따른 전위가 상기 제 1 반전 회로의 입력단에 공급되고, 상기 제 1 반전 회로의 출력단은 상기 제 2 반전 회로의 입력단에 접속되며, 상기 제 2 반전 회로의 출력단은 상기 제 1 전극에 접속되어 있다. 또한, 이상의 형태에서의 제 1 트랜지스터 및 제 2 트랜지스터는, 예를 들면 도 9나 도 12의 인버터(Cb1)에서의 트랜지스터(Tr1, Tr2)에 각각 상당한다. 또한, 제 3 트랜지스터 및 제 4 트랜지스터는, 예를 들면 도 9나 도 12의 인버터(Cb2)에서의 트랜지스터(Tr1, Tr2)에 각각 상당한다.

이 형태에서는 제 1 반전 회로나 제 2 반전 회로를 구성하는 트랜지스터의 게이트 용량이나 상기 인버터의 출력 임피던스에 의해 RC 시정수 회로가 구성된다. 또한, 인버터의 단수(段數)나 이것을 구성하는 트랜지스터의 사이즈(특히, 게이트 길이나 게이트 폭)를 적당히 선정함으로써 원하는 시정수를 가진 시정수 회로가 구성된다. 무엇보다도, 시정수 회로의 구성은 이상의 예시에 한정되지 않는다. 예를 들면, 신호 생성 회로를 트랜지스터에 의해 구성했을 경우에는, 이 트랜지스터의 게이트 용량에 의해 시정수 회로를 구성하여도 좋다. 이 구성에서는 트랜지스터의 게이트 폭이나 게이트 길이를 적당히 선정함으로써 시정수 회로의 시정수를 조정할 수 있다.

또한, 본 발명에 따른 화소 회로는 발광 장치에 이용된다. 이 발광 장치는 구동 신호의 레벨에 따른 휘도가 되는 발광 소자를 각각이 포함하는 복수의 화소 회로와, 각 발광 소자의 휘도를 시분할로 지정하는 데이터 신호를 전송하는 데이터 신호선을 구비하고, 상기 복수의 화소 회로의 각각은 상기 화소 회로에 대응한 샘플링 기간에서 상기 데이터 신호선으로부터 샘플링되는 데이터 신호에 따른 레벨의 구동 신호를 생성하는 신호 생성 회로를 포함하고, 상기 신호 생성 회로는 데이터 신호에 따른 전위가 게이트 전극에 공급됨으로써 구동 신호를 생성하는 구동 트랜지스터와, 상기 구동 트랜지스터로부터 상기 발광 소자에 공급되는 구동 신호의 파형을 둔화시키는 시정수 회로를 포함한다. 이 구성에 의하면, 본 발명에 따른 화소 회로와 같은 작용에 의해 데이터 신호가 화소 회로에 수용되는 기간(샘플링 기간)을 단축하지 않고, 각 발광 소자의 휘도의 오차를 방지할 수 있다.

본 발명의 바람직한 형태에 따른 발광 장치에서, 상기 발광 소자는 구동 신호의 레벨이 임계값을 초과함으로써 발광하고, 상기 시정수 회로는 상기 신호 생성 회로에 입력되는 데이터 신호 중 소정의 시간 길이보다도 짧은 시간 길이에서 상기 임계값을 초과하는 신호가 상기 신호 생성 회로에 입력될 경우에, 상기 시정수 회로로부터 출력되는 신호가 상기 발광 소자의 상기 임계값을 하회하는 레벨로 감쇠되도록 시정수가 결정된다. 이 구성에 의하면, 샘플링 기간에 대한 데이터 신호의 지연에 기인한 발광 소자의 휘도의 오차를 확실하게 방지할 수 있다.

그런데, 데이터 신호선에는 배선 저항이나 기생 용량이 부수된다. 이 저항이나 용량은 데이터 신호의 공급원(예를 들면, 도 1에 나타내는 화상 처리 회로(30)나 이 화상 처리 회로(30)로부터 출력된 데이터 신호가 입력되는 단자)으로부터 상기 데이터 신호선을 따라 떨어질수록 크기 때문에, 이들의 저항이나 용량에 의해 정해지는 시정수는 데이터 신호의 공급원으로부터 떨어질수록 크다. 따라서, 모든 화소 회로에 대해서 시정수 회로와 같은 시정수를 설정하면, 데이터 신호의 공급원으로부터 떨어진 화소 회로만큼 큰 시정수를 토대로 구동 신호가 감쇠되는 것이 되고, 이 결과로서 각 발광 소자의 거동에 편차가 발생할 수 있다. 그래서, 본 발명의 바람직한 형태에서, 각 화소 회로에 포함되는 시정수 회로의 시정수는 데이터 신호선 중 상기 화소 회로가 접속되는 지점에 따라 결정된다. 예를 들면, 제 1 화소 회로와, 데이터 신호선 중 데이터 신호의 공급원으로부터의 경로 길이가 제 1 화소 회로보다도 짧은 지점에 접속된 제 2 화소 회로에 착안하면, 제 1 화소 회로에 포함되는 시정수 회로의 시정수는 제 2 화소 회로에 포함되는 시정수 회로의 시정수보다도 작다. 이 구성에 의하면, 데이터 신호선에 부수되는 저항이나 용량과 시정수 회로와의 쌍방을 고려한 시정수를 각 화소 회로에 균등화할 수 있기 때문에, 각 발광 소자의 거동의 편차를 억제할 수 있다.

더 바람직한 형태에서, 상기 각 화소 회로에 포함되는 시정수 회로의 시정수는 상기 데이터 신호선 중 데이터 신호의 공급원으로부터 상기 화소 회로가 접속되는 지점까지의 배선 저항 및 기생 용량과 상기 화소 회로의 시정수 회로를 포함하는 부분의 시정수가 모든 화소 회로에 대해서 대략 동일하게 되도록 화소 회로마다 결정된다. 이 구성에 의하면, 데이터 신호선에 대한 화소 회로의 위치에 상관없이, 모든 발광 소자의 거동을 정밀도 좋게 일치시킬 수 있다. 다만, 이 구성에서는 모

든 화소 회로의 각각에 대해서 시정수를 별개로 선정해야하기 때문에 구성이 번잡화될 가능성도 있다. 그래서, 화소 회로의 그룹마다 시정수가 선정된 구성도 채용된다. 즉, 다른 형태에 따른 발광 장치에서, 상기 각 화소 회로에 포함되는 시정수 회로의 시정수는 상기 복수의 화소 회로 중 제 1 그룹에 속하는 각 화소 회로의 시정수 회로의 시정수가, 상기 데이터 신호선 중 데이터 신호의 공급원로부터의 경로 길이가 상기 제 1 그룹의 각 화소 회로보다도 짧은 지점에 접속된 제 2 그룹에 속하는 각 화소 회로의 시정수 회로의 시정수보다도 작아지도록 화소 회로의 그룹마다 결정된다. 또한, 여기에서는 제 1 및 제 2 그룹만 명시되어 있지만, 복수의 화소 회로가 2개의 그룹만으로 구분된 구성에 본 발명을 한정하는 취지는 아니다. 복수의 화소 회로가 3개 이상의 그룹으로 구분된 구성에서는 그 안에서 선택된 한 개의 그룹이 본 발명에서 말하는 제 1 그룹에 상당하고, 다른 한 개의 그룹이 본 발명에서 말하는 제 2 그룹에 상당하는 것이 된다.

본 발명에 따른 발광 장치는 각종 전자기기에 이용된다. 예를 들면, 광선의 조사에 의해 화상이 형성되는 감광체를 구비한 화상 형성 장치에서, 감광체에 광선을 조사하는 헤드부(라인 헤드)로서 이용된다. 이러한 화상 형성 장치로서는 프린터나 복사기, 또는 이들 기능을 겸비한 복합기가 있다. 이 종류의 화상 형성 장치에는 복수의 발광 소자를 선모양으로 배열한 발광 장치가 특히 적합하다. 또한, 본 발명에 따른 발광 장치는 휴대 전화기나 PC의 각종 전자기기의 표시 디바이스로서도 이용된다. 이들 전자기기에는 복수의 발광 소자가 면모양(매트릭스 모양)으로 배열된 발광 장치가 특히 적합하다. 즉, 이 발광 장치는 복수의 샘플링 신호선(주사선)과 복수의 데이터 신호선의 각 교차에 대응하여 본 발명의 화소 회로가 배치되고, 복수의 샘플링 신호선의 각각을 샘플링 기간에 순서대로 선택하는 수직 주사 회로(예를 들면, 도 8에 나타내는 시프트 레지스터)와, 각 데이터 신호선에 따라 배열된 각 발광 소자의 휘도를 시분할로 지정하는 데이터 신호를 각 데이터 신호선에 출력하는 수평 주사 회로(예를 들면, 도 8에 나타내는 화상 처리 회로(30))를 구비한다.

<A-1 : 제 1 실시예>

우선, 화상 형성 장치(예를 들면, 프린터)의 헤드부에 채용되는 발광 장치의 형태를 설명한다. 도 1은 이 발광 장치의 구성을 나타내는 블럭도이다. 동 도면에 나타낸 바와 같이, 발광 장치는 화소부(10)와 그 주변 회로로 구성된다. 화소부(10)는 화상 형성 장치의 헤드부(라인형의 광헤드)로서 사용되는 부분이다. 이 화소부(10)는 X방향으로 배열된 m개의 단위 회로군(G(G1, G2, …, Gm))과 그 각각에 대응하는 m비트의 시프트 레지스터(50)를 갖는다(m은 자연수). 단위 회로군(G1~Gm)의 각각은 X방향으로 배열된 n개의 단위 회로(P(P1, P2, …, Pn))를 포함한다. 각 단위 회로(P)는 발광 소자인 OLED소자(83)를 갖는다(도 3 참조).

한편, 주변 회로는 제어 회로(20)와 화상 처리 회로(30)와 전원 회로(40)를 포함한다. 제어 회로(20)는 시작 펄스 신호(SP)와 클럭 신호(CLK)를 생성하여 시프트 레지스터(50)에 출력한다. 도 2에 나타낸 바와 같이, 시작 펄스 신호(SP)는 주주사 기간의 시점에서 액티브 레벨이 되는 신호이다. 한편, 클럭 신호(CLK)는 주주사의 기준이 되는 시간을 규정하는 신호이다. 도 2에 나타낸 바와 같이, 시프트 레지스터(50)는 시작 펄스 신호(SP)를 클럭 신호(CLK)에 따라 순서대로 시프트함으로써 m계통의 시프트 신호(SR1~SRm)를 생성하고, 이들 시프트 신호(SR1~SRm)에 의거하여 m계통의 샘플링 신호(SMP1~SMPm)를 출력한다. 각 시프트 신호(SR(SR1, SR2, …, SRm))는 클럭 신호(CLK)의 1주기에 해당하는 시간 길이만 액티브 레벨(로 레벨)이 되는 신호이다. 또한, 도 2에 나타낸 바와 같이, 각 시프트 신호(SR<sub>i</sub>(i는 1≤i≤m을 만족하는 정수)가 액티브 레벨이 되는 기간과 그 다음 시프트 신호(SR<sub>i+1</sub>)이 액티브 레벨이 되는 기간은, 클럭 신호(CLK)의 반(半)주기에 해당하는 시간 길이만 중복한다. 한편, 각 샘플링 신호(SMP<sub>i</sub>)는 제 i 번째의 시프트 신호(SR<sub>i</sub>)와 그 다음 시프트 신호(SR<sub>i+1</sub>)의 부정 논리합에 상당하는 신호이다. 따라서, 샘플링 신호(SMP1~SMPm)의 각각은 클럭 신호(CLK)의 반주기에 해당하는 샘플링 기간(Ps(Ps1, Ps2, …, Psm))마다 순서대로 액티브 레벨(하이 레벨)이 된다. 샘플링 신호(SMP1~SMPm)는 각각 샘플링 신호선(Ls1~Lsm)을 통하여 각 단위 회로군(G1~Gm)의 각 단위 회로(P)에 출력된다.

도 1에 나타내는 화상 처리 회로(30)는 한 개의 단위 회로군(G)에 포함되는 단위 회로(P)의 총수에 상당하는 n계통의 데이터 신호(D1~Dn)를 생성한다. 각 데이터 신호(D<sub>j</sub>)(j는 1≤j≤n을 만족하는 자연수)는 m개의 단위 회로군(G1~Gm)의 각각에 포함되는 단위 회로(P<sub>j</sub>)의 OLED소자(83)의 휘도를 단위 회로군(G1~Gm)의 배열 순서에 시분할로 지정하는 전압 신호이다. 본 실시예에서의 데이터 신호(D1~Dn)의 각각은 샘플링 기간(Ps)과 같은 시간 길이의 단위 기간마다 하이 레벨 및 로 레벨의 어느 하나가 된다. 하이 레벨의 데이터 신호(D<sub>j</sub>)는 OLED소자(83)의 발광을 지시한다. 로 레벨의 데이터 신호(D<sub>j</sub>)는 OLED소자(83)의 소등을 지시한다. 이들 데이터 신호(D1~Dn)는 데이터 신호선(Ld1~Ldn)에 출력된다. 데이터 신호선(L<sub>dj</sub>)에는 단위 회로군(G1~Gm)의 각각에 포함되는 단위 회로(P<sub>j</sub>)(합계 m개)가 공통으로 접속된다. 화상 처리 회로(30)로부터 출력된 데이터 신호(D<sub>j</sub>)는 데이터 신호선(L<sub>dj</sub>)을 통하여 단위 회로군(G1~Gm)의 제 j 열째의 각 단위 회로(P<sub>j</sub>)에 공급된다.

도 1에 나타내는 전원 회로(40)는 시프트 레지스터(50) 등의 논리 회로로 사용되는 전원 전위 이외에 고위측 전원 전위(VHHe1)와, 이것보다도 낮은 저위측 전원 전위(VLLe1)를 생성한다. 고위측 전원 전위(VHHe1)는 전원선(La)에 공급되고, 저위측 전원 전위(VLLe1)는 전원선(Lb)에 공급된다. 모든 단위 회로(P)는 전원선(La, Lb)에 대하여 공통으로 접속되어 있고, 이들을 통하여 고위측 전원 전위(VHHe1) 및 저위측 전원 전위(VLLe1)의 급전을 받는다.

다음에, 도 3은 단위 회로군(Gi)에 속하는 단위 회로(Pj)의 구성을 나타내는 회로도이다. 동 도면에 나타낸 바와 같이, 단위 회로(Pj)는 트랜스미션 게이트(71)를 갖는다. 모든 단위 회로군(G1~Gm)에 포함되는 제 j 열째의 단위 회로(Pj)의 트랜스미션 게이트(71)는 그 입력 단자가 데이터 신호선(Ldj)에 대하여 공통으로 접속된다. 이 트랜스미션 게이트(71)는 시프트 레지스터(50)로부터 샘플링 신호선(Lsi)을 거쳐서 공급되는 샘플링 신호(SMPi)에 의거하여 데이터 신호(Dj)를 샘플링하는 스위칭 소자이다. 즉, 트랜스미션 게이트(71)는 샘플링 신호(SMPi)와 그 논리 레벨을 인버터(72)에 의해 반전된 신호가 액티브 레벨이 되는 기간에서 온 상태가 되어 데이터 신호(Dj)를 단위 회로(Pj)에 수용한다.

트랜스미션 게이트(71)의 출력 단자에는 래치 회로(73)가 접속된다. 이 래치 회로(73)는 출력 단자가 트랜스미션 게이트(71)에 접속된 클록트(clocked) 인버터(731)와, 입력 단자가 클록트 인버터(731)의 출력 단자에 접속됨과 동시에 출력 단자가 클록트 인버터(731)의 입력 단자에 접속된 인버터(732)를 갖는다. 클록트 인버터(731)의 각 제어 단자에는 시프트 레지스터(50)에서 생성된 시프트 신호(SRi)와 그 논리 레벨을 인버터(74)에 의해 반전시킨 신호가 공급된다. 이 클록트 인버터(731)는 시프트 신호(SRi)가 액티브 레벨(로 레벨)을 유지하는 기간에 하이 임피던스 상태가 되고, 시프트 신호(SRi)가 비액티브 레벨(하이 레벨)을 유지하는 기간에서는 인버터로서 기능한다.

래치 회로(73)의 출력 단자(인버터(732)의 출력 단자)에는 인버터(75)의 입력 단자가 접속된다. 이 인버터(75)의 출력 단자는 노드(Q)를 통하여 화소 회로(8a)에 접속된다. 화소 회로(8a)는 p채널형의 트랜지스터(이하, 「구동 트랜지스터」라고 한다.) (81)와 OLED소자(83)와 캐패시터(Ca)를 포함한다. OLED소자(83)는 유기 EL(ElectroLuminescent) 재료로 이루어지는 발광층을 양극(제 1 전극)과 음극(제 2 전극) 사이에 개재시킨 발광 소자이다.

구동 트랜지스터(81)의 소스 전극은 고위측 전원 전위(VHHe1)가 공급되는 전원선(La)에 접속되고, 그 드레인 전극은 OLED소자(83)의 양극에 접속된다. OLED소자(83)의 음극은 저위측 전원 전위(VLLe1)가 공급되는 전원선(Lb)에 접속된다. 한편, 캐패시터(Ca)는 OLED소자(83)에 대하여 병렬로 배치된다. 즉, 캐패시터(Ca)의 한쪽 전극(a)은 OLED소자(83)의 양극에 접속되고, 다른쪽 전극(b)은 OLED소자(83)의 음극(또는, 전원선(Lb))에 접속된다.

도 4는 OLED소자(83)에 인가되는 전압과 OLED소자(83)에 흐르는 전류의 관계를 나타내는 그래프이며, 도 5는 OLED소자(83)에 흐르는 전류와 OLED소자(83)의 휘도(발광량)의 관계를 나타내는 그래프이다. 도 4 및 도 5에 나타낸 바와 같이, OLED소자(83)에 인가되는 전압이 임계값(Vth)을 하회할 경우에는 전류가 제로가 되기 때문에 OLED소자(83)는 소등한다(휘도가 제로가 된다). 한편, 전압이 임계값(Vth)을 넘으면 그 전압에 따른 전류가 OLED소자(83)에 흐르고, 이 결과로 OLED소자(83)는 전류에 비례한 휘도로 발광한다. 도 3에 나타내는 구성에서, 노드(Q)가 로 레벨로 유지되면 구동 트랜지스터(81)가 온 상태가 되기 때문에, OLED소자(83)에는 임계값(Vth)을 초과하는 전압이 인가되어 발광한다. 한편, 노드(Q)가 하이 레벨로 유지되면 구동 트랜지스터(81)는 오프 상태가 되기 때문에, OLED소자(83)에 인가되는 전압은 임계값(Vth)을 하회하고 이 결과로 OLED소자(83)는 소등한다. 이하에서는, OLED소자(83)에 인가되는 전압을 나타내는 신호를 「구동 신호(Sc)」라고 표기한다.

다음에, 각 단위 회로(P)의 동작을 설명한다. 또한, 이하에서는 단위 회로군(G1)에 속하는 단위 회로(P1)에 특히 착안하여 동작을 설명하고, 그 밖의 단위 회로(P)의 동작 설명을 곁하는 것으로 한다.

우선, 도 2에 나타내는 시간(t1)으로부터 시간(t2)에서는, 시프트 신호(SR1)가 로 레벨을 유지하기 위해서 클록트 인버터(731)는 하이 임피던스 상태가 된다. 또한, 샘플링 신호(SMP1)는 로 레벨이기 때문에 트랜스미션 게이트(71)는 오프 상태가 된다. 다음에, 시간(t2)으로부터 시간(t3)에서는, 시프트 신호(SR1)가 로 레벨을 유지하는 동시에 샘플링 신호(SMP1)는 하이 레벨이 되기 때문에, 클록트 인버터(731)는 하이 임피던스 상태를 유지하는 한편, 트랜스미션 게이트(71)는 온 상태가 된다. 따라서, 그 시점에서 데이터 신호선(Ld1)에 공급되고 있는 데이터 신호(D1)가 트랜스미션 게이트(71)를 통하여 단위 회로(P1)에 수용된다.

다음에, 시간(t3) 이후에서는, 시프트 신호(SR1)가 하이 레벨이 되기 때문에 클록트 인버터(731)는 인버터로서 기능하기 시작한다. 또한 샘플링 신호(SMP1)는 오프 상태가 되기 때문에 트랜스미션 게이트(71)는 오프 상태로 천이한다. 따라서, 데이터 신호(D1)의 수용은 종료되고, 이후는 데이터 신호(D1)의 다음회의 수용이 시작될 때까지 데이터 신호(D1)의 논리 레벨이 래치 회로(73)에 유지된다.

여기에서, 데이터 신호(D1)가 소기의 타이밍으로부터 지연되고 있지 않다고 하면, 도 2에 「D1(지연 없음)」이라고 나타낸 바와 같이, 이 데이터 신호(D1)는 샘플링 신호(SMP1~SMPm)의 레벨이 액티브 레벨이 되는 샘플링 기간(Ps)의 전구간에 걸쳐 각 OLED소자(83)의 휘도에 따른 레벨을 유지한다. 그러나, 도 2에 「D1(지연 있음)」이라고 나타낸 바와 같이, 데이터 신호(D1)에는 데이터 신호선(Ld1)에서의 전압 강하나 파형의 둔화라고 하는 여러 가지의 원인에 의해 시간 길이( $\Delta d$ )의 지연이 발생할 수 있다. 또한, 단위 회로군(G1) 및 단위 회로군(G3)의 각각에 속하는 단위 회로(P1)의 OLED소자(83)를 발광시켜, 단위 회로군(G2)에 속하는 단위 회로(P1)의 OLED소자(83)를 소등시킬 경우를 상정하면, 데이터 신호(D1)의 지연에 기인하여 노드(Q)의 전압은 이화와 같이 변동한다.

우선, 단위 회로군(G1)의 단위 회로(P1)에는 샘플링 기간(Ps1)에서 데이터 신호(D1)가 수용된다. 이 데이터 신호(D1)는 샘플링 기간(Ps1)의 시점으로부터 시간 길이( $\Delta d$ )만큼 지연된 타이밍에서 로 레벨로 천이하지만, 그 논리 레벨이 래치 회로(73)에 유지되는 샘플링 기간(Ps1)의 종점에서 로 레벨을 유지하기 때문에, 상기 단위 회로(P1)의 노드(Q) 전압은 샘플링 기간(Ps1)의 시점보다도 시간 길이( $\Delta d$ )만큼 늦은 타이밍으로부터 데이터 신호(D1)가 다음회에 수용될 때까지 로 레벨을 유지한다. 따라서, 단위 회로군(G1)에 속하는 단위 회로(P1)의 OLED소자(83)는 데이터 신호(D1)에 의해 지정된대로 소기의 시간 길이에 걸쳐 계속적으로 점등한다. 단위 회로군(G3)에 속하는 제 1 열째의 단위 회로(P1)에 대해서도 마찬가지이다.

한편, 단위 회로군(G2)에 속하는 단위 회로(P1)에는 샘플링 신호(SMP2)가 액티브 레벨이 되는 샘플링 기간(Ps2)에서 데이터 신호(D1)가 수용된다. 데이터 신호(D1)에 지연이 없다고 하면, 샘플링 기간(Ps2)의 전구간에 걸쳐 데이터 신호(D1)는 OLED소자(83)의 소등을 지시하는 하이 레벨을 유지한다. 그러나, 상기한 바와 같이 데이터 신호(D1)는 시간 길이( $\Delta d$ )만큼 지연하고 있기 때문에, 샘플링 기간(Ps2)의 시점으로부터 시간 길이( $\Delta d$ )가 경과할 때까지의 기간(Td)에서, 데이터 신호(D1)는 로 레벨(즉, 단위 회로군(G1)에 속하는 단위 회로(P1)의 OLED소자(83)에 대하여 점등을 지시하는 레벨)을 유지하고, 이 기간(Td)의 경과 후에 본래의 하이 레벨로 천이한다. 샘플링 기간(Ps2)에서는 래치 회로(73)의 클록트 인버터(731)가 인버터로서 기능하고 있기 때문에, 기간(Td)에서 노드(Q)는 로 레벨이 되고, 화소 회로(8a)의 구동 트랜지스터(81)는 온 상태가 된다.

여기에서, 캐패시터(Ca)가 배치되어 있지 않은 종래의 구성에서는, 기간(Td)에서 구동 트랜지스터(81)가 온 상태로 천이하면, 도 6에 나타낸 바와 같이, 구동 신호(Sc)의 전압(즉, OLED소자(83)에 인가되는 전압)은 임계값( $V_{th}$ )을 초과하여 고위측 전원 전위(VH<sub>Hel</sub>)에 도달한다. 따라서, 원래는 소등이 유지되어야 할 단위 회로군(G2)의 OLED소자(83)는 오발광하게 된다. 이에 대하여, 본 실시예에서는 OLED소자(83)에 병렬로 배치된 캐패시터(Ca)와 상기 OLED소자(83)의 저항 성분이나 배선 저항에 의하여 RC 시정수 회로가 구성된다. 따라서, 도 7에 나타낸 바와 같이, 기간(Td)의 시점에서의 구동 신호(Sc)의 상승은 둔화된다. 또한, 기간(Td)의 종점에서 노드(Q)가 로 레벨로 천이함으로써 구동 트랜지스터(81)는 오프 상태가 되기 때문에, 구동 신호(Sc)의 레벨은 임계값( $V_{th}$ )에 도달하기 전에 기간(Td)의 종점에서 저하하기 시작한다. 따라서, 구동 신호(Sc)의 레벨은 기간(Td)의 전구간에 걸쳐 임계값( $V_{th}$ )을 초과하지 않고, 이 결과로서 OLED소자(83)의 오발광은 발생하지 않는다. 이렇게, 본 실시예에서의 캐패시터(Ca)는 구동 신호(Sc)의 파형을 둔화시켜 OLED소자(83)의 오발광을 방지하기 위한 시정수 회로로서 기능한다. 따라서, 캐패시터(Ca)의 정전용량은 데이터 신호(D1)의 지연량( $\Delta d$ )의 최대값에 상당하는 기간(Td)의 전구간에 걸쳐 구동 신호(Sc)의 레벨이 OLED소자(83)의 임계값( $V_{th}$ )을 초과하지 않는 정도로 구동 신호(Sc)의 파형이 둔화되도록 선정되는 것이 바람직하다.

본 실시예에 의하면, 구동 신호(Sc)의 파형이 캐패시터(Ca)에 의해 둔화되기 때문에, 데이터 신호(D1)의 지연을 원인으로 하여 구동 트랜지스터(81)가 일시적으로 온 상태가 되어도, 이것에 기인한 OLED소자(83)의 오발광은 회피된다. 따라서, 발광 장치를 헤드부에 채용한 화상 형성 장치에서는 감광체에 대한 노광량을 정밀도 좋게 제어하여 고품위의 화상을 형성할 수 있다. 또한, 상 전후의 샘플링 기간(Ps)에 간격을 끼워넣을 필요가 없기 때문에, 데이터 신호(Dj)를 샘플링하는 주기가 짧은 경우라도 각 단위 회로(Pj)에 대하여 데이터 신호(Dj)를 충분히 수용하는 것이 가능하게 된다. 또한, 본 실시예에 의하면, 캐패시터(Ca)를 배치한다고 하는 매우 간단한 구성에 의해 이들의 효과를 얻을 수 있다.

이상에서 설명한 바와 같이, 본 실시예의 화소 회로(8a)는 OLED소자(83)(발광 소자)와, OLED소자(83)의 양극에 전기적으로 접속되는 전원선(La)과, 전원선(La)과 양극 사이에 개재하여 OLED소자(83)의 구동 전류를 제어하는 p채널형의 구동 트랜지스터(81)를 포함한다. 한편, 샘플링 신호선(Lsi)으로부터 구동 트랜지스터(81)의 게이트 전극까지의 각 요소(트랜스미션 게이트(71), 인버터(72), 래치 회로(73) 및 인버터(75))는 샘플링 회로로서 기능한다. 이 샘플링 회로는 샘플링 신호선(Lsi)을 통하여 공급되는 샘플링 신호(SMPi)에 의거하여 데이터 신호선(Ldj)으로부터 데이터 신호(Dj)를 샘플링하고, 구동 트랜지스터(81)의 게이트 전극에 데이터 신호(Dj)에 따른 전위를 공급하는 수단이다.

본 실시예에 예시한 바와 같이, RC 시정수 회로는 전원선(La)과 OLED소자(83)의 양극(제 1 전극) 사이에 배치되는 것이 바람직하다. 환언하면, 샘플링 회로(특히, 최후단(段)에 위치하는 인버터(75))로부터 구동 트랜지스터(81)의 게이트 전극까지의 구간에 RC 시정수 회로는 개재하지 않는다. 이 구성에 의하면, 예를 들면 샘플링 회로와 구동 트랜지스터(81) 사이에 RC 시정수 회로가 개재하는 구성과 비교하여, 각 단위 회로(Pj)에 대하여 확실 또한 충분히 데이터 신호(Dj)를 수용하는 것이 가능하게 된다. 그리고, 본 실시예와 같이 RC 시정수 회로가 전원선(La)과 OLED소자(83)의 양극 사이에 개재하는 구성에 의하면, 이상에서 설명한 바와 같이 데이터 신호(Dj)의 지연에 기인해서 기간(Td)에서 구동 트랜지스터(81)가 온 상태로 천이했다고 하여도, RC 시정수 회로에 의해 OLED소자(83)의 오발광을 미연에 방지할 수 있다.

<B : 제 2 실시예>

다음에 도 8을 참조하여, 각종 전자기기의 표시장치로서 채용되는 발광 장치의 형태를 설명한다. 또한, 본 실시예 중 제 1 실시예와 같은 요소에 대해서는 공통인 부호를 붙여서 그 설명을 적절하게 생략한다.

동 도면에 나타낸 바와 같이, 이 발광 장치는 X방향으로 연장하여 시프트 레지스터(50)의 각 출력단에 접속된 m개의 샘플링 신호선(주사선)(Ls1~Lsm)과, Y방향으로 연장하여 화상 처리 회로(30)의 각 출력단에 접속된 n개의 데이터 신호선(Ld1~Ldn)을 갖는다. 샘플링 신호선(Ls1~Lsm) 각각과 데이터 신호선(Ld1~Ldn) 각각과의 교차에는 단위 회로(P)가 배치된다. 따라서, 이들 단위 회로(P)는 X방향 및 Y방향에 걸쳐 m행 n열의 매트릭스 모양으로 배열된다. 각 단위 회로(P)의 구성이나 각 주변 회로의 기능이나 작용은 제 1 실시예와 같다.

데이터 신호선(Ld1~Ldn)의 각각에 따라 Y방향으로 배열하는 m개의 단위 회로(P)의 각각은, 적색, 녹색 및 청색의 어느 하나로 발광하는 OLED소자(83)를 갖는다. 예를 들면, 제 1 번째 열의 각 단위 회로(P)는 적색의 OLED소자(83)를 구비하고, 제 2 번째 열의 각 단위 회로(P)는 녹색의 OLED소자(83)를 구비하고, 제 3 번째 열의 각 단위 회로(P)는 청색의 OLED소자(83)를 구비하는 경우이다. 전원 회로(40)는 저위측 전원 전위(VLLe1) 이외에, 적색에 대응하는 열의 각 단위 회로(P)에 공급되는 고위측 전원 전위(VHHe1)[R]와, 녹색에 대응하는 열의 각 단위 회로(P)에 공급되는 고위측 전원 전위(VHHe1)[G]와, 청색에 대응하는 열의 각 단위 회로(P)에 공급되는 고위측 전원 전위(VHHe1)[B]를 생성한다.

이상의 구성에서, 시프트 레지스터(50)로부터 샘플링 신호선(Lsi)에 공급되는 샘플링 신호(SMPi)가 샘플링 기간(Psi)에서 액티브 레벨로 천이하면, 제 i 행째에 속하는 n개의 단위 회로(P)의 트랜스미션 게이트(71)가 일제히 온 상태가 된다. 화상 처리 회로(30)로부터 각 데이터 신호선(Ld1~Ldn)의 각각에 공급되는 데이터 신호(D1~Dn)는 이 샘플링 기간(Psi)에서 트랜스미션 게이트(71)로부터 각 단위 회로(P)에 수용된다. 본 실시예의 단위 회로(P)는 도 3에 예시한 바와 같이, OLED소자(83)에 대하여 병렬로 배치된 캐패시터(Ca)를 포함하고 있기 때문에, 데이터 신호(Dj)가 샘플링 기간(Psi)에 대하여 지연했다고 하여도 이 지연에 기인한 OLED소자(83)의 오발광은 방지된다. 따라서, 각 OLED소자(83)의 휘도를 고정밀도로 제어하여 양호한 표시 품질이 실현된다. 또한, 여기에서는 OLED소자(83)를 제어하기 위한 구동 트랜지스터(81)가 단위 회로(P)에 배치된 액티브 매트릭스 방식의 발광 장치를 예시했지만, 이러한 스위칭 소자를 갖지 않은 패시브 매트릭스 방식의 발광 장치에도 본 발명은 적용된다.

<C : 제 3 실시예>

다음에, 도 9 내지 도 12를 참조하여, 단위 회로(P)의 다른 형태를 예시한다. 또한, 이하의 각 형태 중 제 1 및 제 2 실시예와 같은 요소에 대해서는 공통의 부호를 붙여서 그 설명을 적당히 생략한다.

<C-1 : 제 1 형태>

도 9는 본 실시예의 제 1 형태에 따른 단위 회로(P(Pj))의 구성을 나타내는 회로도이다. 동 도면에 나타낸 바와 같이, 본 형태에 따른 단위 회로(P)의 화소 회로(8b)는 도 3에 나타낸 구동 트랜지스터(81) 및 캐패시터(Ca) 대신에 2개의 인버터(Cb(Cb1, Cb2))를 갖는다. 각 인버터(Cb)는 각각의 드레인 전극이 서로 접속된 p채널형의 트랜지스터(Tr1)와 n채널형의 트랜지스터(Tr2)를 포함한다. 트랜지스터(Tr1)의 소스 전극은 전원선(La)에 접속되고, 트랜지스터(Tr2)의 소스 전극은 전원선(Lb)에 접속된다. 또한, 인버터(Cb1)의 입력 단자는 인버터(75)의 출력 단자에 접속되고, 인버터(Cb1)의 출력 단자는 인버터(Cb2)의 입력 단자에 접속된다. 인버터(Cb2)의 출력 단자는 OLED소자(83)의 양극에 접속된다.

본 형태에서는 트랜지스터(Tr1, Tr2)의 각각의 게이트 용량과 출력 임피던스에 의하여 시정수 회로가 구성된다. 따라서, 인버터(Cb1)과 인버터(Cb2)는 데이터 신호(Dj)에 따른 구동 신호(Sc)를 생성하는 수단(제 1 실시예나 제 2 실시예에서의 구동 트랜지스터(81))으로서 기능하는 동시에, 이 구동 신호(Sc)의 파형을 둔화하는 시정수 회로로서도 기능한다. 구동 신

호(Sc)와 인버터(Cb1, Cb2)의 관계를 편의적으로 구분하면, 데이터 신호(Dj)에 따른 구동 신호(Sc)를 생성하는 기능이 인버터(Cb1)(또는, 인버터(Cb1)의 부분인 트랜지스터(Tr1, Tr2)에 의해 실현되고, 이 구동 신호(Sc)의 파형을 둔화하는 기능이 인버터(Cb2)(또는, 인버터(Cb1, Cb2)의 쌍방)에 의해 실현된다고 할 수 있다.

도 10(a)에 나타난 바와 같이, 인버터(Cb1)의 입력 단자의 전위는 기간(Td)에서의 상승 및 하락이 급격한 구형(矩形)과가 되지만, 인버터(Cb1)로부터 출력되는 구동 신호(Sc)는 도 10(b)에 나타난 바와 같이, 논리 레벨이 반전하면서 파형이 둔화된 파형이 된다. 그리고, 인버터(Cb2)로부터 출력되는 구동 신호(Sc)는 도 10(c)에 나타난 바와 같이, 파형이 더 둔해지고 기간(Td)의 전구간에 걸쳐 OLED소자(83)의 임계값(Vth)을 하회하는 신호가 된다. 따라서, 데이터 신호(Dj)의 지연에 기인하여 기간(Td)에서 노드(Q)가 로 레벨로 천이하여도, 제 1 실시예와 같이 OLED소자(83)의 오발광은 회피된다. 이렇게, 본 형태에서는 인버터(Cb)(특히, 인버터(Cb2))가 시정수 회로로서 기능한다. 이 시정수 회로의 시정수는 화소 회로(8b)에서의 인버터(Cb)의 총수나 각 인버터(Cb)에서의 트랜지스터(Tr1, Tr2)의 특성(게이트 길이나 게이트 폭)을 적당하게 선정함으로써 조정된다.

#### <C-2 : 제 2 형태>

도 11은 본 실시예의 제 2 형태에 따른 단위 회로(P)(단위 회로군(Gi)에 속하는 제 j 열째의 단위 회로(Pj))의 구성을 나타내는 회로도이다. 동 도면에 나타난 바와 같이, 본 형태에 따른 단위 회로(P)는 도 3과 같은 화소 회로(8a)에 더하여 트랜지스터(77)과 저장용량(78)을 갖는다. 트랜지스터(77)는 n채널형의 트랜지스터이며, 소스 전극이 데이터 신호선(Ldj)에 접속됨과 동시에 드레인 전극이 화소 회로(8a)의 구동 트랜지스터(81)의 게이트 전극에 접속된다. 이 트랜지스터(77)의 게이트 전극에는 샘플링 신호선(Lsi)으로부터 샘플링 신호(SMPi)가 공급된다. 한편, 저장용량(78)은 한쪽 단이 구동 트랜지스터(81)의 게이트 전극에 접속됨과 동시에 다른 단이 전원선(La)(또는, 다른 전원선)에 접속된 용량이다. 화소 회로(8a)는 도 3의 구성과 같이, OLED소자(83)에 대하여 병렬로 배치된 캐패시터(Ca)를 갖는다.

이 구성에서, 샘플링 신호(SMPi)의 공급에 의해 트랜지스터(77)가 온 상태로 천이하면, 그 시점에서 데이터 신호선(Ldj)에 공급되고 있는 데이터 신호(Dj)의 논리 레벨이 구동 트랜지스터(81)의 게이트 전극에 인가된다. 또한, 이 논리 레벨은 저장용량(78)에 의해 유지되기 때문에, 샘플링 신호(SMPi)가 비액티브 레벨이 되어 트랜지스터(77)가 오프 상태로 천이한 후에도, 구동 트랜지스터(81)는 그 직전의 샘플링 기간(Ps)에서 단위 회로(P)에 수용된 데이터 신호(Dj)에 따른 상태로 유지된다. 본 형태에서는 제 1 실시예와 같이, 시정수 회로로서 기능하는 캐패시터(Ca)가 화소 회로(8a)에 설치되어 있으므로, 데이터 신호(Dj)의 지연에 기인한 OLED소자(83)의 오발광은 방지된다.

#### <C-3 : 제 3 형태>

도 12는 제 3 형태에 따른 단위 회로(P)의 구성을 나타내는 회로도이다. 동 도면에 나타난 바와 같이, 본 형태에 따른 단위 회로(P)는 캐패시터(Ca)를 갖는 화소 회로(8a)(도 11) 대신에, 2개의 인버터(Cb1, Cb2)를 갖는 화소 회로(8b)(도 9)를 포함한다. 제 1 형태에 대하여 설명한 바와 같이, 본 형태에 의해서도 데이터 신호(Dj)의 지연에 기인한 OLED소자(83)의 오발광은 방지된다.

#### <C-4 : 그 밖의 형태>

본 발명에 따른 단위 회로(P)의 구성(특히, 시정수 회로의 구성)은 이상에서 예시한 것에 한정되지 않는다. 예를 들면, 이상에서 설명한 각 형태의 시정수 회로를 적당히 조합시켜 채용하여도 좋다. 즉, 예를 들면 캐패시터(Ca) 및 인버터(Cb)의 쌍방을 단위 회로(P)에 설치한 구성도 채용된다. 또한, 구동 트랜지스터(81)와 OLED소자(83) 사이에 저항이 끼워 넣어진 구성도 채용된다. 이 구성에서는 구동 트랜지스터(81)와 OLED소자(83) 사이에 개재하는 저항과, OLED소자(83)의 용량 성분이나 배선의 기생 용량에 의하여 구동 신호(Sc)의 파형을 둔화시키는 시정수 회로가 구성된다. 따라서, 이 저항의 저항치는 구동 신호(Sc)의 레벨이 기간(Td)에서 OLED소자(83)의 임계값(Vth)을 초과하지 않도록 선정된다. 또한, 단위 회로(P)의 구성도 임의로 변경된다. 즉, 데이터 신호선(Ldj)으로부터 수용된 데이터 신호(Dj)에 따른 구동 신호(Sc)가 OLED소자(83)에 공급되는 구성이면 충분하고, 그 밖의 요소의 구성의 여하는 불문한다.

또한, 이상의 각 형태에서는 설명의 편의를 위해, 화소 회로(8(8a, 8b))과 데이터 신호선(Ldj)으로부터 데이터 신호(Dj)를 수용하는 수단(도 3의 트랜스미션 게이트(71)나 도 11의 트랜지스터(77))과 데이터 신호(Dj)를 유지하는 수단(도 3의 래치 회로(73)나 도 11의 저장용량(78))을 포함하는 부분을 곁하여 단위 회로(Pj)로 표기하였다. 그러나, 각 형태의 화소 회로(8(8a, 8b))와 데이터 신호(Dj)를 수용하는 수단이나 이것을 유지하는 수단을 포함하는 부분을 본 발명의 화소 회로로 파악하여도 좋다.

<D : 제 4 실시예>

다음에 본 발명의 제 4 실시예에 따른 발광 장치의 구성을 설명한다. 또한, 본 실시예 중 제 1 내지 제 3 실시예와 같은 요소에 대해서는 공통의 부호를 붙여서 그 설명을 적당히 생략한다.

도 13은 각 실시예에 따른 발광 장치 중 1개의 데이터 신호선(Ldj)과 이것에 공통으로 접속된 m개의 단위 회로(Pj)를 추출한 도면이다. 동 도면에 나타낸 바와 같이, 데이터 신호선(Ldj)에는 그 자신의 배선 저항(R)이 부수됨과 동시에 다른 요소와 용량적으로 결합하여 기생 용량(C)이 부수된다. 이들 배선 저항(R)나 기생 용량(C)에 기인한 시정수는 데이터 신호(Dj)의 공급원인 화상 처리 회로(30)로부터 상기 데이터 신호선(Ldj)에 따라 떨어진 위치만큼 크다. 따라서, 모든 단위 회로(Pj)의 화소 회로(8(8a, 8b))에서의 시정수 회로(캐패시터(Ca)나 인버터(Cb))에 대해서 같은 시정수를 설정하면, 화상 처리 회로(30)로부터 이간한 단위 회로(Pj)의 구동 신호(Sc)만큼 시정수에 기인한 둔화의 정도가 커지고, 이 결과로 각 OLED소자(83)의 휘도가 데이터 신호선(Ldj)에 따라 불규칙해지는 문제가 발생할 수 있다. 그래서, 본 실시예에서는 데이터 신호선(Ldj) 중 화상 처리 회로(30)에 가까운 위치에 접속된 단위 회로(Pj)(화소 회로(8))에서의 시정수 회로의 시정수가 이것보다도 화상 처리 회로(30)로부터 볼때 먼 위치에 접속된 단위 회로(Pj)(화소 회로(8))의 시정수 회로의 시정수보다도 큰 수치로 설정된다. 더 구체적으로는, 각 단위 회로군(Gi)에 속하는 단위 회로(Pj)의 시정수 회로의 시정수 $\tau_i$ 는,

$$\tau_1 > \tau_2 > \dots > \tau_m$$

라고 하는 관계를 만족하도록 선정된다. 시정수  $\tau_i$ 가 캐패시터(Ca)의 정전용량이나 인버터(Cb)의 총수(또는, 트랜지스터(Tr1, Tr2)의 특성)에 의해 결정되는 것은 상술한 바와 같다. 이 구성에 의하면, 배선 저항(R)과 기생 용량(C)에 기인한 구동 신호(Sc)의 둔화 정도와, 단위 회로(P)의 시정수 회로에 의한 구동 신호(Sc)의 둔화 정도의 총 합계를 모든 단위 회로(Pj)에 대해서 대략 동일하게 접근시킬 수 있으므로, 데이터 신호선(Ldj)에 따른 휘도의 편차를 억제할 수 있다.

또한, 여기에서는 모든 단위 회로(Pj)의 각각에 대해서 개별적으로 시정수가 선정된 구성을 예시했지만, 단위 회로(Pj)의 그룹마다 시정수가 선정되는 구성으로 하여도 좋다. 예를 들면, 공통의 데이터 신호선(Ldj)에 접속된 m개의 단위 회로(Pj)를 X방향의 중앙에서 2개의 그룹으로 구분하고, 이 중 화상 처리 회로(30)에 가까운 측에 위치하는 그룹의 각 단위 회로(Pj)의 시정수 $\tau_a$ 와, 이것보다도 먼 측에 위치하는 그룹의 각 단위 회로(Pj)의 시정수 $\tau_b$ 가,

$$\tau_a > \tau_b$$

라고 하는 관계를 만족하도록, 각 단위 회로(Pj)에서의 시정수 회로의 시정수가 그룹마다 선정된 구성으로 하여도 좋다. 또한, 여기에서는 m개의 단위 회로(Pj)를 2개의 그룹으로 구분했지만, 그룹의 총수나 그 구분의 방법은 임의이다. 예를 들면, m개의 단위 회로(Pj)를 3개 이상의 그룹으로 구분하고, 화상 처리 회로(30)에 가까운 그룹의 단위 회로(Pj)만큼 시정수 회로의 시정수가 작아지도록 하여도 좋다.

<E : 그 밖의 형태>

도 3 및 도 11에서는 캐패시터(Ca)의 전극(b)이 OLED소자(83)의 음극에 접속된 구성을 예시했지만, 이 전극(b)의 접속처는 임의로 변경된다. 즉, 전극(b)에 대략 일정한 전위가 인가되는 구성이면 좋다. 또한, 단위 회로(P)에 포함되는 구동 트랜지스터(81)(또는, 도 11 및 도 12의 트랜지스터(77))의 도전형은 임의로 변경된다.

각 실시예에서는 OLED소자(83)를 이용한 발광 장치를 예시했지만, 이외의 발광 소자를 이용한 발광 장치에도 본 발명은 적용된다. 예를 들면, 무기 EL 소자를 이용한 발광 장치, 전계 방출 디스플레이(FED:Field Emission Display), 표면 도전형 전자 방출 디스플레이(SED:Surface-conduction Electron-emitter Display), 탄도 전자 방출 디스플레이(BSD:Ballistic electron Surface emitting Display), 또는 발광 다이오드를 이용한 표시 장치 등 각종 발광 장치에도 본 발명이 적용된다.

<F : 전자기기>

각 실시예에 예시한 발광 장치는 각종 전자기기에 사용된다. 본 발명에 따른 전자기기의 일례인 화상 형성 장치의 구성을 이하에 설명한다.

도 14는 각 실시예에 따른 발광 장치를 이용한 화상 형성 장치의 구성을 나타내는 종단 측면도이다. 이 화상 형성 장치는 같은 구성인 4개의 유기 EL 어레이 노광 헤드(20K, 20C, 20M, 20Y)를 대응하는 같은 구성인 4개의 감광체 드럼(상담지체)(120K, 120C, 120M, 120Y)의 노광 위치에 각각 배치한 것이며, 탠덤 방식의 화상 형성 장치로서 구성되어 있다. 유기 EL 어레이 노광 헤드(20K, 20C, 20M, 20Y)는 각 실시예에 따른 발광 장치의 화소부(10)로 구성된다.

도 14에 나타낸 바와 같이, 이 화상 형성 장치는 구동 롤러(121)와 종동 롤러(132)가 설치되어 있고, 도시한 화살표 방향으로 순환 구동되는 중간 전사 벨트(130)를 구비하고 있다. 이 중간 전사 벨트(130)에 대하여 소정의 간격으로 배치된 4개의 상담지체로서의 외주면에 감광층을 가지는 120K, 120C, 120M, 120Y가 배치된다. 부호의 뒤에 부가된 K, C, M, Y는 각각 검정, 시안, 마젠타, 옐로우를 의미하고, 각각 검정, 시안, 마젠타, 옐로우용의 감광체인 것을 나타낸다. 다른 부재에 대해서도 마찬가지이다. 감광체(120K, 120C, 120M, 120Y)는 중간 전사 벨트(130)의 구동과 동기하여 회전 구동된다.

각 감광체(120(K, C, M, Y))의 주위에는 각각 감광체(120(K, C, M, Y))의 외주면을 일정하게 대전시키는 대전 수단(코로나 대전기)(211(K, C, M, Y))과, 이 대전 수단(211(K, C, M, Y))에 의해 일정하게 대전된 외주면을 감광체(120(K, C, M, Y))의 회전에 동기하여 순차적으로 라인 주사하는 본 발명의 상기와 같은 유기 EL 어레이 노광 헤드(20(K, C, M, Y))가 설치되어 있다.

또한, 이 유기 EL 어레이 노광 헤드(20(K, C, M, Y))에서 형성된 정전잠상에 현상제인 토너를 부여하여 가시상(可視像)(토너상)으로 하는 현상 장치(214(K, C, M, Y))를 갖고 있다.

여기에서, 각 유기 EL 어레이 노광 헤드(20(K, C, M, Y))는 유기 EL 어레이 노광 헤드(20(K, C, M, Y))의 어레이 방향이 감광체 드럼(120(K, C, M, Y))의 모선(母線)을 따르도록 설치된다. 그리고, 각 유기 EL 어레이 노광 헤드(20(K, C, M, Y))의 발광 에너지 피크 파장과, 감광체(120(K, C, M, Y))의 감도 피크 파장은 대략 일치하도록 설정되어 있다.

현상 장치(214(K, C, M, Y))는, 예를 들면 현상제로서 비자성 일성분 토너를 사용하는 것으로, 그 일성분 현상제를 예를 들면 공급 롤러로 현상 롤러에 반송하고, 현상 롤러 표면에 부착된 현상제의 막두께를 규제 블레이드로 규제하여, 그 현상 롤러를 감광체(20(K, C, M, Y))에 접촉 혹은 압후(押厚)시키는 것에 의해, 감광체(120(K, C, M, Y))의 전위 레벨에 따라 현상제를 부착시킴으로써, 토너상으로서 현상하는 것이다.

이러한 4색의 단색 토너상 형성 스테이션에 의해 형성된 검정, 시안, 마젠타, 옐로우의 각 토너상은 중간 전사 벨트(130) 상에 순차적으로 1차 전사되고, 중간 전사 벨트(130) 상에서 순차적으로 겹쳐져 풀컬러가 된다. 픽업 롤러(203)에 의해 급지 카세트(201)로부터 1장씩 급송된 기록 매체(202)는 2차 전사 롤러(136)에 보내진다. 중간 전사 벨트(130) 상의 토너상은 2차 전사 롤러(136)에서 용지 등의 기록 매체(202)에 2차 전사되고, 정착부인 정착 롤러쌍(137)을 통과함으로써 기록 매체(202) 상에 정착된다. 이후, 기록 매체(202)는 배지 롤러쌍(138)에 의해 장치 상부에 형성된 배지 트레이 상으로 배출된다.

이렇게 도 14의 화상 형성 장치는 기입 수단으로서 유기 EL 어레이를 사용하고 있으므로, 레이저 주사 광학계를 사용했을 경우보다도 장치의 소형화를 꾀할 수 있다.

다음에, 본 발명에 의한 화상 형성 장치에 따른 다른 실시예에 대하여 설명한다.

도 15는 화상 형성 장치의 종단 측면도이다. 도 15에서 화상 형성 장치에는 주요 구성 부재로서 로타리 구성의 현상 장치(161), 상담지체로서 기능하는 감광체 드럼(165), 유기 EL 어레이가 설치되어 있는 노광 헤드(167), 중간 전사 벨트(169), 용지 반송로(174), 정착기의 가열 롤러(172), 급지 트레이(178)가 설치되어 있다. 노광 헤드(167)는 상술한 각 실시예에 따른 발광 장치의 화소부(10)로 구성되어 있다.

현상 장치(161)는 현상 로타리(161a)가 축(161b)을 중심으로 해서 반시계 방향으로 회전한다. 현상 로타리(161a)의 내부는 4분할 되어 있고, 각각 옐로우(Y), 시안(C), 마젠타(M), 블랙(K)의 4색의 상형성 유닛이 설치되어 있다. 현상 롤러(162a~162d) 및 토너 공급 롤러(163a~163d)는 4색의 각 상형성 유닛에 각각 배치되어 있다. 또한, 규제 블레이드(164a~164d)에 의해 토너는 소정의 두께로 규제된다.

감광체 드럼(165)은 대전기(168)에 의해 대전되고, 도시 생략한 구동 모터, 예를 들면 스텝 모터에 의해 현상 롤러(162a)와는 역방향으로 구동된다. 중간 전사 벨트(169)는 종동 롤러(170b)와 구동 롤러(170a) 간에 팽팽히 걸쳐져 있고, 구동 롤러(170a)가 감광체 드럼(165)의 구동 모터에 연결되어 중간 전사 벨트에 동력을 전달하고 있다. 상기 구동 모터의 구동에 의해 중간 전사 벨트(169)의 구동 롤러(170a)는 감광체 드럼(165)과는 역방향으로 회전된다.

용지 반송로(174)에는 복수의 반송 롤러와 배지 롤러쌍(176) 등이 설치되어 있고 용지를 반송한다. 중간 전사 벨트(169)에 담지되어 있는 한면의 화상(토너상)이 2차 전사 롤러(171)의 위치에서 용지의 한면에 전사된다. 2차 전사 롤러(171)는 클러치(clutch)에 의해 중간 전사 벨트(169)에 이간하거나 당접하고, 클러치 온에서 중간 전사 벨트(169)에 맞닿아 용지에 화상이 전사된다.

상기한 바와 같이 하여 화상이 전사된 용지는 다음에 정착 히터를 갖는 정착기에서 정착 처리된다. 정착기에는 가열 롤러(172), 가압 롤러(173)가 설치되어 있다. 정착 처리 후의 용지는 배지 롤러쌍(176)으로 들어가 화살표(F) 방향으로 진행된다. 이 상태에서부터 배지 롤러쌍(176)이 역방향으로 회전하면, 용지는 방향을 반전하여 양면 인쇄용 반송로(175)를 화살표(G) 방향으로 진행한다. 용지는 급지 트레이(178)로부터 픽업 롤러(179)에 의해 1장씩 꺼내지게 되어 있다.

용지 반송로에서 반송 롤러를 구동하는 구동 모터는, 예를 들면 저속의 브러쉬리스(brushless) 모터가 사용된다. 또한, 중간 전사 벨트(169)는 색 어긋남 보정 등이 필요하게 되므로 스텝 모터가 사용되고 있다. 이들 각 모터는 도시 생략한 제어 수단에서의 신호에 의해 제어된다.

도면의 상태에서, 옐로우(Y)의 정전잠상이 감광체 드럼(165)에 형성되고, 현상 롤러(162a)에 고전압이 인가됨으로써, 감광체 드럼(165)에는 옐로우의 화상이 형성된다. 옐로우의 뒷쪽 및 앞쪽의 화상이 모두 중간 전사 벨트(169)에 담지되면 현상 로타리(161a)가 90도 회전한다.

중간 전사 벨트(169)는 1회전하여 감광체 드럼(165)의 위치로 되돌아온다. 다음에, 시안(C)의 2면의 화상이 감광체 드럼(165)에 형성되고, 이 화상이 중간 전사 벨트(169)에 담지되어 있는 옐로우의 화상에 겹쳐져 담지된다. 이하, 같은 방법으로 현상 로타리(161)의 90도 회전, 중간 전사 벨트(169)에의 화상 담지 후의 1회전 처리가 반복된다.

4색의 칼라 화상 담지에는 중간 전사 벨트(169)가 4회전하고, 그 후에 다시 회전 위치가 제어되어 2차 전사 롤러(171)의 위치에서 용지에 화상을 전사한다. 급지 트레이(178)로부터 급지된 용지를 반송로(174)로 반송하고, 2차 전사 롤러(171)의 위치에서 용지의 한면에 칼라 화상을 전사한다. 한면에 화상이 전사된 용지는 배지 롤러쌍(176)으로 반전되어서 반송 경로에서 대기하고 있다. 그 후, 용지는 적당한 타이밍에서 2차 전사 롤러(171)의 위치로 반송되어서 다른 면에 칼라 화상이 전사된다. 하우징(180)에는 배기 팬(181)이 설치되어 있다.

그런데, 이상의 각 형태에 따른 화상 형성 장치에서는 OLED소자(83)로부터 상담지체(예를 들면, 도 14의 감광체 드럼(120(K, C, M, Y))이나 도 15의 감광체 드럼(165))에 조사되는 광량이 소정의 임계값(Lth)을 초과했을 때에 감광하여 정전잠상이 형성된다. 여기에서, 상담지체에 대하여 임계값(Lth)에 상당하는 광량을 조사하기 위해 OLED소자(83)에 인가되어야 할 전압(Vth1)이 OLED소자(83)의 임계값(Vth)보다도 큰 경우에는, 데이터 신호(Dj)의 지연에 기인해서 구동 신호(Sc)의 레벨이 전압(Vth)을 초과함으로써 OLED소자(83)가 발광했다고 하여도, 이 레벨이 전압(Vth) 이하이면(즉, 상담지체에 조사되는 광량이 임계값(Lth)을 하회하는 광량이면), 상담지체에 형성되는 정전잠상에 데이터 신호(Dj)의 지연의 영향은 나타나지 않는다. 따라서, 본 발명에 따른 발광 장치를 광기입형 화상 형성 장치에 채용했을 경우에는, 기간(Td)에서의 구동 신호(Sc)의 레벨이 상담지체를 감광시키기 위한 임계값(Vth)을 하회하는 레벨(임계값(Vth)을 초과하는 레벨이어도 좋다)로 감쇠되도록 시정수 회로의 시정수가 선정된 구성으로 하여도 좋다.

또한, 상술한 발광 장치를 화상 판독 장치에 적용하여도 좋다. 이 화상 판독 장치는 대상물에 광선을 조사하는 발광부와, 대상물에 의해 반사된 광선을 판독하여 화상 신호를 출력하는 판독부를 구비하고, 상술한 발광 장치를 발광부에 사용한 것을 특징으로 한다. 여기에서, 발광부가 이동하고 판독부가 고정되어도 좋고, 발광부와 판독부가 일체가 되어 이동하는 것이어도 좋다. 후자의 경우에는 판독부를 TFT로 구성하여, 판독부와 발광부를 1장의 기판 상에 형성하여도 좋다. 이러한 화상 판독 장치로서는 스캐너나 바코드 리더가 해당한다.

또한, 본 발명에 따른 발광 장치가 적용되는 전자기기는 화상 형성 장치나 화상 판독 장치에 한정되지 않는다. 예를 들면, 각종의 전자기기에서의 표시 디바이스로서 각 실시예에 따른 발광 장치를 이용하여도 좋다. 이러한 전자기기로서는 PC, 휴대 전화기, 휴대형 정보 단말(PDA:Personal Digital Assistants), 디지털 스틸 카메라, 텔레비전, 비디오 카메라, 카네

비게이션 장치, 페이지, 전자수첩, 전자 페이지, 전자 계산기, 워드프로세서, 워크스테이션, 화상 전화기, POS 단말, 프린터, 스캐너, 복사기, 비디오 플레이어, 터치 패널을 구비한 기기 등을 들 수 있다. 이들 전자기기에는 제 2 실시예로서 설명한 바와 같이 복수의 단위 회로(P)를 면 모양으로 배열한 발광 장치가 적합하게 채용된다.

### 발명의 효과

본 발명에 의하면, 발광 소자의 휘도를 지정하는 신호가 단위 회로로 수용되는 시간 길이를 단축하지 않고, 각 발광 소자의 휘도의 오차를 방지할 수 있다.

### (57) 청구의 범위

#### 청구항 1.

구동 신호의 레벨에 따른 휘도(輝度)가 되는 발광 소자와,

상기 발광 소자의 휘도를 지정하는 구동 신호를 데이터 신호에 따라 생성하는 신호 생성 회로를 구비하고,

상기 신호 생성 회로는 데이터 신호에 따른 전위가 게이트 전극에 공급됨으로써 구동 신호를 생성하는 구동 트랜지스터와, 상기 구동 트랜지스터로부터 상기 발광 소자에 공급되는 구동 신호의 파형을 둔화시키는 시정수(時定數) 회로를 포함하는 것을 특징으로 하는 화소 회로.

#### 청구항 2.

제 1 항에 있어서,

상기 발광 소자는 구동 신호의 레벨이 임계값을 초과함으로써 발광하고,

상기 시정수 회로는 상기 신호 생성 회로에 입력되는 데이터 신호 중 소정의 시간 길이보다도 짧은 시간 길이에서 상기 임계값을 초과하는 신호가 상기 신호 생성 회로에 입력되는 경우에, 상기 시정수 회로로부터 출력되는 신호가 상기 발광 소자의 상기 임계값을 하회(下回)하는 레벨로 감쇠되도록 시정수가 결정되어 있는 것을 특징으로 하는 화소 회로.

#### 청구항 3.

제 1 항에 있어서,

상기 발광 소자는 제 1 전극과 제 2 전극을 포함하고,

상기 구동 트랜지스터를 통하여 상기 제 1 전극에 전기적으로 접속되는 전원선을 구비하고,

상기 시정수 회로는 상기 전원선과 상기 제 1 전극 사이에 배치되는 것을 특징으로 하는 화소 회로.

#### 청구항 4.

제 3 항에 있어서,

상기 시정수 회로는 한쪽의 전극이 상기 발광 소자의 제 1 전극에 접속되는 동시에, 다른쪽의 전극에 대략 일정한 전위가 인가되는 용량 소자를 포함하는 것을 특징으로 하는 화소 회로.

### 청구항 5.

제 4 항에 있어서,

상기 시정수 회로는 상기 전원선과 상기 제 1 전극 사이에 개재하는 저항을 포함하는 것을 특징으로 하는 화소 회로.

### 청구항 6.

제 1 항에 있어서,

상기 발광 소자는 제 1 전극과 제 2 전극을 포함하고,

상기 구동 트랜지스터는 상보형(相補型)인 제 1 트랜지스터와 제 2 트랜지스터로 이루어지는 제 1 반전 회로이며,

상기 시정수 회로는 상보형인 제 3 트랜지스터와 제 4 트랜지스터로 이루어지는 제 2 반전 회로이며,

데이터 신호에 따른 전위가 상기 제 1 반전 회로의 입력단에 공급되고, 상기 제 1 반전 회로의 출력단은 상기 제 2 반전 회로의 입력단에 접속되며, 상기 제 2 반전 회로의 출력단은 상기 제 1 전극에 접속되어 있는 것을 특징으로 하는 화소 회로.

### 청구항 7.

구동 신호의 레벨에 따른 휘도가 되는 발광 소자를 각각 포함하는 복수의 화소 회로와,

각 발광 소자의 휘도를 시(時)분할로 지정하는 데이터 신호를 전송하는 데이터 신호선을 구비하고,

상기 복수의 화소 회로의 각각은,

상기 화소 회로에 대응한 샘플링 기간에 상기 데이터 신호선로부터 샘플링되는 데이터 신호에 따른 레벨의 구동 신호를 생성하는 신호 생성 회로를 포함하고,

상기 신호 생성 회로는 데이터 신호에 따른 전위가 게이트 전극에 공급됨으로써 구동 신호를 생성하는 구동 트랜지스터와, 상기 구동 트랜지스터로부터 상기 발광 소자에 공급되는 구동 신호의 파형을 둔화시키는 시정수 회로를 포함하는 것을 특징으로 하는 발광 장치.

### 청구항 8.

제 7 항에 있어서,

상기 발광 소자는 구동 신호의 레벨이 임계값을 초과함으로써 발광하고,

상기 시정수 회로는 상기 신호 생성 회로에 입력되는 데이터 신호 중 소정의 시간 길이보다도 짧은 시간 길이에서 상기 임계값을 초과하는 신호가 상기 신호 생성 회로에 입력되는 경우에, 상기 시정수 회로로부터 출력되는 신호가 상기 발광 소자의 상기 임계값을 하회하는 레벨로 감쇠되도록 시정수가 결정되어 있는 것을 특징으로 하는 발광 장치.

### 청구항 9.

제 7 항에 있어서,

상기 복수의 화소 회로 중 제 1 화소 회로에 포함되는 시정수 회로의 시정수는, 상기 데이터 신호선 중 데이터 신호의 공급원(元)으로부터의 경로 길이가 상기 제 1 화소 회로보다도 짧은 지점에 접속된 제 2 화소 회로의 시정수보다도 작은 것을 특징으로 하는 발광 장치.

### 청구항 10.

제 9 항에 있어서,

상기 각 화소 회로에 포함되는 시정수 회로의 시정수는, 상기 데이터 신호선 중 데이터 신호의 공급원으로부터 상기 화소 회로가 접속되는 지점까지의 배선 저항 및 기생 용량과 상기 화소 회로의 시정수 회로를 포함하는 부분의 시정수가 모든 화소 회로에 대하여 대략 동일하게 되도록 화소 회로마다 결정되어 있는 것을 특징으로 하는 발광 장치.

### 청구항 11.

제 9 항에 있어서,

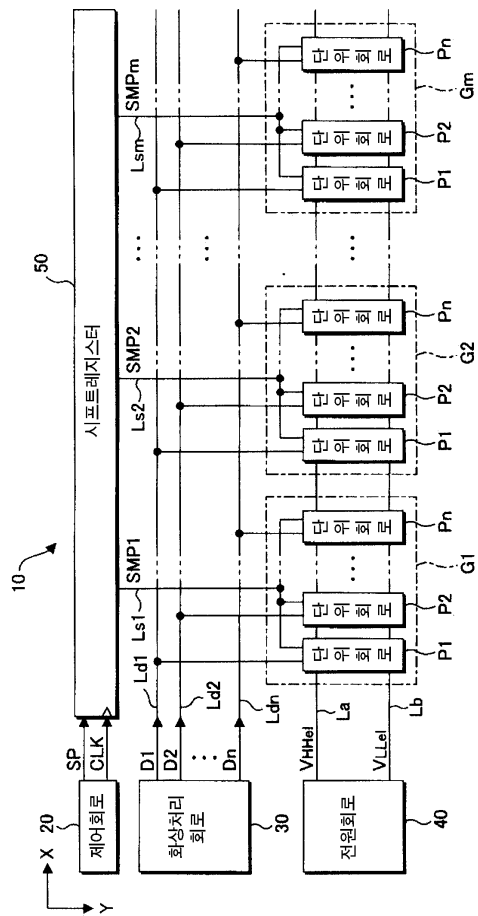
상기 각 화소 회로에 포함되는 시정수 회로의 시정수는, 상기 복수의 화소 회로 중 제 1 그룹에 속하는 각 화소 회로의 시정수 회로의 시정수가, 상기 데이터 신호선 중 데이터 신호의 공급원으로부터의 경로 길이가 상기 제 1 그룹의 각 화소 회로보다도 짧은 지점에 접속된 제 2 그룹에 속하는 각 화소 회로의 시정수 회로의 시정수보다도 작아지도록, 화소 회로의 각 그룹마다 결정되어 있는 것을 특징으로 하는 발광 장치.

### 청구항 12.

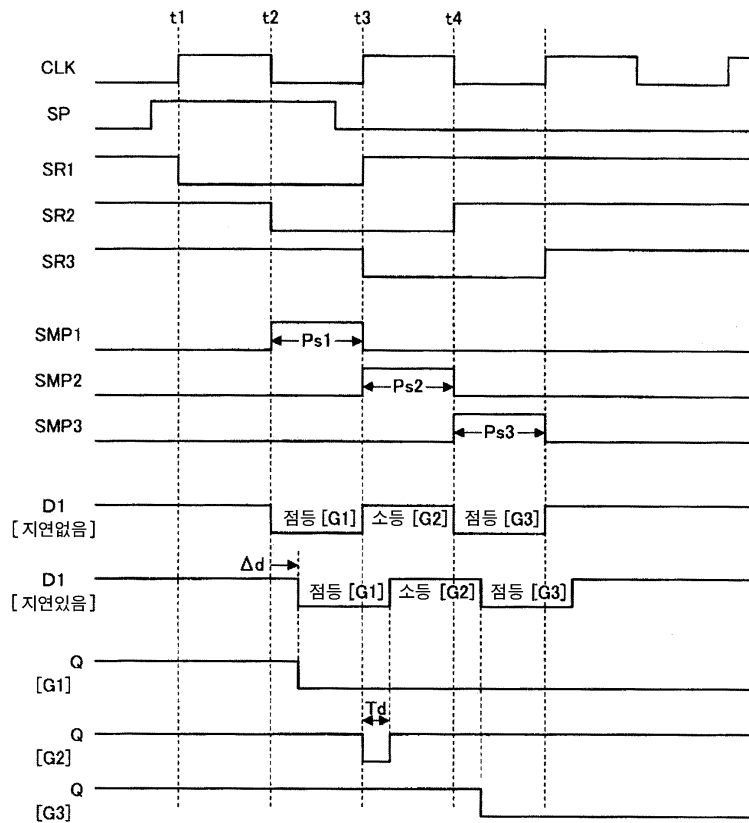
제 7 항 내지 제 11 항 중 어느 한 항에 기재된 발광 장치를 구비하는 전자기기.

도면

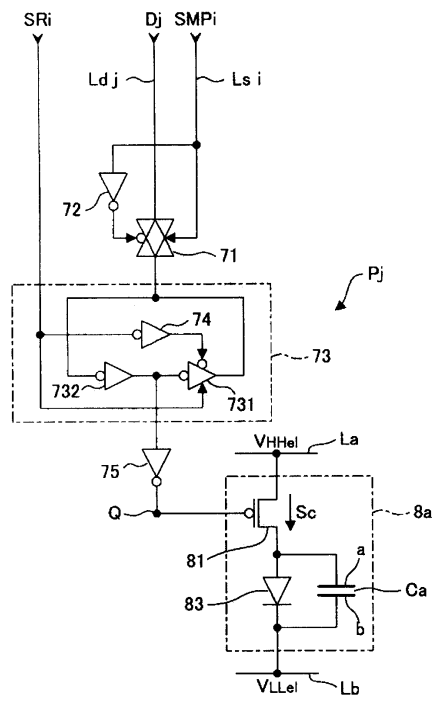
도면1



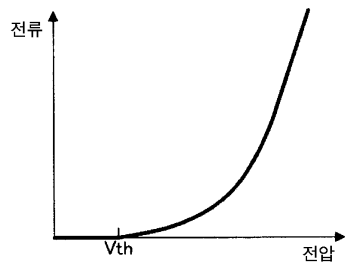
도면2



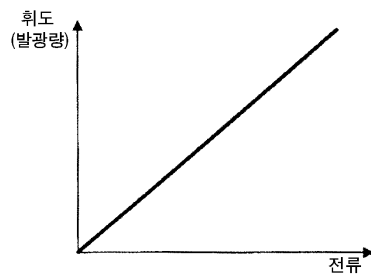
도면3



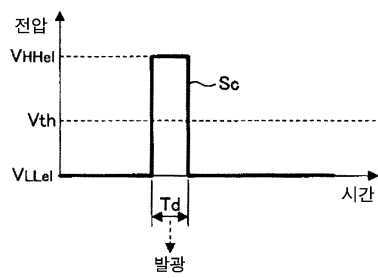
도면4



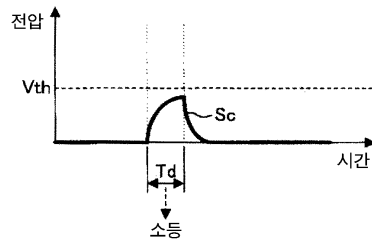
도면5



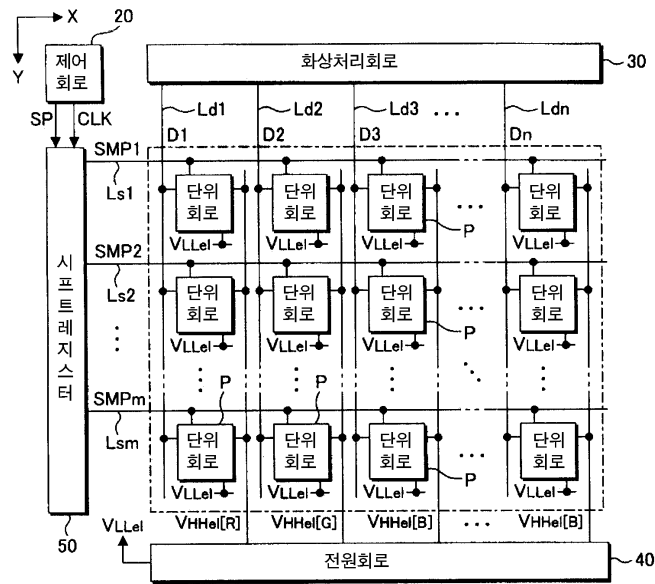
도면6



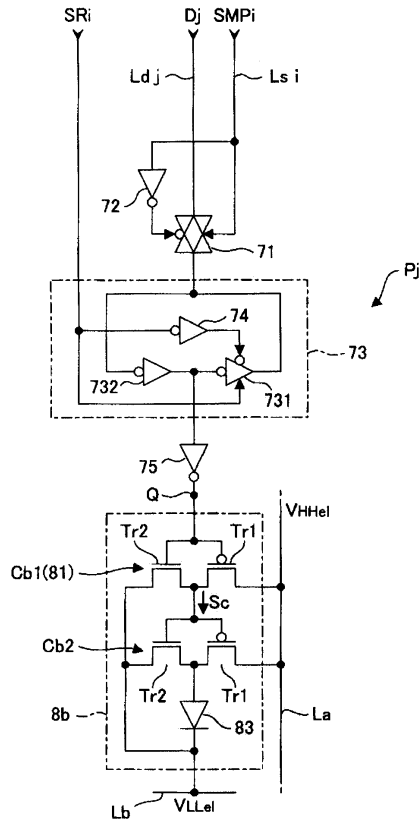
도면7



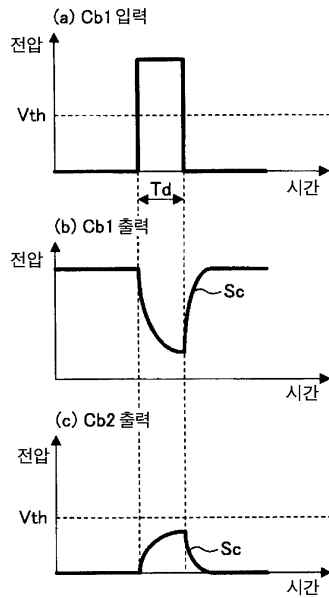
도면8



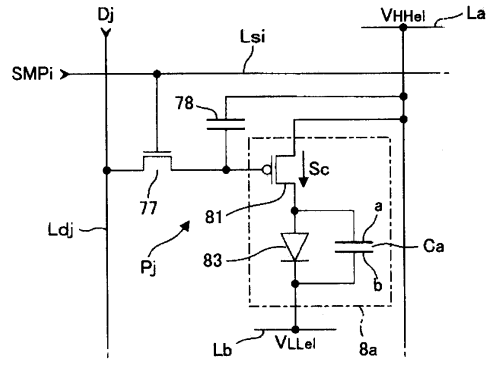
도면9



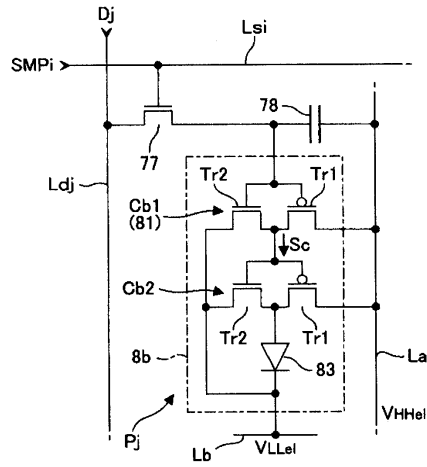
도면10



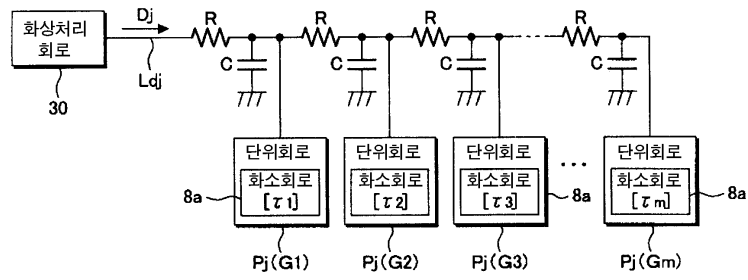
도면11



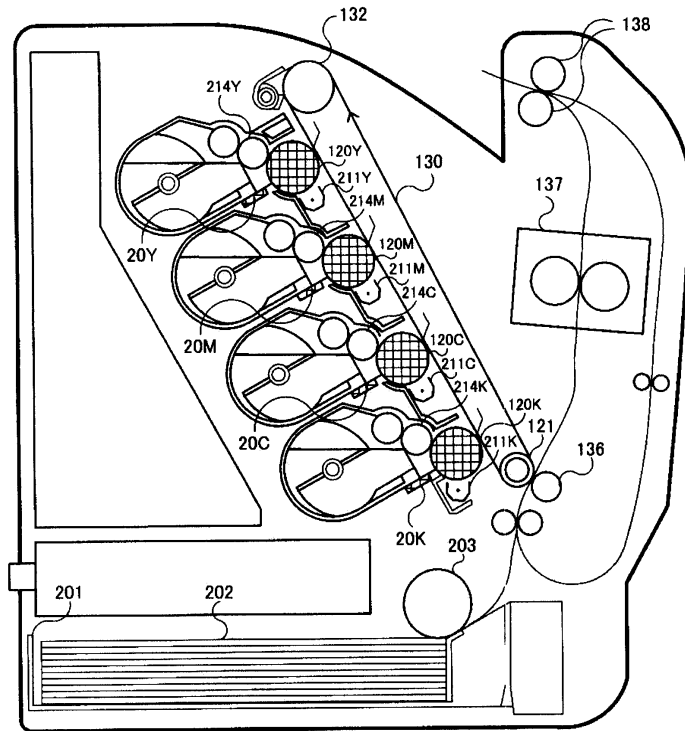
도면12



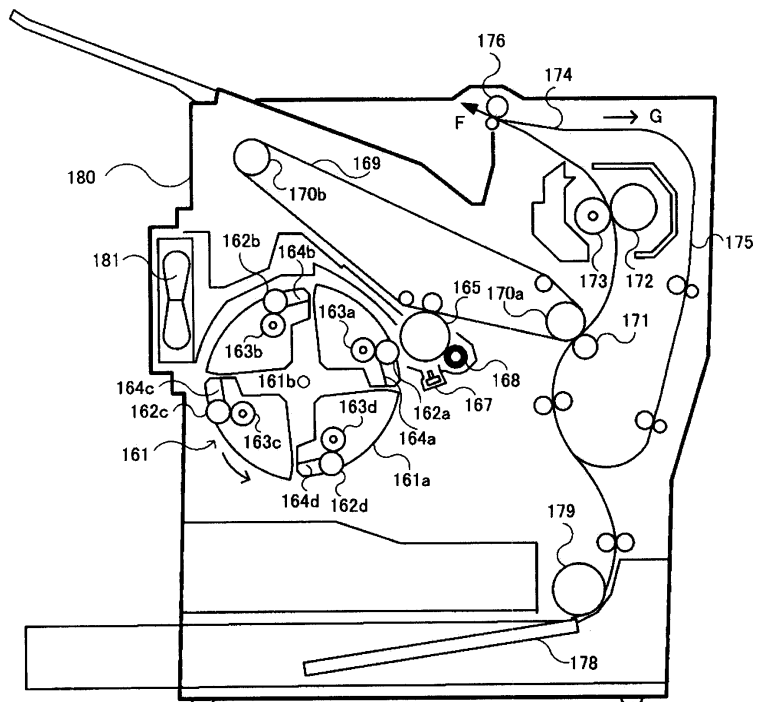
도면13



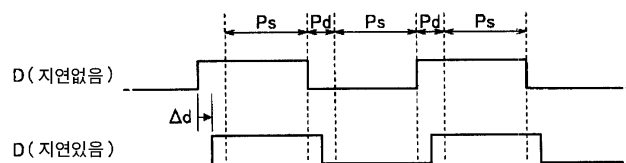
도면14



도면15



도면16



|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 像素电路，发光器件和电子器件                                       |         |            |
| 公开(公告)号        | <a href="#">KR1020060086857A</a>                     | 公开(公告)日 | 2006-08-01 |
| 申请号            | KR1020060007285                                      | 申请日     | 2006-01-24 |
| [标]申请(专利权)人(译) | 精工爱普生株式会社  |         |            |
| 申请(专利权)人(译)    | 精工爱普生株式会社  |         |            |
| 当前申请(专利权)人(译)  | 精工爱普生株式会社  |         |            |
| [标]发明人         | WAKABAYASHI JUNICHI                                  |         |            |
| 发明人            | WAKABAYASHI, JUNICHI                                 |         |            |
| IPC分类号         | G09G3/20 G09G3/30 G09G3/32 G03G15/02                 |         |            |
| CPC分类号         | G09G3/3291 G09G2300/0857 G09G3/3258 G09G3/3266       |         |            |
| 代理人(译)         | MOON, KI桑  |         |            |
| 优先权            | 2005019264 2005-01-27 JP<br>2005347545 2005-12-01 JP |         |            |
| 其他公开文献         | KR100787548B1  |         |            |
| 外部链接           | <a href="#">Espacenet</a>                            |         |            |

摘要(译)

本发明涉及指定发光器件亮度的信号是单元电路。并且承认的时间长度不会缩短。这是为了防止每个发光器件的亮度误差。由于驱动信号 (Sc) 的电平超过阈值 (Vth)，OLED器件 (83) 发光。产生根据数据信号 (Dj) 的驱动信号 (Sc)，其中驱动晶体管 (81) 从数据信号线 (Ldj) 进入。电容器 (Ca) 平行地布置在OLED器件 (83) 周围。它用作减慢从驱动晶体管 (81) 提供OLED器件 (83) 的驱动信号 (Sc) 的波形的时间常数电路。为了被由电容器 (Ca) 的静电电容产生的驱动信号 (Sc) 中的超过阈值 (Vth) 的部分是驱动晶体管 (81) 的时间长度缩短而被抑制。如果预定时间长度低于阈值 (Vth)，则选择它。像素，控制电路，移位寄存器，锁存电路，电容器，数据信号线。

