(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 31/12
H05B 33/26

(11) 공개번호 특2001-0067245
(43) 공개일자 2001년07월12일

(21) 출원번호 10-2000-0056906
(22) 출원일자 2000년09월28일

(30) 우선권주장 1999-277104 1999년09월29일 일본(JP)

(71) 출원인 산요 덴키 가부시키가이샤
다카노 야스아키
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 야마다쯔또무
일본기후껭모또스궁호즈미쪼바바마에하따마찌3쪼메112-3

(74) 대리인 장수길
주성민

심사청구 : 있음

(54) E L 표시 장치

요약

게이트 라인 GL과 드레인 라인 DL의 교차부, 게이트 라인 GL과 구동 라인 VL의 교차부, 유지 용량 라인 CL과 드레인 라인 DL의 교차부, 유지 용량 라인 CL과 구동 라인 VL의 교차부에 발생하는 단락, 내전압 특성의 저하를 방지한다.

게이트 라인 GL과 드레인 라인 DL의 교차부, 게이트 라인 GL과 구동 라인 VL의 교차부, 유지 용량 라인 CL과 드레인 라인 DL의 교차부, 유지 용량 라인 CL과 구동 라인 VL의 교차부에 반도체층(교차 보호막 F1, F2, F3, F4)을 삽입한다. 특히 이 교차부 CR1 CR4에 대응하는 부분에는 불순물을 도입하지 않고 저항치를 높게 한다. 또한 교차 보호막은 교차부 CR1에서 교차부 CR2까지 일체로 연장되며 교차부 CR3에서 교차부 CR4도 일체로 연장된다.

대표도
도 1

색인어
EL 표시 장치, 교차 보호막, 박막 트랜지스터, 유지 용량 라인, 반도체막

명세서

도면의 간단한 설명

도 1은 본 발명의 EL 표시 장치의 표시 화소의 평면도.

도 2는 도 1의 A-A선에서의 단면도.

도 3은 도 1의 B-B선에서의 단면도.

도 4는 도 1의 EL 표시 장치의 제조 방법을 설명하는 도면.

도 5는 도 1의 EL 표시 장치의 제조 방법을 설명하는 도면.

도 6은 도 1의 EL 표시 장치의 제조 방법을 설명하는 도면.

도 7은 종래의 EL 표시 장치의 표시 화소의 평면도.

도 8은 도 7의 A-A선의 단면도.

도 9는 도 7의 B-B선의 단면도.

< 도면의 주요 부분에 대한 부호의 설명>

1 : 제1 TFT

2 : 유지 용량 전극

3 : 용량 전극

4 : 제2 TFT

6 : 양극

7 : 게이트 절연막

8 : 유지 용량

14 : 층간 절연막

20 : EL 소자

GL : 게이트 라인

DL : 드레인 라인

CL : 유지 용량 라인

VL : 구동 라인 VL

F1, F2, F3, F4 : 교차 보호막

CR1, CR2 : 교차부

CR3, CR4 : 교차부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일렉트로 루미네센스 소자 및 박막 트랜지스터를 구비한 일렉트로 루미네센스 표시 장치에 관한 것이다.

최근, 일렉트로 루미네센스(Electro Luminescence : 이하, 「EL」이라고 칭한다) 소자를 이용한 EL 표시 장치가 CRT나 LCD 대신에 표시 장치로서 주목받고 있고, 예를 들면, 그 EL 소자를 구동시키는 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor : 이하, 「TFT」라고 칭한다)를 포함한 EL 표시 장치의 연구 개발도 진행되고 있다.

도 7에 유기 EL 표시 장치의 표시 화소를 나타내고, 도 8에 도 7의 A-A선에 따른 단면도를 나타내고, 도 9에 도 7의 B-B선에 따른 단면도를 나타낸다.

도면에 도시한 바와 같이, 게이트 라인 GL과 드레인 라인 DL로 둘러싸인 영역에 표시 화소(20)가 형성되어 있다. 양 신호선의 교점 부근에는 스위칭 소자인 제1 TFT(1)가 설치되어 있으며, 그 TFT(1)의 소스는 유지 용량 전극(2)과 용량을 구성하는 용량 전극(3)을 겸함과 함께, 유기 EL 소자를 구동하는 제2 TFT(4)의 게이트(15)에 접속되어 있다. 제2 TFT(4)의 소스는 유기 EL 소자의 양극(6)에 접속되며 다른쪽의 드레인은 유기 EL 소자를 구동하는 구동 라인 VL에 접속되어 있다.

또한, 상기 유지 용량 전극(2)은 크롬 등으로 이루어져 있고, 상층의 게이트 절연막(7)을 통하여 제1 TFT(1)의 소스와 한 라인의 용량 전극(3)과 중첩하고, 상기 게이트 절연막(7)을 유전체층으로서 전하를 축적하고 있다. 이 유지 용량(8)은 제2 TFT(4)의 게이트(15)에 인가되는 전압을 유지하고 있다.

계속해서, 스위칭용 제1 TFT(1)에 대하여 도 7과 도 8을 참조하면서 설명한다.

우선, 석영 유리, 무알카리 유리 등으로 이루어지는 투명한 절연성 기판(10) 상에 크롬(Cr), 몰리브덴(Mo) 등의 고융점 금속으로 이루어지는 제1 게이트 전극(11)이 설치되어 있다. 이 제1 게이트 전극(11)은 도 7과 같이 게이트 라인 GL과 일체로 예를 들면 좌우에 복수 라인 평행하게 연장되어 있다. 또한 도 8의 제1 게이트 전극(11)의 우측 옆에는 제1 게이트 전극(11)과 동일 공정으로 만들어진 유지 용량 전극(2)이 형성되어 있다. 이 유지 용량 전극(2)은 유지 용량(8)을 구성하기 때문에, 도 7과 같이 제1 TFT(1)와 제2 TFT(4)와의 사이에서 확대된 부분을 포함하고, 이들은 좌우에 연장된 유지 용량 라인 CL과 일체로 구성되어 있다.

계속해서, 게이트 절연막(7)을 통하여 다결정 실리콘 (p-Si라고 칭한다) 막으로 이루어지는 제1 능동층(12)이 형성되어 있다. 이 제1 능동층(12)은 LDD(Lightly Doped Drain) 구조가 채용되고 있다. 즉, 게이트의 양측에 저농도 영역이 설치되며, 또한 외측에는 고농도의 소스 영역 및 드레인 영역이 설치되어 있다. 상기 제1 능동층(12)의 상층에는 스토퍼 절연막(13)이 설치되어 있다. 이 스토퍼 절연막(13)은 제1 능동층(12)으로의 이온 주입 저지막이고, 여기서는 Si 산화막으로 이루어진다.

그리고, 게이트 절연막(7), 능동층(12) 및 스토퍼 절연막(13) 상에는 예를 들면, 순서대로 SiO_2막, SiN막 및 SiO_2막이 적층된 층간 절연막(14)이 설치되며, 드레인에 설치한 컨택트홀 C1 통하여 드레인 전극으로 이루어지는 드레인 라인 DL이 전기적으로 접속되어 있다. 또한 전면에는, 표면의 요철을 평탄하게 하기 위하여 예를 들면, 절연성 유기 수지로 이루어지는 평탄화막 PLN이 형성되어 있다.

EL 표시 장치는 전류 구동이므로, EL층이 균일한 막 두께가 아니면 안된다. 막 두께가 얇은 부분으로 전류 집중이 발생하기 때문이다. 따라서 적어도 이 형성 영역은 상당한 평탄성이 요구되기 때문에, 고화 전에 유동성을 갖는 재료인 상기 평탄화막 PLN이 채용된다.

다음에, 유기 EL 소자를 구동하는 제2 TFT(4)에 대하여 도 7과 도 9를 참조하여 설명한다.

전술한 절연성 기판(10) 상에는, 상기 제1 게이트(11)와 동일 재료인 제2 게이트 전극(15)이 설치되어 있으며, 게이트 절연막(7)을 통하여 제2 능동층(16)이 설치되어 있다. 전술한 바와 마찬가지로 제2 능동층 상에는 스토퍼 절연막(17)이 설치되어 있다.

상기 제2 능동층(16)에는 게이트 전극(15) 상의 진성 또는 실질적으로 진성인 채널과, 이 채널의 양측에 p형 불순물의 소스 영역 및 드레인 영역이 설치되며 p형 채널 TFT를 구성하고 있다.

그리고 전면에는, 전술한 층간 절연막(14)이 형성되어 있다. 그리고 컨택트홀 C2를 통하여 구동 라인 VL이 전기적으로 접속되어 있다. 또한 전면에는 전술한 평탄화막 PLN이 형성되며, 컨택트홀 C3에 의해 소스가 노출되어 있다. 그리고 이 컨택트홀 C3을 통하여 ITO(Indium Thin Oxide)로 이루어지는 투명 전극(유기 EL 소자의 양극 ; 6)이 소스와 전기적으로 접속되어 형성되고 있다.

유기 EL 소자(20)는 상기 양극(6), MTDATA[4, 4-bis(3-methylphenylphenylamino)biphenyl]로 이루어지는 제1 홀 수송층(21) 및 TPD[4, 4, 4-tris(3-methylphenylphenylamino)trlphenylanine]로 이루어지는 제2 홀 수송층(22), 퀴나크리돈(Quinacridone) 유도체를 포함하는 Bebq2(10-벤조〔h〕퀴놀리놀-베릴륨착체)로 이루어지는 발광층(23) 및 Bebq2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM, 마그네슘·인듐 합금으로 이루어지는 음극(25)이 이 순서로 적층 형성된 구조로 유기 EL 소자의 실질 전면에 설치되어 있다.

유기 EL 소자의 발광 원리 및 동작은 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사 실활하는 과정에서 발광층 EM으로부터 광이 발하고, 이 광이 투명한 양극으로부터 투명 절연 기판을 통하여 외부로 방출되어 발광한다.

이와 같이, 제1 TFT(1)의 소스 S로부터 공급된 전하가 유지 용량(8)에 축적되며, 제2 TFT(4)의 게이트(15)에 인가되며 그 전압에 따라 유기 EL 소자를 전류 구동하고 발광한다.

발명이 이루고자 하는 기술적 과제

전술한 EL 소자는 최근 활발하게 개발되는 것으로, 수율이 높은 EL 표시 장치를 제조해야만 한다. 더구나 고해상도를 실현하기 위해서는 표시 화소 사이즈를 가능한 한 작게하고, 한정된 표시 화소 영역에 의해 많은 표시 화소를 제조해야만 한다.

당연히, 표시 화소 영역에는 게이트 라인 GL과 드레인 라인 DL과의 교차, 상기 게이트 라인 GL과 상기 구동 라인 VL과의 교차, 유지 용량 라인 CL과 드레인 라인 DL과의 교차 및 상기 유지 용량 라인 CL과 상기 구동 라인 VL과의 교차의 합계 4개소의 교차 부분이 표시 화소마다 있고, 전체로는 4개 화소×표시 화소수의 수만큼 존재하게 된다.

그리고, 이 교차부에서의 단락, 내전압 특성의 저하가 발생하고, 표시 특성을 악화시키는 문제가 있었다. 특히 구동 라인 VL은 EL 소자에 전류를 공급하는 라인으로, 구동 라인 VL과의 교차부 등으로부터 전류가 누설되면 EL 소자의 밝기가 저하할 문제가 있었다.

본 발명은 전술한 과제에 감안하여 이루어지며, 첫째, 표시 화소를 둘러싸 도록 격자형으로 배치된 제1 라인과 상기 제2 라인의 교차부에 반도체층을 삽입하는 것으로 해결하는 것이다.

반도체층은 저불순물 농도나 또는 불순물이 실질 도입되어 있지 않으면, 비교적 저항이 높은 막이 된다. 따라서 격자형으로 배치되어 있는 제1 라인과 제2 라인 간에 반도체층을 삽입함으로서, 상기 제1 라인과 상기 제2 라인과의 내전압 특성을 향상시킬 수 있다.

둘째, 게이트 라인과 상기 구동 라인과의 교차부에 박막 트랜지스터의 능동층을 구성하는 반도체막을 삽입하는 것으로 해결하는 것이다.

특히 게이트 라인과 구동 라인 VL과의 교차부에 박막 트랜지스터를 구성하는 반도체층과 동일 공정에서 형성된 반도체층을 설치하면, 제조 공정의 간략화가 실현 가능함과 함께 게이트 라인 GL과 구동 라인 VL과의 내전압 특성을 향상시킬 수 있다.

셋째, 구동 라인과 드레인 라인이 인접하여 연장되는 구조에 있어서, 드레인 라인과 게이트 라인의 제1 교차부 및 구동 라인과 게이트 라인의 제2 교차부에는 박막 트랜지스터의 능동층을 구성하는 반도체막이 삽입되며, 제1 교차부에서부터 제2 교차부까지 일체로 설치되는 것으로 해결하는 것이다.

상기 제1 교차부와 상기 제2 교차부에 별도로 반도체막을 설치하면, 2개의 반도체막을 이격시키기 위해서 드레인 라인 DL과 구동 라인 VL을 이격시켜야만 한다. 그러나 제1 교차부에서부터 제2 교차부까지 일체로 설치되기 때문에, 이 이격을 필요로 하지 않고, 드레인 라인 DL과 구동 라인 VL과의 간격을 좁히는 것이 가능해진다.

제4에, 구동 라인과 교차하고 상기 제1 박막 트랜지스터의 소스로부터 연장된 상층 전극과 중첩하여 유지 용량이 형성되는 유지 용량 라인을 포함한 EL 표시 장치이며, 유지 용량 라인과 구동 라인과의 교차부에 박막 트랜지스터의 능동층을 구성하는 반도체막을 삽입함으로서 해결하는 것이다.

특히, 유지 용량 라인 CL과 구동 라인 VL과의 교차부에 박막 트랜지스터를 구성하는 반도체층과 동일 공정으로 형성된 반도체층을 설치하면, 제조 공정의 간략화가 실현 가능함과 함께 유지 용량 라인 CL과 구동 라인 VL과의 내전압 특성을 향상시킬 수 있다.

제5에, 구동 라인과 드레인 라인이 인접하여 연장되며, 드레인 라인과 유지 용량 라인의 제3 교차부 및 구동 라인과 유지 용량 라인의 제4 교차부에는 반도체막이 삽입되며, 제3 교차부에서부터 제4 교차부까지 일체로 설치됨으로서 해결하는 것이다.

상기 제3 교차부와 상기 제4 교차부에 별도로 반도체막을 설치하면, 2개의 반도체막을 이격시키기 위해서 드레인 라인 DL과 구동 라인 VL을 이격시켜야만 한다. 그러나, 제3 교차부에서부터 제4 교차부까지 일체로 설치되어 이 이격을 필요로 하지 않고, 드레인 라인 DL과 구동 라인 VL과의 간격을 좁히는 것이 가능해진다.

또한, 제6에, 상기 교차부에 설치된 반도체막의 상층에는 상기 반도체막으로의 이온 주입을 저지하는 절연막이 설치되는 것으로 해결하는 것이다.

이상, 이들의 교차부에서의 단락, 내전압 특성의 저하를 방지할 수 있어, 표시 특성을 유지시킬 수 있다. 더구나 구동 라인 VL에 공급되는 전류는 교차부를 통한 누설 전류에 의해 감소하지 않기 때문에, EL 소자는 본래의 밝기를 유지할 수 있다.

발명의 구성 및 작용

본 발명의 EL 표시 장치에 대하여 설명한다. 도 1은 하부 게이트형 EL 표시 장치의 표시 화소를 평면도로 나타낸 것으로, 점선으로 둘러싸여 점으로 해칭된 영역은 게이트 재료로 형성된 영역, 실선으로 둘러싸여 해칭되어 있지 않은 부분은 Si층(여기서는 P-Si층), 실선으로 둘러싸여 점으로 빗금쳐 해칭된 부분은 투명 전극으로 이루어지는 부분이다. 또한 실선으로 둘러싸여 사선으로 해칭된 부분이 Al을 주성분으로 하는 전극으로 형성된 부분이다.

도 2, 도 3은 도 1의 A-A선, B-B선에 대응하는 단면도이다. 또한, 이 표시 화소가 여러개 또는 매트릭스형으로 배치되어 표시 화소 영역을 구성한다.

또, 본 실시의 형태에서는 제1, 제2 TFT(1, 4) 모두 하부 게이트형 TFT를 채용하고 있으며, 능동층으로서 Si막을 이용하고 있다. 또 게이트 전극(11, 15)은 싱글 게이트 구조이다.

도 1 도 3을 참조하여 유기 EL 표시 장치를 구체적으로 설명한다.

우선, 적어도 표면이 절연성을 갖는 투명 기판(10)이 있다. 본 실시의 형태에서는 EL 소자를 수분으로부터 보호하기 위해서 메탈 캡(캔)이 EL 재료를 밀봉하도록 부착되어 있다. 단, 도면 상에서는 생략하였다. 그 때문에 발광광은 상기 투명 기판(10)으로부터 추출하기 때문에, 기판(10)은 투명할 필요가 있지만, 메탈 캡을 생략할 수 있으면, 발광광을 상측에서부터 추출할 수 있어 투명할 필요는 없다. 여기서는 유리나 합성 수지 등으로 이루어지는 투명 기판(10)을 채용하고 있다.

이 투명 기판(10) 상에는 도 1의 일 화소 영역의 상측변에 따라 좌우에 게이트 라인 GL이 복수 라인 평행하게 연장되어 있다. 또한 유지 용량(8)의 하층 전극으로서 작용하는 유지 용량 전극(2)이 설치됨과 함께, 이 유지 용량 전극(2)을 연결하기 위해서 유지 용량 라인 CL이 좌우로 연장되어 있다. 양 라인 GL, CL은 동층으로 되기 때문에, 점으로 해칭되어 있다. 또한 재료로서는 상층에 P-Si를 채용하는 이유에서부터 Cr이나 Ta 등의 고융점 금속이 채용된다. 여기서는 약 1000 2000Å의 Cr이 스퍼터링으로써 형성되어 있다. 또한 패터닝시에는, 스텝 커버리지가 고려되어 측변은 테이퍼 형상으로 가공되어 있다.

계속해서, 전면에는 게이트 절연막(7) 및 능동층[제1 TFT(1)에는 제1 능동층(12), 제2 TFT(4)에는 제2 능동층(16)]이 적층되어 형성되어 있다. 여기서는, 게이트 절연막과, 능동층(12, 16), 유지 용량(8)의 상층 전극인 용량 전극(3) 및 본 발명의 특징인 교차 보호막 F1, F2, F3, F4의 재료인 P-Si가 형성되어 있다. 이 P-Si는 우선 플라즈마 CVD에서 a-Si가 형성된 후, P-Si로 변환되어 있다. 구체적으로는 하층에서부터 약 500Å의 Si 질화막, 약 1300Å의 Si 산화막 및 약 500Å의 a-Si가 연속 플라즈마 CVD에서 형성된다.

이 a-Si는 약 400도의 질소 분위기 중에서 탈수소 어닐링이 행해지고 그 후, 엑시머 레이저에 의해 P-Si화된다. 또한, 참조 부호 13은 Si 산화막으로 이루어지는 스토퍼 절연막이고, 제1 능동층(12), 제2 능동층(16)의 이온 주입 시의 마스크가 된다. 이 때 상기 스토퍼 절연막을 레지스트 마스크로 대용하는 경우에는 스토퍼 절연막은 불필요해진다. 또한 레지스트 마스크는 주입 후에 제거된다. 스토퍼 절연막 또는 레지스트 마스크 중 어느 쪽에나 사용해도 되지만, 일반적으로는 2개의 TFT는 어느 한 쪽에 통일되어 사용된다.

제1 TFT(1)는 P(인) 이온이 주입되어, N 채널형의 소스, 드레인이 형성되고, 제2 TFT(4)는 B 이온이 주입되어 P 채널형의 소스, 드레인이 형성되어 있다.

또한 P-Si화된 막은 도 1과 같이, 포토리소그래피 기술에 의해 패터닝되어 있다. 즉, 제1 TFT(1)의 P-Si층은 게이트 라인 GL과 드레인 라인 DL의 좌측 상부 교차부 근방에서 드레인 라인 DL과 중첩하고, 게이트 전극(11)의 상층을 연장한 후, 유지 용량 전극(2)과 중첩하는 용량 전극(3)으로서 연장되어 있다. 또한, 이 용량 전극(3)은 제2 TFT(4)의 게이트 전극(15)과 전기적으로 접속하기 위해서 이용되는 접속 배선(30) 우측단의 하층으로 연장된다. 한편, 제2 TFT(4)의 P-Si층은 우측의 구동 라인 VL의 하층에서부터 제2 게이트 전극(15)의 상층을 연장하고, 투명 전극으로 이루어지는 양극(6)의 하층에 연장되어 있다.

또한 제1 교차 보호막 F1은 드레인 라인 DL과 게이트 라인 GL과의 제1 교차부 CR1, 좌측 옆의 표시 화소에 설치된 구동 라인 VL과 게이트 라인 GL의 제2 교차부(2)에 설치된다. 또한 제2 교차 보호막 F2는 드레인 라인 DL과 유지 용량 라인 CL과의 제3 교차부(3), 좌측 옆의 표시 화소에 설치된 구동 라인 VL과 유지 용량 라인 CL의 제4 교차부 CR4에 설치된다. 또한 제3 교차 보호막 F3은 우측 옆의 표시 화소에 설치된 드레인 라인 DL과 게이트 라인 GL과의 교차부(제1 교차부 CR1에 상당한다)로부터, 본 표시 화소에 설치된 구동 라인 VL과 게이트 라인 GL의 교차부(제2 교차부 CR2에 상당한다)에 설치된다. 또한 제4 교차 보호막 F4는 우측 옆의 표시 화소에 형성된 드레인 라인 DL과 유지 용량 라인 CL과의 교차부(제3 교차부 CR3에 상당하지만 여기서는 도면의 제약으로부터 생략하고 있다)로부터 본 표시 화소에 설치된 구동 라인 VL과 유지 용량 라인 CL의 교차부(제4 교차부 CR4에 상당한다)에 설치된다.

여기서 교차 보호막은 각각의 교차부에 배치해도 되지만, 도 1과 같이 드레인 라인 DL과 구동 라인 VL이 인접하고 있는 경우에는 제1 교차부 CR1에서부터 제2 교차부 CR2까지 일체로 연장되어도 좋다. 또 제3 교차부 CR3에서부터 제4 교차부 CR4까지 일체로 연장되어도 좋다.

예를 들면, 드레인 라인 DL과 게이트 라인 GL의 제1 교차부 CR1, 구동 라인 VL과 게이트 라인 GL의 제2 교차부 CR2에서 각각 교차 보호막을 설치하면 2개의 교차 보호막을 이격시킬 필요가 있기 때문에, 드레인 라인 DL과 구동 라인 VL의 간격이 넓어지게 되지만, 도면의 교차 보호막 F1과 같이 일체로 되어 있기 때문에, 드레인 라인 DL과 구동 라인 VL의 간격을 좁게 할 수 있다.

그리고 전면에는 층간 절연막(14)이 형성되어 있다. 이 층간 절연막(14)은 하층에서부터 약 1000Å의 Si 산화막, 약 3000Å의 Si 질화막, 1000Å의 Si 산화막의 3층 구조가 연속 CVD에서 형성되어 있다. 이 층간 절연막(14)은 적어도 한층 있으면 되며 막 두께도 이것에 한하지 않는다.

다음에, 층간 절연막(14) 상에는 도 1의 사선으로 해칭된 드레인 라인 DL, 구동 라인 VL 및 접속 배선(30)이 형성된다. 당연히 컨택트가 형성되며, 드레인 라인 DL과 제1 TFT(1)의 능동층과의 컨택트홀 C1, 구동 라인 VL과 제2 TFT(4)의 능동층과의 컨택트홀 C2, 접속 배선(30)과 용량 전극(3)과의 컨택트홀 C4는 각각의 반도체층이 노출되어 있다. 또한 접속 배선(30)과 제2 게이트 전극(15)의 컨택트홀 C5는 전술한 컨택트홀과는 달리, 게이트 절연막이 여분으로 적층되어 있기 때문에, 더욱 에칭되며 Cr이 노출되어 있다. 이 라인 DL, VL의 재료는 하층에 1000Å의 Mo, 상층에 7000Å의 Al이 적층된 구조이며 Mo는 배리어층이다.

또한, 약 1 3㎛의 절연 재료로 이루어지는 평탄화막 PLN이 전면에 형성되어 있다. 이 평탄화막 PLN의 채용은 종래예에서도 진술한 유기 EL용 막에 이유가 있다. 이 막은 제1 홀 수송층(21), 제2 홀 수송층(22), 발광층(23) 및 전자 수송층(24)으로 이루어진다. 또 홀 수송층은 한층으로 구성되어도 된다. 이들 EL 재료는 매우 얇은 막의 적층체이다. 또한 EL 소자는 전류 구동이기 때문에, 이들의 막 두께가 매우 균일하게 형성되지 않으면, 막 두께가 얇은 부분을 통하여 전류가 대량으로 흐르며, 그 부분에 한층 더 빛나는 휘점이 발생함과 동시에, 이 포인트는 유기막의 열화를 발생하고, 최악의 경우 파괴에 이른다. 따라서, 이 파괴를 방지하기 위해서는 양극(6)을 포함하는 전면이 가능한 한 평탄할 필요가 있다. 여기서는 아크릴계의 액형 수지가 도포되며 경화 전에 그 유동성으로부터 평탄하게 하고, 경화 후도 평탄하게 된다. 물론 이 평탄화막 PLN은 표면이 평탄하게 될 뿐, 이에 한하지 않은 것은 물론이다.

여기서는, 양극(6)과 제2 TFT(4)의 소스가 접속되는 부분은 평탄화막 PLN 및 층간 절연막(14)이 개구되며 제2 능동층(16)이 노출된 컨택트홀 C3으로서 형성되고 있다.

또한 적어도 양극(6) 상에는 EL 소자를 구성하는 유기막이 형성되어 있다. 우선, 양극(6) 상에는,

MTDATA[4, 4-bis(3-methylphenylphenylamino)biphenyl]로 이루어지는 제1 홀 수송층(21),

및 TPD[4, 4, 4-tris(3-methylphenylphenylamino)tripheny1anine]로 이루어지는 제2 홀 수송층(22),

퀴나크리돈(Quinacridone) 유도체를 포함하는 Bebq2(10-벤조〔h〕퀴놀리놀-베릴륨착체)로 이루어지는 발광층(23) 및 Bebq2로 이루어지는 전자 수송층(24)으로 이루어지는 발광 소자층 EM,

마그네슘·은(Ag) 인듐 합금, Al과 Li의 합금 또는 Al/LiF 등으로 이루어지는 음극(25)이 적층 형성된 구조이다. 또한, 음극(25)은 Al과 LiF의 적층체(LiF가 매우 얇게 실질 합금으로 이루어지고 있다)를 채용하고 있다.

여기서 양극(6)은 화소마다 패터닝될 필요가 있지만 양극(6) 상의 막은 구조에 의해 구별된다.

① : 양극(6)으로부터 음극(25)까지 화소마다 패터닝되는 제1 구조

② : ①에서의 음극(25)은 패터닝되지 않고 실질적으로 표시 영역 전역에 베타로 형성되는 제2 구조.

② : 양극(6)만이 도 1과 같이 화소마다 패터닝되며 양극의 상층에서부터 음극까지는 상기 베타의 제3 구조.

다만, 음극(6)은 일부러 패터닝하는 경우도 없으므로 일반적으로는 전면 베타 구조를 채용하고 있다. 또한 도면에서는 양극(6)과 음극(25)이 단락하고 있는 것과 같이 나타내고 있지만, EL 소자의 유기막은 양극(6) 주변도 포함하여 완전히 덮어져 있으므로 단락은 방지되어 있다. 이것은 종래예에서도 동일하다. 또한 양극(6)의 엣지를 커버하도록 평탄화막 PLN 상에 또 다른 평탄화막이 형성되어도 된다.

또한, 표시 영역의 EL층, 또는 모든 EL층을 커버하는 메탈 캡(캔)이 형성되어 있다. EL층은 물을 흡습하면 열화하고, 물의 침입에 대하여 보호가 필요해지기 때문이다. 따라서 EL층을 열화시키지 않고 내습성이 높은 막 예를 들면 수지막으로 캡의 대용으로 해도 되며 더 이 위에 메탈 캡을 해도 된다.

유기 EL 소자의 발광 원리 및 동작은 양극(6)으로부터 주입된 홀과, 음극(25)으로부터 주입된 전자가 발광층 EM의 내부에서 재결합하고, 발광층 EM을 형성하는 유기 분자를 여기하여 여기자를 발생시킨다. 이 여기자가 방사 실활하는 과정에서 발광층 EM으로부터 광이 발하고, 이 광이 투명한 양극에서부터 투명 절연 기판을 통하여 외부로 방출되어 발광한다.

본 발명의 특징은 교차 보호막 F1, F2, F3, F4에 있다. 전술한 교차부 CR1 내지 CR4는 표시 화소 영역 내에 매트릭스형으로 형성되어 있는 표시 화소마다 형성되며, 그 수는 표시 화소수×4로 상당한 수가 된다. 따라서 이 교차부에 위치하는 게이트 절연막(7), 층간 절연막(14)의 막질이나 먼지의 존재에 의해, 교차부에서 단락 혹은 내전압 특성의 저하가 발생한다. 그러나 이 교차부에 반도체층을 삽입시키면, 이 반도체층이 절연막이 되며 상기 단락이나 내전압 특성의 저하를 방지할 수 있다.

특히 불순물이 도입되어 있지 않은 반도체막은 저항치가 높고 교차부 CR1 내지 CR4에 삽입하는 재료로서 적합하다. 이 불순물이 도입되지 않은 반도체막의 형성 방법은 지금부터 제조 방법의 설명 중에서 진술한다.

도 4, 도 5 및 도 6은 EL 표시 장치의 제조 방법을 설명함으로서 좌측의 단면도는 제1 TFT(1) 또는 제2 TFT(4)의 제조 방법을 나타내는 것이다. 여기서는, 제1 TFT(1)로 설명한다. 우측 도면은 게이트 라인 GL, 구동 라인 VL 및 드레인 라인 DL의 교차부 CR1, CR2를 평면도로 나타내고 TFT의 제조 방법에 따라서 나타내고 있다.

우선 도 4의 (a)에 도시한 바와 같이, 투명 기판(10) 상에 제1 게이트(11)가 형성됨과 동시에 이 제1 게이트 전극(11)과 한 라인의 게이트 라인 GL이 형성된다. 재료는 상술한 바와 같이 여기서는 Cr이다.

계속해서, 도 4의 (b)에 도시한 바와 같이 전면에 게이트 절연막(7) 및 a-Si(100)가 형성된다. 게이트 절연막(7)은 하부로부터 Si 질화막(101), Si 산화막(102)이 피복되어 있다.

계속해서 도 4의 (c)에 도시한 바와 같이, 탈수소 어닐링을 거친 후, 엑시머 레이저에 의해 a-Si(100)를 P-Si화한다.

계속해서, 스토퍼 절연막을 형성하기 위해서 전면에 Si 산화막을 피복한 후, 전면에 포토 레지스트를 피복하고, 배면 노광을 행하여 포토 레지스트를 패터닝한다. 이때는 포토 레지스트는 게이트 라인 GL과 완전히 동일 패턴이 형성되며, 이 포토 레지스트를 보호막으로서 상기 Si 산화막을 패터닝한다. 이 결과, Si 산화막은 게이트, 게이트 라인 GL과 동일 패턴으로 정형된다.

그리고 포토 레지스트를 제거한 후, 도 4의 (d)에 도시한 바와 같이 재차 포토 레지스트 PR이 피복되어 패터닝된다. 좌측 도면에서는 TFT의 소스·드레인에 불순물이 도입되기 때문에, 이 영역에 대응하는 부분이 포토 레지스트로부터 노출된다. 또한 우측 도면에서는 측변(104에서부터 104까지)의 Si 산화막(103) 상에 포토 레지스트 PR이 잔존하도록 패터닝되며, 이 포토 레지스트 PR을 사용하여 게이트 라인 GL 상에 실선형 스토퍼 절연막(105)이 남도록 상기 Si 산화막(103)이 패터닝된다. 여기에서 측변(104에서로부터 104까지)의 폭은 드레인 라인 DL과 구동 라인 VL을 포함시킨 폭보다도 약간 길게 형성된다. 또한 여기까지 좌측 도면에는 스토퍼 절연막(13)이 우측 도면에는 스토퍼 절연막(105)이 형성된다. 이 스토퍼 절연막(105)도 각 교차부에 설치되어 있기 때문에 내압의 향상, 단락의 방지를 할 수 있다.

계속해서, 도 5의 (e)에 도시한 바와 같이, 이온 주입이 행해진다.

우선 상기 공정에서 스토퍼 절연막(13, 105) 상에 형성되어 있는 포토 레지스트 PR을 남긴 채로 제1 TFT(1)가 LDD 구조이기 때문에, 저농도의 인(P) 이온이 주입된다. 그리고 상기 포토 레지스트 PR을 제거한 후에, 제2 TFT(4 ; P 채널형 TFT)에 마스크를 걸어서 제1 TFT(1)에 인(P) 이온을 이온 주입하여 N형의 소스· 드레인 영역을 형성한다. 계속해서, 상기 포토 레지스트를 제거한 후에 제1 TFT(1) (N 채널형의 TFT)에 마스크를 걸어서, 제2 TFT(4)에 붕소(B) 이온을 이온 주입하여 P형의 소스·드레인 영역을 형성한다.

따라서, 좌측 도면에서는 제1 TFT(1), 제2 TFT(4)의 소스, 드레인에 대응하는 부분이 이온 주입되고, 우측 도면에서는 스토퍼 절연막(105)의 바로 하측은 이온이 주입되지 않는다. 이 공정에서는 스토퍼 절연막(105)에 불순물이 주입되지 않기 때문에, 교차부의 내압이 보다 향상되어 있다.

계속해서 도 5의 (f)에 도시한 바와 같이, 열 처리가 가해져서 불순물을 확산하는 활성화 처리가 행해진다.

계속해서, 포토 레지스트를 피복하여, 좌측 도면에서는 박막 트랜지스터(1, 4)의 소스, 드레인을 포함하는 능동 영역상에 상기 포토 레지스트를 남기고, 우측 도면에서는 스토퍼 절연막(105)의 옆폭으로 세로의 길이를 약간 길게 한 패턴의 포토 레지스트를 남긴다.

그리고 이 포토 레지스트를 통하여 전면에 피복된 P-Si가 에칭되며, 좌측 도면에서는 상기 능동 영역이 남도록 패터닝되며, 우측 도면에서는 P-Si로 이루어지는 교차 보호막 F1, F2, F3, F4가 형성된다. 여기서는 도시하지 않았지만 용량 전극(3)도 패터닝된다.

그리고 도 5의 (g)에 도시한 바와 같이 층간 절연막(14)이 피복된다. 여기서는 하층에서부터 Si 산화막, Si 질화막, Si 산화막이 적층되어 있다.

계속해서, 도 5의 (h)에 도시한 바와 같이, 반도체층을 노출하는 컨택트의 형성이 행해진다. 여기서는 컨택트홀 C1, C2, C4 및 컨택트홀 C5이다. 좌측 도면에서는 컨택트 C1을 통하여 제1 TFT(1)의 드레인 전극 D 및 이것과 한 라인의 드레인 라인 DL이 컨택트되어 형성되어 있다. 또한, 우측 도면의 교차 보호막 F1, F2, F3, F4 상에는 드레인 라인 DL, 구동 라인 VL이 연장되게 된다. 동시에, 도 1의 접속 배선(30)도 형성된다.

마지막으로, 평탄화막 PLN이 형성된 후, 평탄화막 PLN에서부터 반도체층까지 노출되는 컨택트홀 C3이 형성되며, 투명 전극(양극 ; 6)이 형성되고, 그 상측에는 상술한 바와 같이 제1 홀 수송층(21), 제2 홀 수송층(22), 발광층(23) 및 전자 수송층(24)이 적층되며 마지막으로 전면에 음극(25)이 적층 형성된다.

이상의 설명으로부터 밝힌 바와 같이, P-Si에서 이루어지는 교차 보호막 F1, F2, F3, F4의 스토퍼 절연막(105) 바로 아래는 이온이 주입되어 있지 않기 때문에, 실질 I층이 되며 그 저항치는 매우 높다. 따라서 교차부 CR1 CR4에 대응한 곳의 교차 보호막 F1, F2, F3, F4가 I층이 되고, 게다가 스토퍼 절연막(105)이 잔존하고 있는 것도 더해지며 내전압 특성의 향상, 내전압 특성의 열화 방지, 단락 방지를 실현할 수 있다.

또한 전술한 프로세스 플로우에 있어서, 공정의 간략화를 고려하고, 스토퍼 절연막(13, 105)의 형성 공정을 생략해도 된다. 즉 스토퍼 절연막 재료인 Si 산화막의 피복, 패터닝을 생략할 수 있기 때문이다. 다만 스토퍼 절연막(13, 105)은 박막 트랜지스터의 채널, 교차부에 위치하는 P-Si로의 이온 주입 저지를 목적으로 하고 있으므로, 당연히 이들 상측에는 포토 레지스트에 의한 이온 주입 저지막이 형성될 필요가 있다.

상술한 실시 형태에서는 유기 EL 표시 장치에 대하여 설명하였지만, 본 발명은 그에 한정되지는 않고, 발광층 EM이 무기 재료로 이루어지는 무기 EL 표시 장치에도 적용이 가능하며 마찬가지의 효과가 얻어진다.

또한 각 화소에 2개의 TFT를 채용하고 있지만, 하나의 TFT에서 EL 소자를 구동하는 것도 가능하고, 각각의 TFT는 더블 게이트 구조의 TFT라도 된다.

본 발명은 톱 게이트 구조에서도 응용이 가능하다. 그러나 하부 게이트형 구조와는 달리, 별도 프로세스가 추가되지 않으면 이루어지지 않는다.

발명의 효과

이상의 설명에서도 밝힌 바와 같이, 격자형으로 배치되어 있는 제1 라인과 제2 라인 간에 반도체층을 삽입함으로서, 상기 제1 라인과 상기 제2 라인과의 내전압 특성을 향상시킬 수 있다.

특히, 게이트 라인과 구동 라인 VL과의 교차부에 박막 트랜지스터를 구성하는 반도체층과 동일 공정으로 형성된 반도체층을 설치하면, 제조 공정의 간략화를 실현할 수 있음과 동시에 게이트 라인 GL과 구동 라인 VL과의 내전압 특성을 향상시킬 수 있다.

또한 제1 교차부와 상기 제2 교차부에 별도로 반도체막을 설치하면, 2개의 반도체막을 이격시키기 위해서 드레인 라인 DL과 구동 라인 VL을 이격시켜야만 한다. 그러나 제1 교차부에서부터 제2 교차부까지 일체로 설치되기 때문에, 이 이격을 필요로 하지 않고 드레인 라인 DL과 구동 라인 VL과의 간격을 좁히는 것이 가능해진다.

또한 유지 용량 라인 CL과 구동 라인 VL과의 교차부에 박막 트랜지스터를 구성하는 반도체층과 동일 공정으로 형성된 반도체층을 설치하면, 제조 공정의 간략화를 실현할 수 있슴과 동시에 유지 용량 라인 CL과 구동 라인 VL과의 내전압 특성을 향상시킬 수 있다.

게다가 제3 교차부에서부터 제4 교차부까지 일체로 설치되기 때문에, 드레인 라인 DL과 구동 라인 VL과의 간격을 좁히는 것이 가능해진다.

이상, 교차 보호막의 형성에 의해, 교차부에서의 단락, 내전압 특성의 저하를 방지할 수 있어 표시 특성을 유지시킬 수 있다.

(57) 청구의 범위

청구항 1.

EL 소자와, 상기 EL 소자를 구동하는 박막 트랜지스터를 표시 화소마다 갖고, 상기 표시 화소를 둘러싸도록 격자형으로 배치되며, 상기 박막 트랜지스터와 전기적으로 접속된 제1 라인 및 제2 라인을 포함하는 EL 표시 장치에 있어서,

상기 제1 라인과 상기 제2 라인의 교차부에는 반도체막이 삽입되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 2.

양극과 음극과의 사이에 발광층을 갖는 EL 소자와, 반도체막으로 이루어지는 드레인이 드레인 라인에 접속되며, 게이트가 게이트 라인에 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 드레인이 상기 EL 소자의 구동 라인에 접속되며, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터를 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 게이트 라인과 상기 구동 라인과의 교차부에는 상기 반도체막이 삽입되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 3.

제2항에 있어서, 상기 표시 화소와 인접하는 옆의 표시 화소에 설치된 구동 라인과 상기 드레인 라인과는 인접하여 연장되고, 상기 드레인 라인과 상기 게이트 라인의 제1 교차부 및 상기 구동 라인과 상기 게이트 라인의 제2 교차부에는 상기 반도체막이 상기 제1 교차부에서부터 제2 교차부까지 일체로 설치되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 4.

양극과 음극과의 사이에 발광층을 갖는 EL 소자와, 반도체막으로 이루어지는 드레인이 드레인 라인에 접속되며, 게이트가 상기 드레인 라인과 교차하는 게이트 라인에 접속된 제1 박막 트랜지스터와, 상기 반도체막으로 이루어지는 드레인이 상기 게이트 라인과 교차하는 상기 EL 소자의 구동 라인에 접속되며, 게이트가 상기 제1 박막 트랜지스터의 소스에 접속되며, 소스가 상기 EL 소자에 접속된 제2 박막 트랜지스터와, 상기 구동 라인과 교차하여 상기 제1 박막 트랜지스터의 소스로부터 연장된 상층 전극과 중첩하여 유지 용량이 형성되는 유지 용량 라인을 포함한 표시 화소가 복수 배열되어 이루어지는 EL 표시 장치에 있어서,

상기 유지 용량 라인과 상기 구동 라인과의 교차부에는 상기 반도체막이 삽입되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 5.

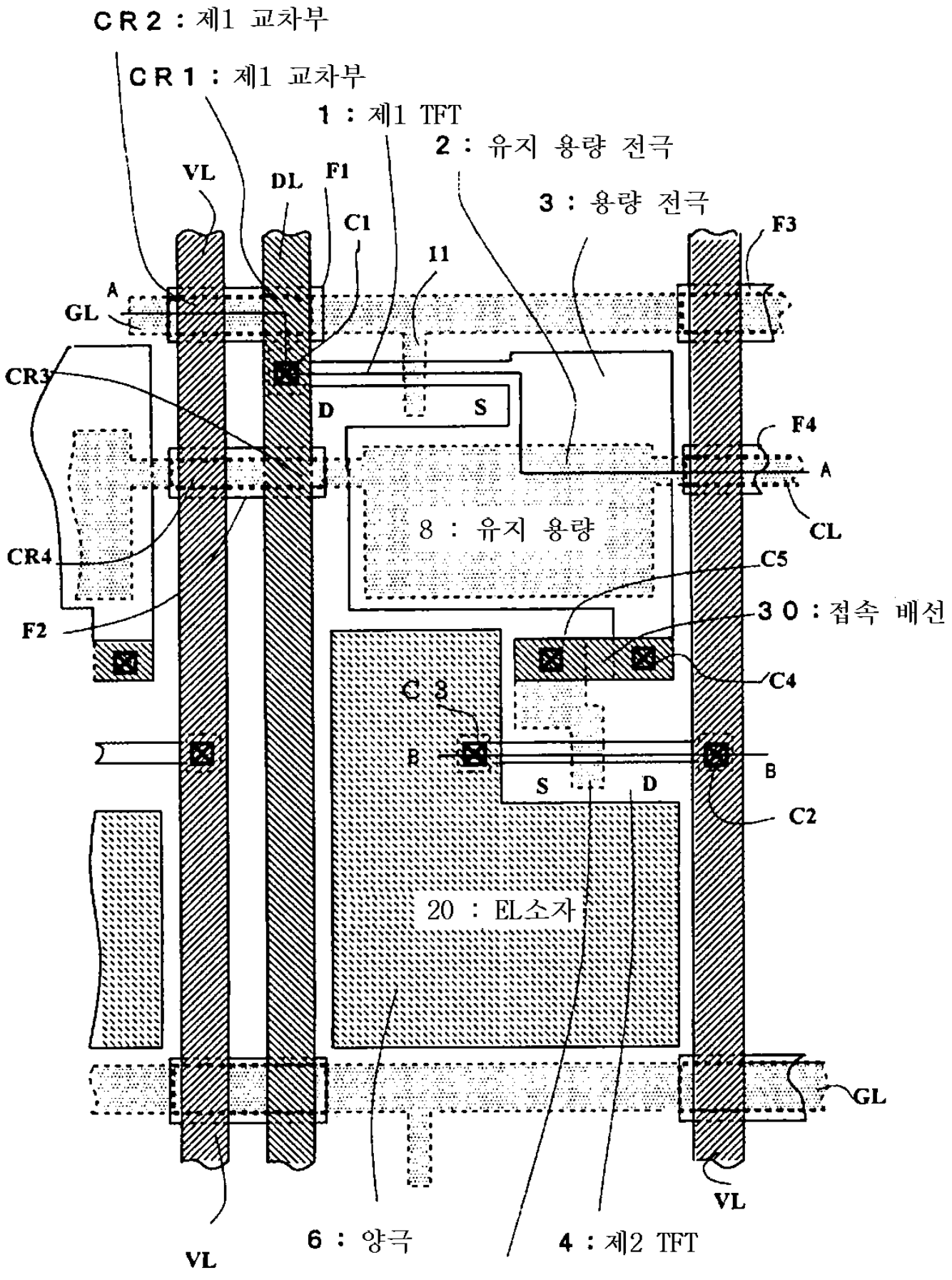
제4항에 있어서, 상기 표시 화소와 인접하는 옆의 표시 화소에 설치된 구동 라인과 상기 드레인 라인과는 인접하여 연장되며, 상기 드레인 라인과 상기 유지 용량 라인의 제3 교차부 및 상기 구동 라인과 상기 유지 용량 라인의 제4 교차부에는 상기 반도체막이 상기 제3 교차부에서부터 제4 교차부까지 일체로 설치되어 있는 것을 특징으로 하는 EL 표시 장치.

청구항 6.

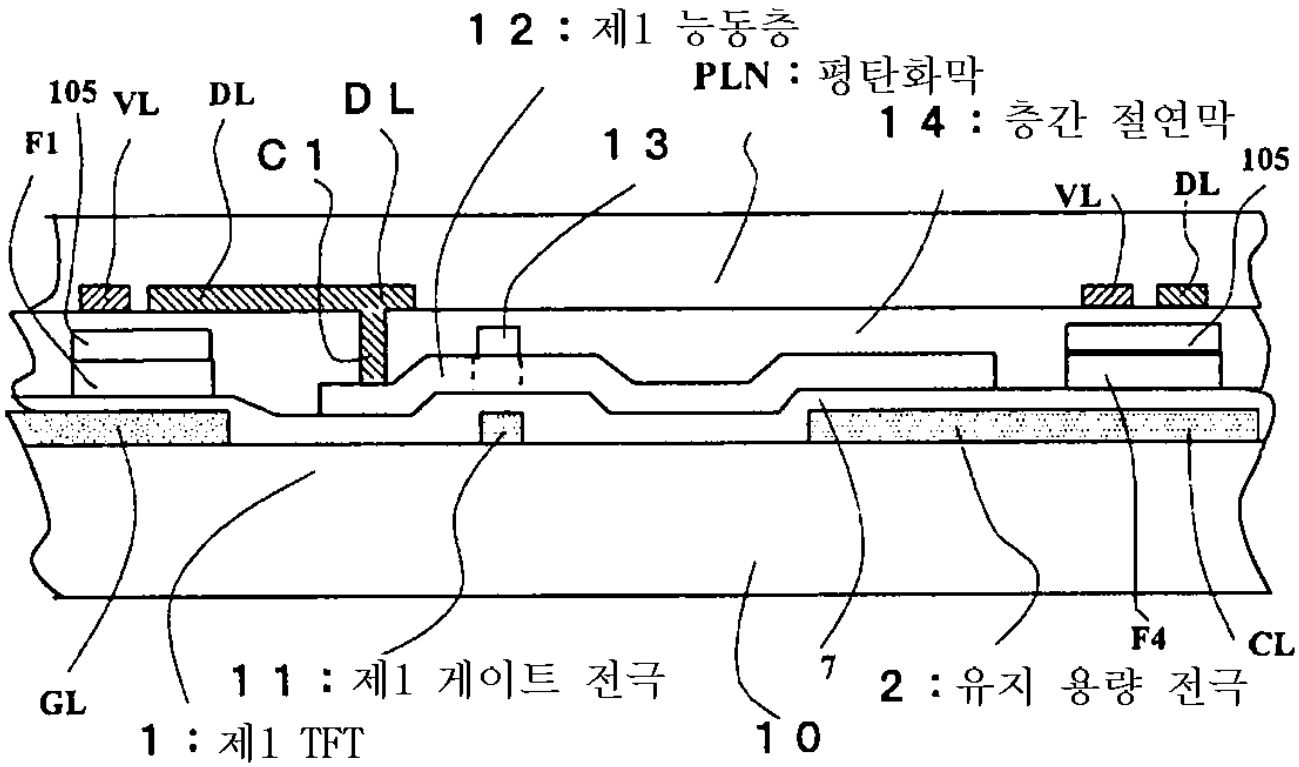
제1항 내지 제5항 중 어느 한 항에 있어서, 상기 교차부에 설치된 반도체막의 상층에는 상기 반도체막으로의 이온 주입을 저지하는 절연막이 설치되는 것을 특징으로 하는 EL 표시 장치.

도면

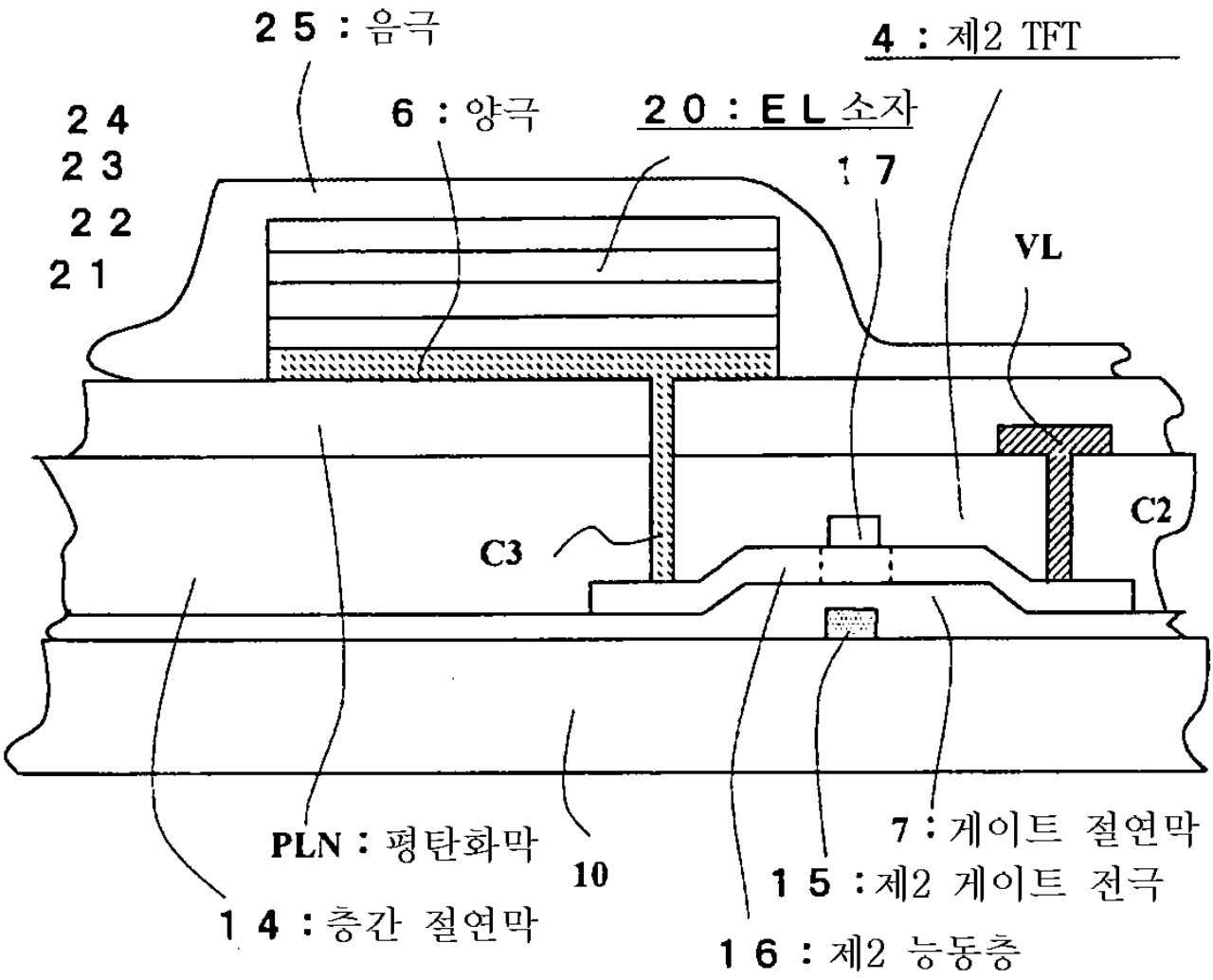
도면 1


CR2 : 제1 교차부
CR1 : 제1 교차부
1 : 제1 TFT
2 : 유지 용량 전극
3 : 용량 전극
VL
DL
F1
C1
I1
F3
A
GL
CR3
D
S
F4
A
CL
8 : 유지 용량
CR4
C5
F2
30 : 접속 배선
C4
C3
B
S
D
B
C2
20 : EL소자
GL
VL
VL
6 : 양극
4 : 제2 TFT
15 : 제2 게이트 전극

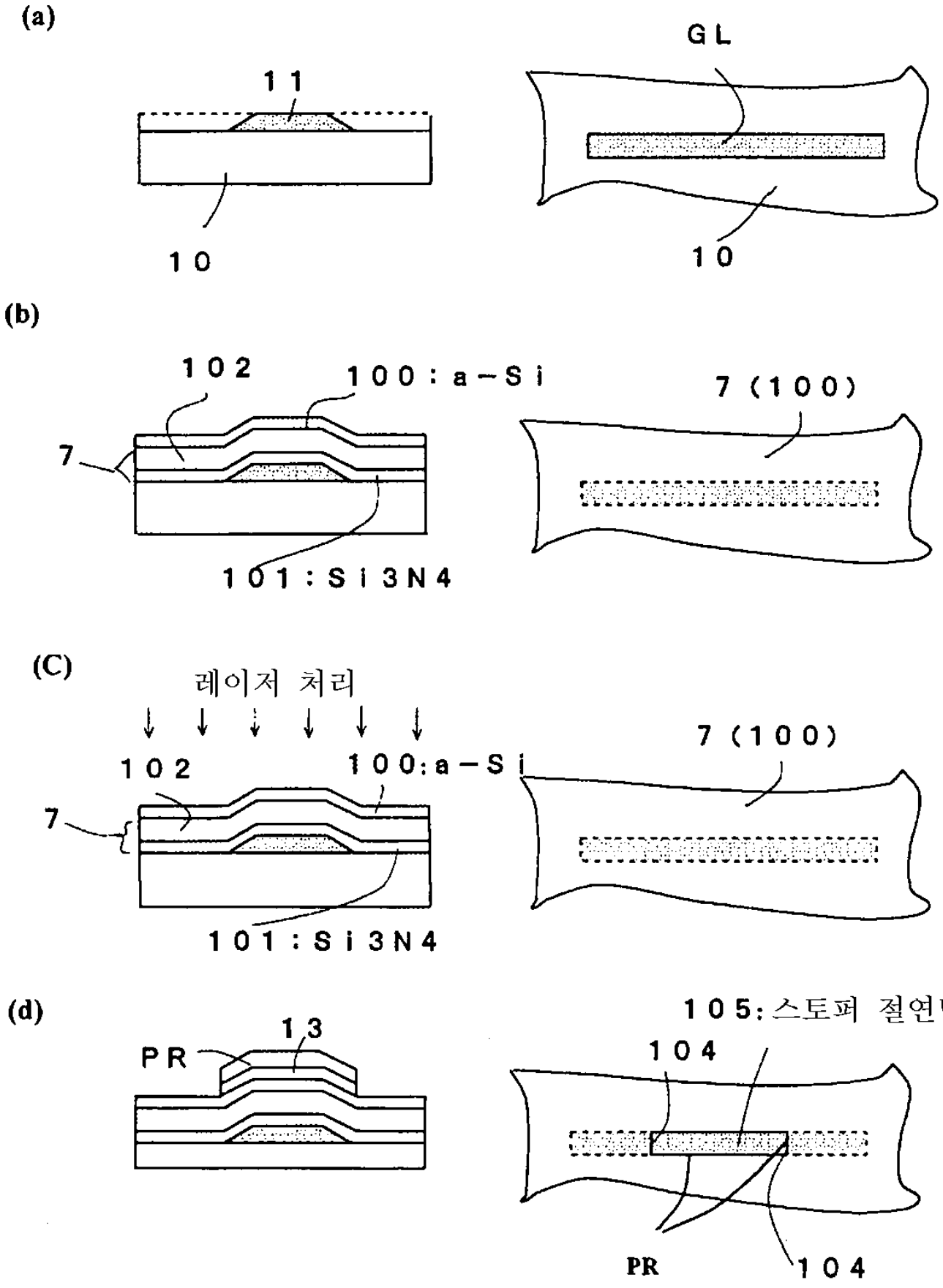
도면 2


12 : 제1 능동층
PLN : 평탄화막
14 : 층간 절연막
105
VL
DL
DL
F1
C1
13
VL
DL
105
F4
CL
GL
11 : 제1 게이트 전극
7
2 : 유지 용량 전극
1 : 제1 TFT
10

도면 3

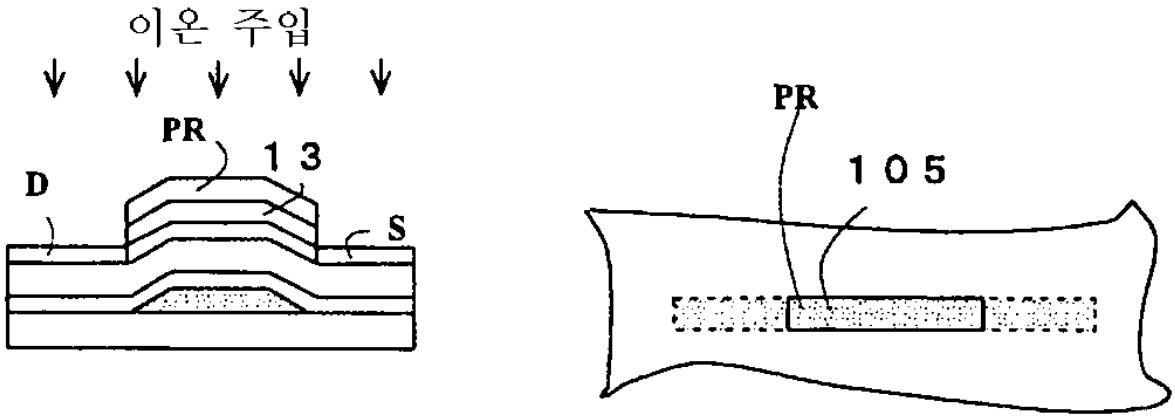

25 : 음극
4 : 제2 TFT
24
23
22
21
6 : 양극
20 : EL 소자
17
VL
C2
C3
PLN : 평탄화막
10
7 : 게이트 절연막
15 : 제2 게이트 전극
14 : 층간 절연막
16 : 제2 능동층

도면 4

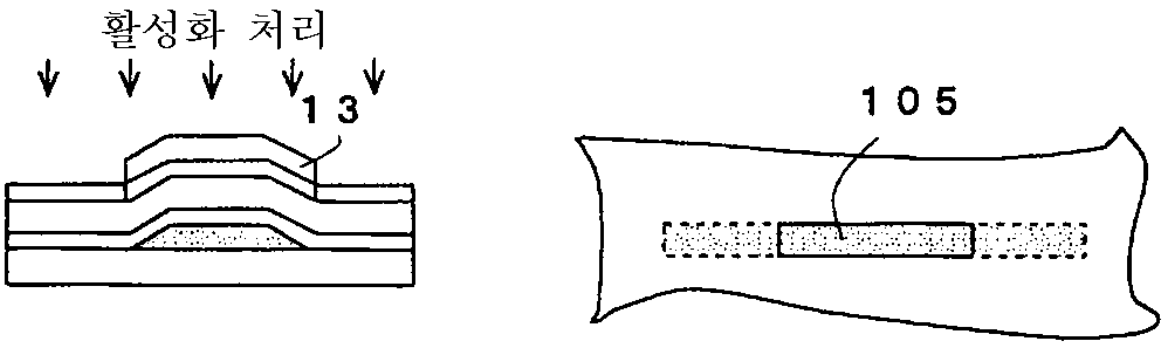

(a)
11
10
GL
10
(b)
102
100 : a-Si
7
101 : Si3N4
7 (100)
(C)
레이저 처리
102
100 : a-Si
7
101 : Si3N4
7 (100)
(d)
13
PR
105 : 스토퍼 절연막
104
PR
104

도면 5

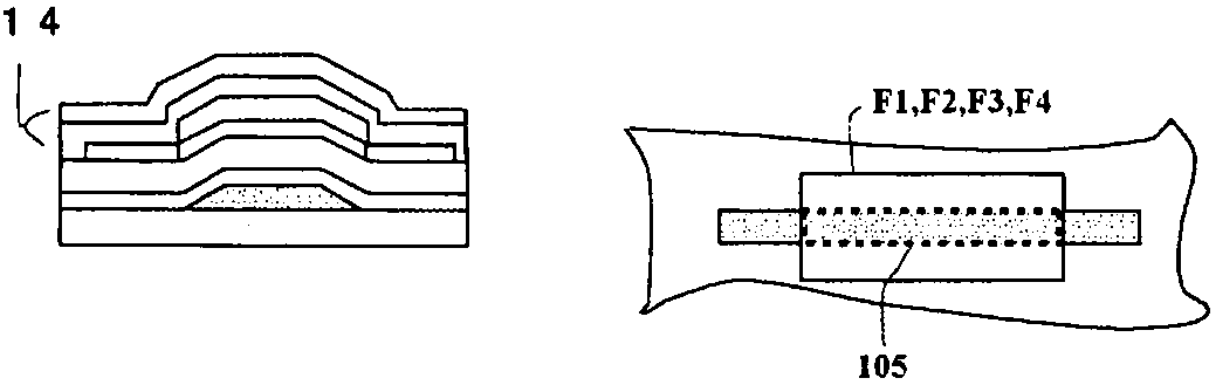
(e)


이온 주입
PR
13
D
S
PR
105

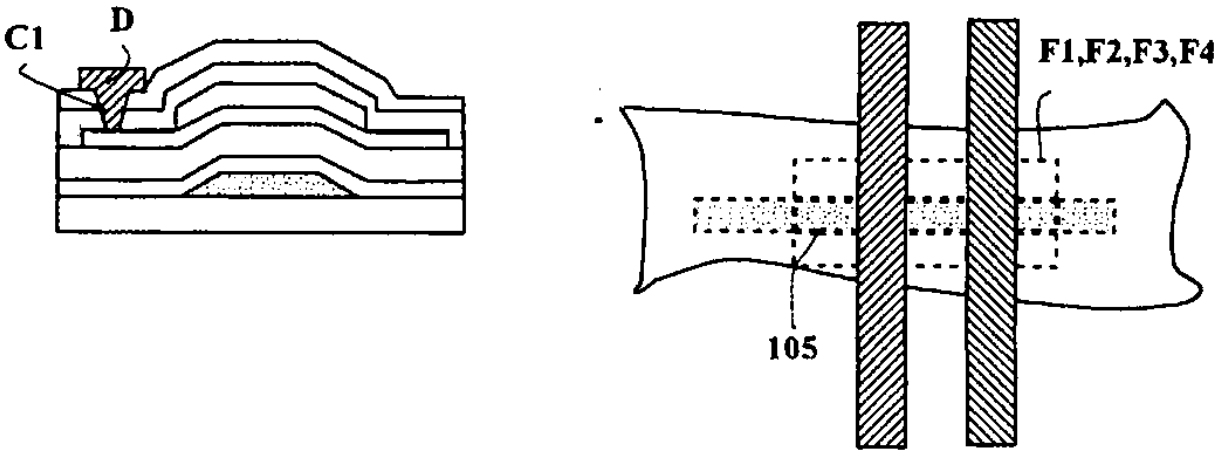
(f)


활성화 처리
13
105

(g)

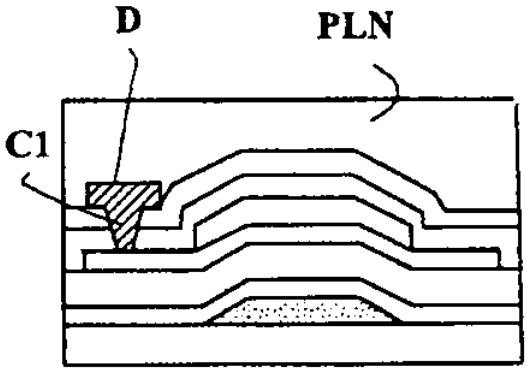

14
F1,F2,F3,F4
105

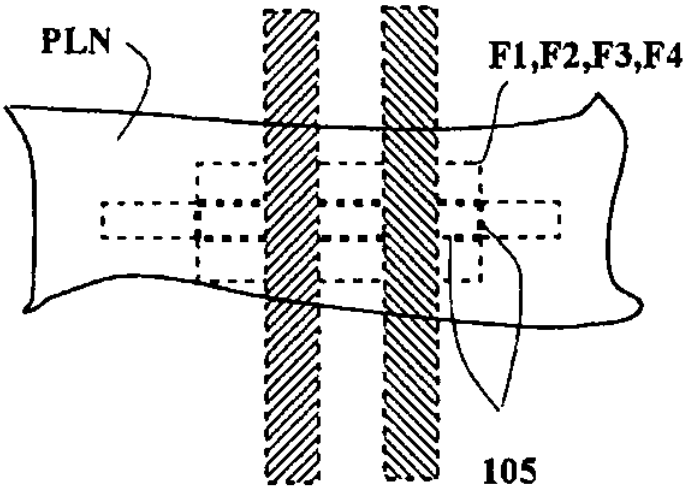
(h)


C1
D
F1,F2,F3,F4
105

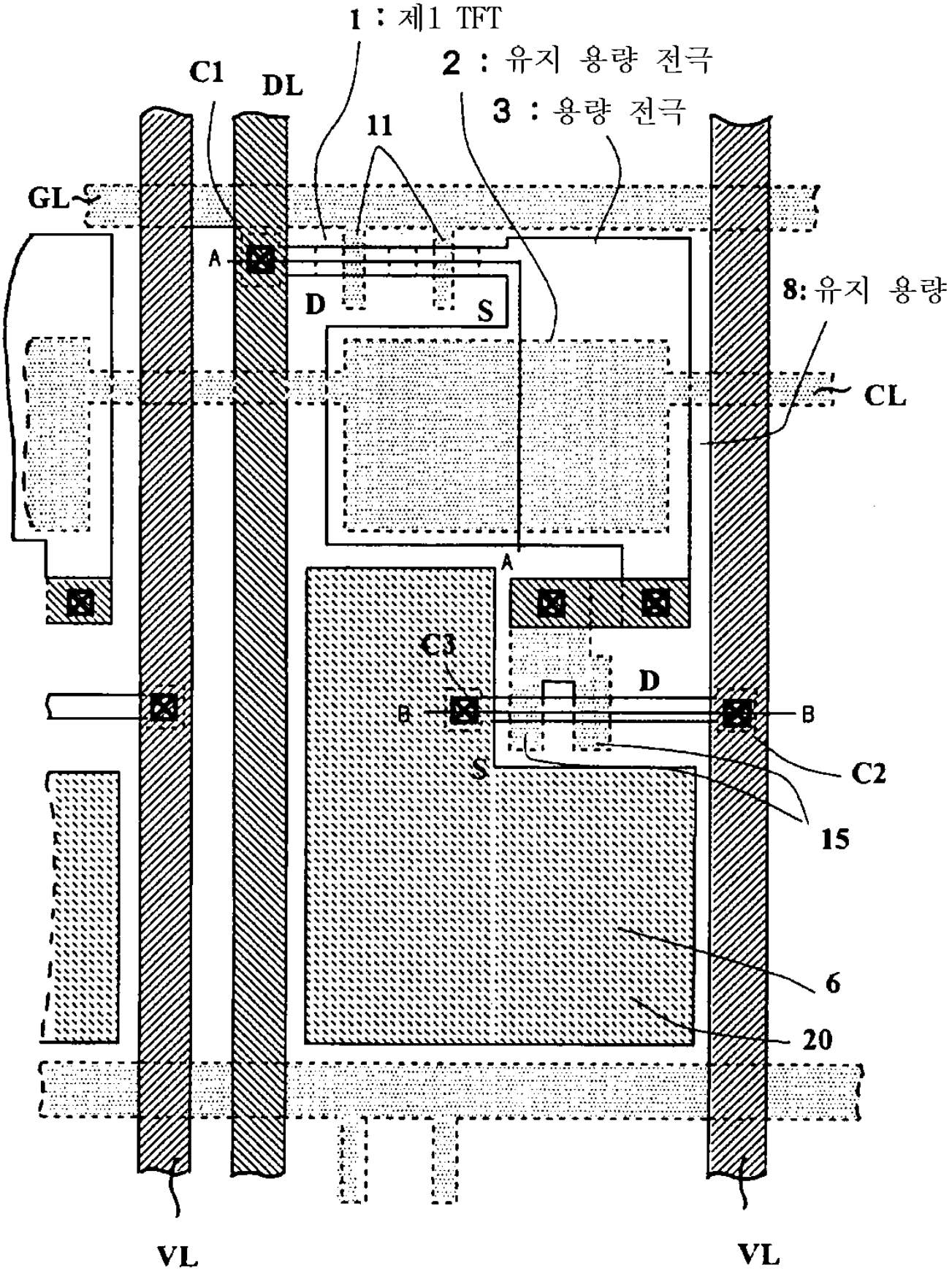
도면 6

(i)

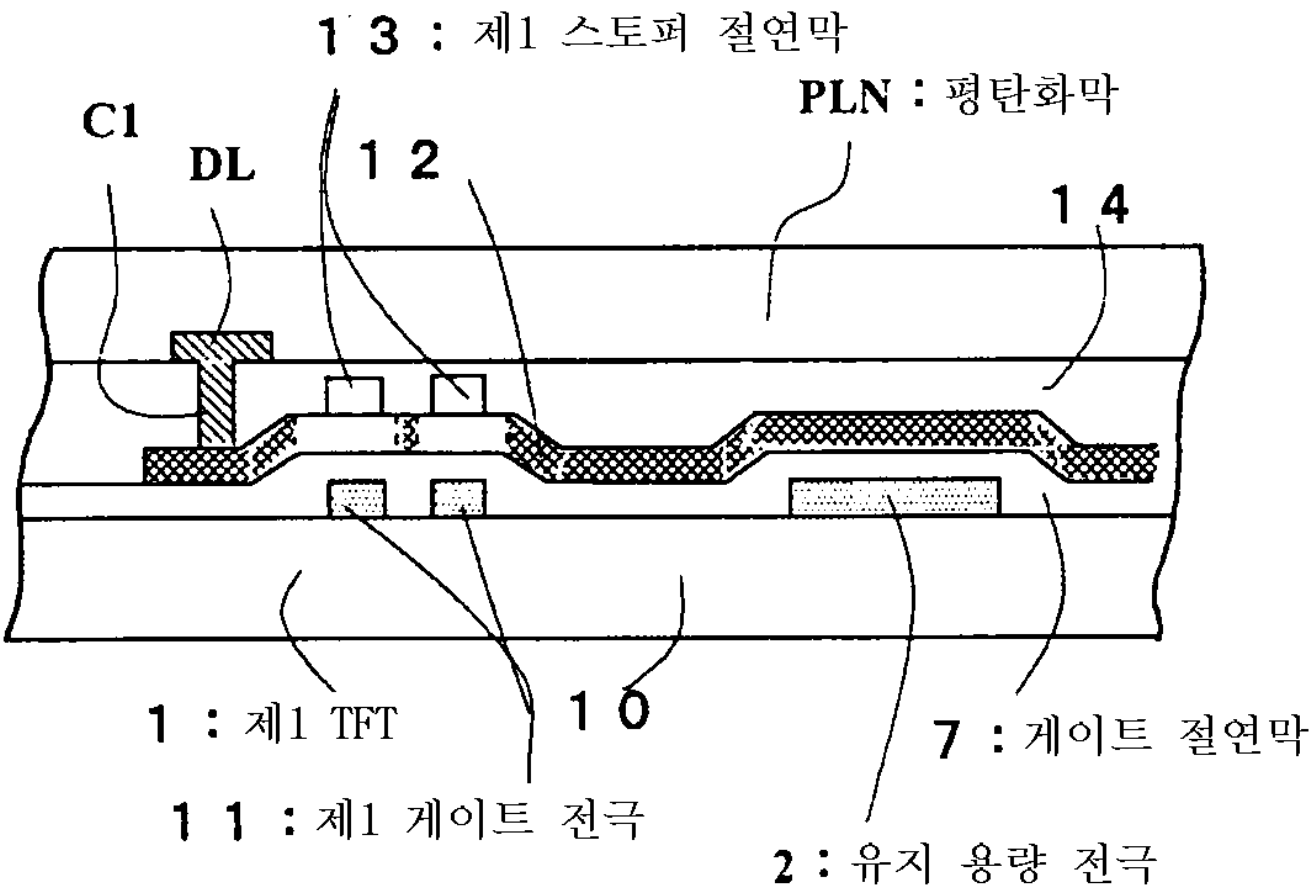




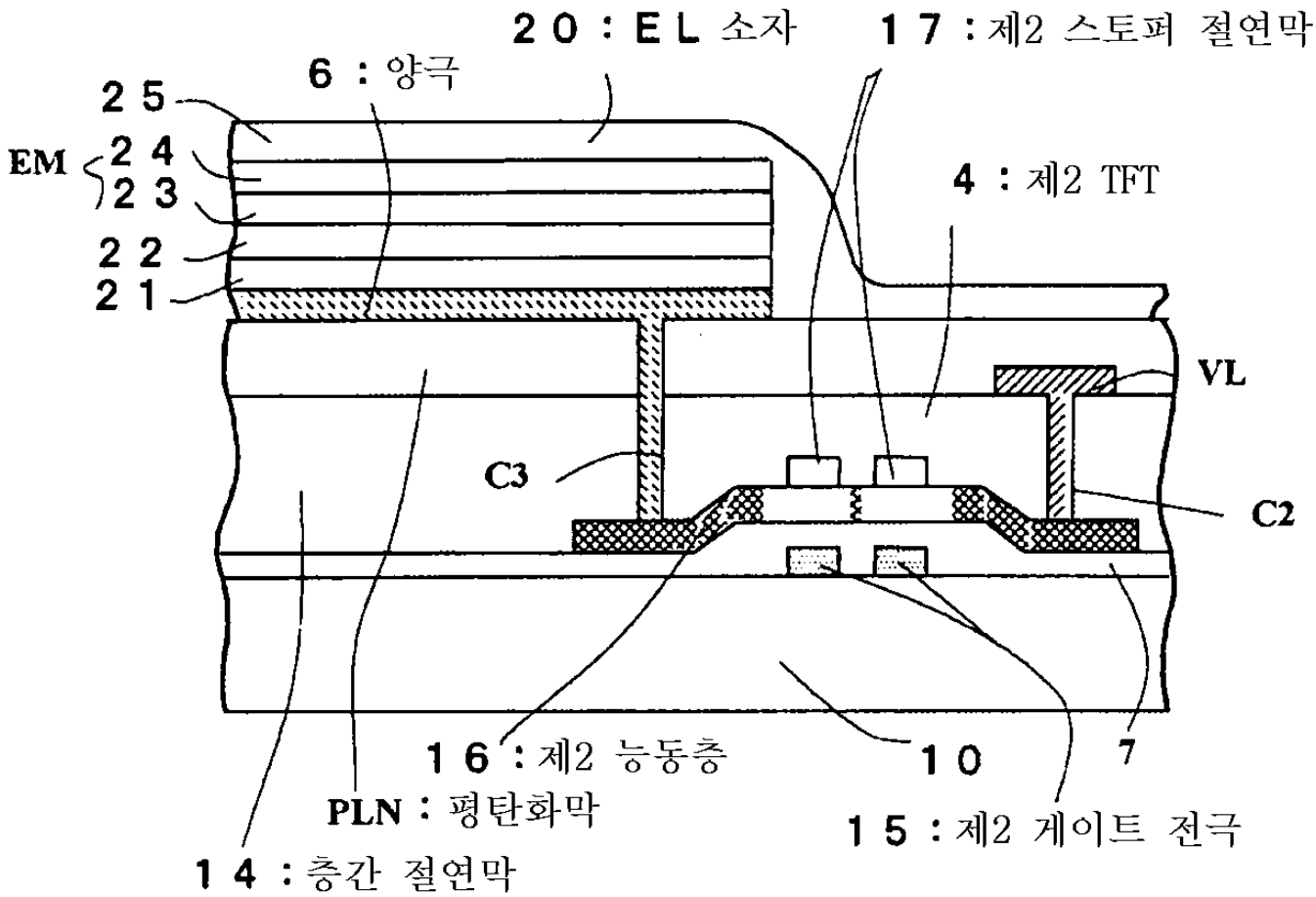
도면 7


1 : 제1 TFT
2 : 유지 용량 전극
3 : 용량 전극
C1
DL
11
GL
A
D
S
8: 유지 용량
CL
A
C3
D
B
B
S
C2
15
6
20
VL
VL

도면 8


13 : 제1 스토퍼 절연막
PLN : 평탄화막
C1
DL
12
14
1 : 제1 TFT
10
7 : 게이트 절연막
11 : 제1 게이트 전극
2 : 유지 용량 전극

도면 9


２０：ＥＬ 소자
１７：제2 스토퍼 절연막
６：양극
２５
EM
２４
２３
２２
２１
４：제2 TFT
VL
C3
C2
１６：제2 능동층
１０
７
PLN：평탄화막
１５：제2 게이트 전극
１４：층간 절연막

专利名称(译)	EL显示器件		
公开(公告)号	KR1020010067245A	公开(公告)日	2001-07-12
申请号	KR1020000056906	申请日	2000-09-28
[标]申请(专利权)人(译)	三洋电机株式会社 山洋电气株式会社		
申请(专利权)人(译)	三洋电机有限公司是分租		
当前申请(专利权)人(译)	三洋电机有限公司是分租		
[标]发明人	YAMADA TSUTOMU		
发明人	YAMADA,TSUTOMU		
IPC分类号	H01L51/50 G09G3/30 H01L27/32 H01L31/12 G09F H05B33/26 G09F9/30 H05B H05B33/12 H01L27/28 H05B33/02 H05B33/14 H01L		
CPC分类号	H01L27/3244 H01L27/3276		
代理人(译)	CHANG, SOO KIL CHU，晟敏		
优先权	1999277104 1999-09-29 JP		
其他公开文献	KR100424834B1		
外部链接	Espacenet		

摘要(译)

栅极线GL和漏极线DL的交叉点，栅极线GL和驱动线VL的交叉点，存储电容器线CL和漏极线DL的交叉点，在存储电容器线CL和驱动线VL的交叉点处发生的短路，从而防止耐压特性的劣化。 栅极线GL和漏极线DL的交叉点，栅极线GL和驱动线VL的交叉点，存储电容器线CL和漏极线DL的交叉点，存储电容器线CL和驱动线VL的交叉点，插入保护膜F1，F2，F3和F4。特别地，增加电阻值而不将杂质引入到对应于交叉点CR1至CR4的部分中。交叉保护膜从交叉点CR1一体地延伸到交叉点CR2，并且从交叉点CR3一体地延伸到交叉点CR4。 1 指数方面 EL显示器件，交叉保护膜，薄膜晶体管，存储电容器线，半导体膜