



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월05일

(11) 등록번호 10-1525804

(24) 등록일자 2015년05월29일

(51) 국제특허분류(Int. Cl.)

H05B 33/10 (2006.01) H01L 51/50 (2006.01)

H05B 33/22 (2006.01) H05B 33/26 (2006.01)

(21) 출원번호 10-2008-0034288

(22) 출원일자 2008년04월14일

심사청구일자 2013년04월10일

(65) 공개번호 10-2009-0108931

(43) 공개일자 2009년10월19일

(56) 선행기술조사문헌

KR1020090091568 A

KR1020060096855 A

JP4301260 B2

JP4539078 B2

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

정진구

경기도 수원시 영통구 봉영로1517번길 27, 벽적골9단지아파트 905동 1601호 (영통동)

이동원

경기도 성남시 분당구 내정로 94, 청구아파트 11 0동 302호 (정자동, 한솔마을)

추창웅

경기도 수원시 영통구 봉영로1517번길 73, 벽적골마을 926동 703호 (영통동, 삼성아파트)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 24 항

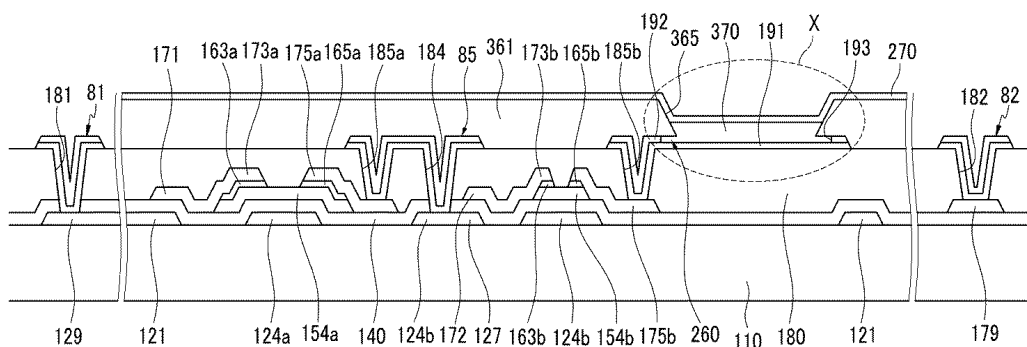
심사관 : 진수영

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

### (57) 요약

본 발명은 유기 발광 표시 장치에 관한 것으로, 기판, 상기 기판 위에 형성되어 있는 제1 화소 전극, 상기 제1 화소 전극 위에 형성되어 있으며 홈을 가지는 제2 화소 전극, 상기 제2 화소 전극 위에 형성되어 있으며 상기 홈을 노출하는 개구부를 가지는 격벽, 적어도 일부가 상기 홈 내부에 형성되어 있는 유기 발광 부재, 그리고 상기 격벽 및 상기 유기 발광 부재 위에 형성되어 있는 공통 전극을 포함한다. 그리고 상기 격벽은 상기 홈과 중첩하여 틈새를 형성하고, 상기 유기 발광 부재의 적어도 일부가 상기 틈새에 놓여 있다. 이렇게 하면 화소 전극과 공통 전극이 발광층에 의해 완전히 분리되어 누설 전류가 발생하지 않으며, 유기 발광 부재를 전체적으로 균일하게 형성할 수 있다.

### 대표도



## 명세서

### 청구범위

#### 청구항 1

기관,

상기 기관 위에 형성되어 있는 제1 화소 전극,

상기 제1 화소 전극 위에 형성되어 있으며 홈을 가지는 제2 화소 전극,

상기 제2 화소 전극 위에 형성되어 있으며 상기 홈을 노출하는 개구부를 가지는 격벽,

적어도 일부가 상기 홈 내부에 형성되어 있는 유기 발광 부재, 그리고

상기 격벽 및 상기 유기 발광 부재 위에 형성되어 있는 공통 전극

을 포함하며,

상기 격벽은 상기 홈과 중첩하여 틈새를 형성하고, 상기 유기 발광 부재의 적어도 일부가 상기 틈새에 놓여 있는

유기 발광 표시 장치.

#### 청구항 2

제1항에서,

상기 제1 화소 전극과 상기 제2 화소 전극의 재질이 서로 다른 유기 발광 표시 장치.

#### 청구항 3

제2항에서,

상기 제1 화소 전극은 ITO로 만들어진 유기 발광 표시 장치.

#### 청구항 4

제3항에서,

상기 제2 화소 전극은 IZO로 만들어진 유기 발광 표시 장치.

#### 청구항 5

제2항에서,

상기 홈은 상기 제2 화소 전극을 관통하여 제1 화소 전극을 노출하는 유기 발광 표시 장치.

#### 청구항 6

제5항에서,

상기 홈의 깊이는 5nm 내지 200nm인 유기 발광 표시 장치.

#### 청구항 7

제2항에서,

상기 제1 화소 전극은 다층 구조를 가지는 유기 발광 표시 장치.

#### 청구항 8

제7항에서,

상기 제1 화소 전극은,  
ITO로 만들어진 제1층,  
상기 제1층 위에 형성되며 금속으로 만들어진 제2층, 그리고  
상기 제2층 위에 형성되며 ITO로 만들어진 제3층  
을 포함하는  
유기 발광 표시 장치.

#### 청구항 9

제8항에서,  
상기 제2층은 알루미늄을 포함하는 유기 발광 표시 장치.

#### 청구항 10

제8항에서,  
상기 공통 전극 위에 형성되어 있으며 금속으로 만들어진 보조 전극을 더 포함하는 유기 발광 표시 장치.

#### 청구항 11

제10항에서,  
상기 보조 전극은 구리, 은, 알루미늄 및 이들의 조합으로 이루어진 군에서 선택된 물질을 포함하는 유기 발광 표시 장치.

#### 청구항 12

제2항에서,  
상기 유기 발광 부재는 정공 수송층과 발광층을 포함하며, 상기 정공 수송층은 상기 틸새에 놓여 있는 부분을 가지는 유기 발광 표시 장치.

#### 청구항 13

제12항에서,  
상기 발광층은 상기 틸새에 놓여 있는 부분을 가지는 유기 발광 표시 장치.

#### 청구항 14

제12항에서,  
상기 정공 수송층의 두께는 500Å 내지 2000Å인 유기 발광 표시 장치.

#### 청구항 15

제12항에서,  
상기 발광층 위에 형성되어 있으며 상기 격벽의 개구부에 위치하는 전자 수송층을 더 포함하는 유기 발광 표시 장치.

#### 청구항 16

기관 위에 제1 화소 전극을 형성하는 단계,  
상기 제1 화소 전극 위에 상기 제1 화소 전극과 재질이 다른 제2 화소 전극을 형성하는 단계,  
상기 제2 화소 전극 위에 개구부를 가지는 격벽을 형성하는 단계,  
상기 제2 화소 전극을 식각하여 상기 격벽 아래에 틸새를 형성하는 홈을 형성하는 단계,

상기 틸새의 적어도 일부를 채우도록 상기 홈에 유기 발광 부재를 형성하는 단계, 그리고  
상기 유기 발광 부재 및 상기 격벽 위에 공통 전극을 형성하는 단계  
를 포함하는  
유기 발광 표시 장치의 제조 방법.

**청구항 17**

제16항에서,  
상기 제1 및 제2 화소 전극을 형성하는 단계는,  
상기 기판 위에 비정질 IT0를 적층하는 단계,  
상기 비정질 IT0 위에 IZO를 적층하는 단계,  
상기 비정질 IT0층 및 상기 IZO층을 식각하는 단계, 그리고  
식각된 상기 비정질 IT0층을 열처리하여 폴리 IT0로 변환하는 단계  
를 포함하는  
유기 발광 표시 장치의 제조 방법.

**청구항 18**

제17항에서,  
상기 격벽 위에 금속막을 적층하는 단계, 그리고  
상기 금속막을 식각하여 보조 전극을 형성하는 단계  
를 더 포함하는  
유기 발광 표시 장치의 제조 방법.

**청구항 19**

제18항에서,  
상기 제2 화소 전극을 식각하는 단계와 상기 금속막을 식각하는 단계는 동시에 이루어지는 유기 발광 표시 장치  
의 제조 방법.

**청구항 20**

제16항에서,  
상기 제1 화소 전극을 형성하는 단계는,  
상기 기판 위에 비정질 IT0를 적층하는 단계,  
상기 비정질 IT0 위에 금속막을 적층하는 단계, 그리고  
상기 금속막 위에 비정질 IT0를 적층하는 단계  
를 포함하는  
유기 발광 표시 장치의 제조 방법.

**청구항 21**

제16항에서,  
상기 격벽을 형성하는 단계는,  
상기 제2 화소 전극 위에 감광성 유기 물질층 또는 감광성 무기 물질층을 적층하는 단계, 그리고

상기 물질층을 노광 및 식각하여 상기 제2 화소 전극을 노출하는 개구부를 만드는 단계  
를 포함하는  
유기 발광 표시 장치의 제조 방법.

#### 청구항 22

제21항에서,  
상기 유기 발광 부재는 잉크젯 방법으로 형성되는 유기 발광 표시 장치의 제조 방법.

#### 청구항 23

제22항에서,  
상기 유기 발광 부재는 모세관 현상에 의해 상기 틈새에 채워지는 유기 발광 표시 장치의 제조 방법.

#### 청구항 24

제16항에서,  
상기 유기 발광 부재를 형성하는 단계는,  
상기 제2 화소 전극 위에 정공 주입층을 적층하는 단계, 그리고  
상기 정공 주입층 위에 발광층을 적층하는 단계  
를 포함하며,  
상기 틈새에 상기 정공 주입층이 채워지도록 하는  
유기 발광 표시 장치의 제조 방법.

### 발명의 설명

#### 발명의 상세한 설명

#### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

#### 배경 기술

[0002] 일반적으로 능동형 평판 표시 장치는 영상을 표시하는 복수의 화소를 포함하며, 주어진 표시 정보에 따라 각 화소의 휘도를 제어함으로써 영상을 표시한다. 이 중에서 유기 발광 표시 장치는 자기 발광형이고 소비 전력이 작으며 시야각이 넓고 화소의 응답 속도가 빨라서, 액정 표시 장치를 능가할 차세대 표시 장치로서 각광받고 있다.

[0003] 유기 발광 표시 장치는 유기 발광 소자(organic light emitting element), 즉 두 개의 전극과 이들 사이에 위치하는 발광층을 포함하며, 두 개의 전극으로부터 발광층으로 주입된 전자와 정공이 결합하여 생성되는 여기자(exciton)가 여기 상태에서 기저 상태로 떨어질 때 발광하는 표시 장치이다.

[0004] 유기 발광 표시 장치는 또한 유기 발광 소자를 구동하는 구동 트랜지스터와 구동 트랜지스터에 데이터 전압을 인가하는 스위칭 트랜지스터 등을 포함하며, 트랜지스터는 박막 트랜지스터(thin film transistor, TFT)의 형태로 만들어진다.

[0005] 이러한 유기 발광 표시 장치가 우수한 발광 특성을 가지기 위해서는 두 전극 사이에 위치하는 발광층이 전체적으로 균일하게 형성되어야 하며, 나이가 누설 전류(leakage current)가 발생하지 않아야 한다.

### 발명의 내용

#### 해결 하고자하는 과제

- [0006] 그런데, 종래에는 발광층의 표면 장력으로 인해 이를 균일하게 형성하기가 어려우며, 더 나아가 발광층이 전극을 완전히 덮고 있지 못해 누설 전류가 발생할 수 있었다. 이처럼 발광층이 균일하지 못하거나 누설 전류가 발생하게 되면 휘도 편차가 발생하거나 휘도가 저하된다.
- [0007] 본 발명은 발광층이 균일하게 형성될 수 있으며, 아울러 누설 전류의 발생을 예방할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공한다.
- 과제 해결수단**
- [0008] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있는 제1 화소 전극, 상기 제1 화소 전극 위에 형성되어 있으며 홈을 가지는 제2 화소 전극, 상기 제2 화소 전극 위에 형성되어 있으며 상기 홈을 노출하는 개구부를 가지는 격벽, 적어도 일부가 상기 홈 내부에 형성되어 있는 유기 발광 부재, 그리고 상기 격벽 및 상기 유기 발광 부재 위에 형성되어 있는 공통 전극을 포함하며, 상기 격벽은 상기 홈과 중첩하여 틈새를 형성하고, 상기 유기 발광 부재의 적어도 일부가 상기 틈새에 놓여 있다.
- [0009] 상기 제1 화소 전극과 상기 제2 화소 전극의 재질은 서로 다를 수 있다. 상기 제1 화소 전극은 ITO로 만들어질 수 있으며, 상기 제2 화소 전극은 IZO로 만들어질 수 있다.
- [0010] 상기 홈은 상기 제2 화소 전극을 관통하여 제1 화소 전극을 노출할 수 있다. 상기 홈의 깊이는 5nm 내지 200nm 일 수 있다.
- [0011] 상기 제1 화소 전극은 다층 구조를 가질 수 있다.
- [0012] 상기 제1 화소 전극은, ITO로 만들어진 제1층, 상기 제1층 위에 형성되며 금속으로 만들어진 제2층, 그리고 상기 제2층 위에 형성되며 ITO로 만들어진 제3층을 포함할 수 있다.
- [0013] 상기 제2층 전극은 알루미늄을 포함할 수 있다.
- [0014] 상기 제2 화소 전극은 상기 제3층 전극 위에 형성되며, IZO로 만들어질 수 있다.
- [0015] 상기 유기 발광 표시 장치는 상기 공통 전극 위에 형성되어 있으며 저저항 금속으로 만들어진 보조 전극을 더 포함할 수 있다. 상기 보조 전극은 구리, 은, 알루미늄 및 이들의 조합으로 이루어진 군에서 선택된 물질을 포함할 수 있다.
- [0016] 상기 유기 발광 부재는 정공 수송층과 발광층을 포함하며, 상기 정공 수송층은 상기 틈새에 놓여 있는 부분을 가질 수 있다. 상기 발광층도 상기 틈새에 놓여 있는 부분을 가질 수 있다.
- [0017] 상기 정공 수송층의 두께는 500Å 내지 2000Å일 수 있다.
- [0018] 상기 유기 발광 표시 장치는 상기 발광층 위에 형성되어 있으며 상기 격벽의 개구부에 위치하는 전자 수송층을 더 포함할 수 있다.
- [0019] 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 화소 전극을 형성하는 단계, 상기 제1 화소 전극 위에 재질이 다른 제2 화소 전극을 형성하는 단계, 상기 제2 화소 전극 위에 개구부를 가지는 격벽을 형성하는 단계, 상기 제2 화소 전극을 식각하여 상기 격벽 아래에 틈새를 형성하는 홈을 형성하는 단계, 상기 틈새의 적어도 일부를 채우도록 상기 홈에 유기 발광 부재를 형성하는 단계, 그리고 상기 유기 발광 부재 및 상기 격벽 위에 공통 전극을 형성하는 단계를 포함한다.
- [0020] 상기 제1 및 제2 화소 전극을 형성하는 단계는, 상기 기판 위에 비정질 ITO를 적층하는 단계, 상기 비정질 ITO 위에 IZO를 적층하는 단계, 상기 비정질 ITO층 및 상기 IZO층을 식각하는 단계, 그리고 식각된 상기 비정질 ITO층을 열처리하여 폴리 ITO로 변환하는 단계를 포함할 수 있다.
- [0021] 상기 유기 발광 표시 장치의 제조 방법은 상기 격벽 위에 저저항 금속막을 적층하는 단계, 그리고 상기 저저항 금속막을 식각하여 보조 전극을 형성하는 단계를 더 포함할 수 있다.
- [0022] 상기 제2 화소 전극을 식각하는 단계와 상기 저저항 금속막을 식각하는 단계는 동시에 이루어질 수 있다.
- [0023] 상기 제1 화소 전극을 형성하는 단계는, 상기 기판 위에 비정질 ITO를 적층하는 단계, 상기 비정질 ITO 위에 금속막을 적층하는 단계, 그리고 상기 금속막 위에 비정질 ITO를 적층하는 단계를 포함할 수 있다.
- [0024] 상기 격벽을 형성하는 단계는, 상기 제2 화소 전극 위에 감광성 유기 물질층 또는 감광성 무기 물질층을 적층하

는 단계, 그리고 상기 물질층을 노광 및 식각하여 상기 제2 화소 전극을 노출하는 개구부를 만드는 단계를 포함할 수 있다.

[0025] 상기 유기 발광 부재는 잉크젯 방법으로 형성될 수 있다. 상기 유기 발광 부재는 모세관 현상에 의해 상기 틈새에 채워질 수 있다.

[0026] 상기 유기 발광 부재를 형성하는 단계는, 상기 제2 화소 전극 위에 정공 주입층을 적층하는 단계, 그리고 상기 정공 주입층 위에 발광층을 적층하는 단계를 포함할 수 있으며, 상기 틈새에 상기 정공 주입층이 채워지도록 할 수 있다.

### 효 과

[0027] 본 발명의 실시예에 따르면, 격벽과 화소 전극의 홈이 만드는 틈새로 발광층이 빨려 들어가므로 발광층의 가장자리 부분이 얇게 형성되는 현상을 방지할 수 있고 아울러 발광층의 중앙부가 볼록해지는 현상을 줄일 수 있다. 따라서 발광층이 전체적으로 균일하게 형성될 수 있다.

[0028] 또한 본 발명의 실시예에 따르면, 화소 전극과 공통 전극이 발광층에 의해 완전히 분리되므로 누설 전류를 발생시키지 않고 휘도를 향상할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0029] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 “위에” 있다고 할 때, 이는 다른 부분 “바로 위에” 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 “바로 위에” 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0031] 먼저 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 도 1을 참고하여 설명한다.

[0032] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.

[0033] 도 1을 참고하면, 본 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.

[0034] 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(gate line)(121), 데이터 신호를 전달하는 복수의 데이터선(data line)(171) 및 구동 전압을 전달하는 복수의 구동 전압선(driving voltage line)(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

[0035] 각 화소(PX)는 스위칭 트랜지스터(switching transistor)(Qs), 구동 박막 트랜지스터(driving transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 소자를 포함한다. 유기 발광 소자는 유기 발광 다이오드(organic light emitting diode, OLED)(LD)의 역할을 한다.

[0036] 스위칭 트랜지스터(Qs)는 제어 단자(control terminal), 입력 단자(input terminal) 및 출력 단자(output terminal)를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 트랜지스터(Qd)에 연결되어 있다. 스위칭 트랜지스터(Qs)는 게이트선(121)으로부터 받은 주사 신호에 응답하여 데이터선(171)으로부터 받은 데이터 신호를 구동 트랜지스터(Qd)에 전달한다.

[0037] 구동 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 소자에 연결되어 있다. 구동 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(ILD)를 흘린다.

[0038] 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.

- [0039] 유기 발광 소자는 구동 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode)와 공통 전압(Vss)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 소자는 구동 트랜지스터(Qd)의 출력 전류(ILD)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0040] 스위칭 트랜지스터(Qs) 및 구동 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 트랜지스터(Qs)와 구동 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 소자의 연결 관계가 바뀔 수 있다.
- [0041] 그러면 도 1에 도시한 유기 발광 표시 장치의 구조에 대하여 도 2 내지 도 4를 도 1과 함께 참고하여 설명한다.
- [0042] 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도의 한 예이고, 도 4는 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도의 다른 예이다.
- [0043] 절연 기판(110) 위에 제1 제어 전극(control electrode)(124a)을 포함하는 복수의 게이트선(gate line)(121)과 복수의 제2 제어 전극(124b)을 포함하는 복수의 게이트 도전체(gate conductor)가 형성되어 있다.
- [0044] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함하며, 제1 제어 전극(124a)은 게이트선(121)으로부터 위로 뻗어 있다. 제2 제어 전극(124b)은 게이트선(121)과 분리되어 있으며 어느 한쪽으로 길게 뻗은 유지 전극(storage electrode)(127)을 포함한다.
- [0045] 게이트 도전체(121, 124a, 124b, 127) 위에는 질화규소(SiNx) 또는 산화규소(SiO<sub>2</sub>) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0046] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소(polysilicon) 등으로 만들어진 제1 반도체(154a)와 제2 반도체(154b)가 형성되어 있다. 제1 반도체(154a)는 제1 제어 전극(124a)과 중첩하며 제2 반도체(154b)는 제2 제어 전극(124b)과 중첩한다.
- [0047] 제1 및 제2 반도체(154a, 154b) 위에는 각각 제1 저항성 접촉 부재(ohmic contact)(163a, 165a)와 제2 저항성 접촉 부재(163b, 165b)가 형성되어 있다. 제1 저항성 접촉 부재(163a, 165a)는 쌍을 이루어 제1 반도체(154a) 위에 배치되어 있고, 제2 저항성 접촉 부재(163b, 165b) 또한 쌍을 이루어 제2 반도체(154b) 위에 배치되어 있다.
- [0048] 저항성 접촉 부재(163a, 163b, 165a, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 구동 전압선(172)과 복수의 제1 및 제2 출력 전극(output electrode)(175a, 175b)을 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.
- [0049] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제1 제어 전극(124a)을 향하여 뻗은 복수의 제1 입력 전극(input electrode)(173a)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다.
- [0050] 구동 전압선(172)은 구동 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 구동 전압선(172)은 제2 제어 전극(124b)을 향하여 뻗은 복수의 제2 입력 전극(173b)을 포함하며, 유지 전극(127)과 중첩된 부분을 포함한다.
- [0051] 제1 및 제2 출력 전극(175a, 175b)은 서로 분리되어 있고 데이터선(171) 및 구동 전압선(172)과도 분리되어 있다. 제1 입력 전극(173a)과 제1 출력 전극(175a)은 제1 제어 전극(124a)을 중심으로 서로 마주보고, 제2 입력 전극(173b)과 제2 출력 전극(175b)은 제2 제어 전극(124b)을 중심으로 서로 마주본다.
- [0052] 데이터 도전체(171, 172, 175a, 175b)는 폴리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어질 수 있다.
- [0053] 저항성 접촉 부재(163a, 163b, 165a, 165b)는 그 아래의 반도체(154a, 154b)와 그 위의 데이터 도전체(171, 172, 175a, 175b) 사이에만 존재하며 접촉 저항을 낮추어 준다. 반도체(154a, 154b)에는 입력 전극(173a, 173b)과 출력 전극(175a, 175b) 사이를 비롯하여 데이터 도전체(171, 172, 175a, 175b)로 가리지 않고 노출된 부분이 있다.
- [0054] 데이터 도전체(171, 172, 175a, 175b) 및 노출된 반도체(154a, 154b) 부분 위에는 보호막(passivation



layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다.

[0055] 보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1 및 제2 출력 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트 선(121)의 끝 부분(129)과 제2 제어 전극(124b)을 각각 드러내는 복수의 접촉 구멍(181, 184)이 형성되어 있다.

[0056] 보호막(180) 위에는 2층 구조의 화소 전극(pixel electrode)(191, 192), 연결 부재(connecting member)(85) 및 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다.

[0057] 제1 화소 전극(191)과 그 위에 형성된 제2 화소 전극(192)은 서로 다른 재료로 만들어진다. 예컨대, 제1 화소 전극(191)은 IT0(indium tin oxide)로, 제2 화소 전극(192)은 IZO(indium zinc oxide)로 만들어질 수 있다.

[0058] 나아가 제1 화소 전극(191)은 다층(multi layer) 구조를 가질 수 있다. 가령, 도 4에서 도시한 바와 같이, 제1 화소 전극(191)은 IT0로 만들어진 제1층(191a), 상기 제1층(191a) 위에 형성되며 알루미늄 따위의 금속으로 만들어진 제2층(191b) 및 상기 제2층(191b) 위에 형성되며 IT0로 만들어진 제3층(191c)을 포함할 수 있다. 전면 발광(top emission) 방식의 경우 제2층(191b)은 반사막 역할을 한다.

[0059] 제2 화소 전극(192)은 홈(193)을 가지고 있다. 홈(193)은 제2 화소 전극(192)을 상하 관통하여 제1 화소 전극(191)을 노출한다. 그러나, 제2 화소 전극(192)의 홈(193)은 관통되지 않고, 제2 화소 전극(192) 내에 파여져 있는 홈일 수도 있다.

[0060] 연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제2 제어 전극(124b) 및 제1 출력 전극(175a)과 연결되어 있고, 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결되어 있다. 연결 부재(85) 및 접촉 보조 부재(81, 82)는 2층 구조를 가지며, IT0, IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

[0061] 보호막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191, 192) 가장자리 주변을 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물로 만들어진다. 격벽(361)은 또한 검정색 안료를 포함하는 감광재로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 한다.

[0062] 격벽(361)은 제2 화소 전극(192)의 홈(193)과 중첩하여 틈새(260)를 형성하며, 틈새(260) 및 개구부(365)에는 유기 발광 부재(370)가 위치한다. 즉, 틈새(260)는 제1 화소 전극(191)과 격벽(361)이 중첩되고 제2 화소 전극(192)이 형성되지 않은 위치에 마련된다.

[0063] 유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 마그네슘(Mg), 은(Ag) 따위의 금속으로 만들어진다. 배면 발광(bottom emission) 방식의 경우 공통 전극(270)은 빛을 반사해야 하므로 소정의 두께를 가지는 반사성 금속으로 형성된다. 그러나 전면 발광 방식의 경우 빛이 공통 전극(270)을 투과해야 하므로 공통 전극(270)은 얇은 금속으로 형성된다. 공통 전극(270)이 얇게 만들어진 경우 저항이 크므로, 도 4에서 보는 바와 같이, 격벽(361)과 공통 전극(270) 사이에 보조 전극(275)을 둘 수 있다. 보조 전극(275)은 구리, 은, 알루미늄 따위의 저저항 금속으로 만들어질 수 있으며, 게이트선(121), 데이터선(171), 구동 전압선(172) 또는 이들 모두의 위에 위치할 수 있다.

[0064] 공통 전극(270) 위에는 밀봉층(encapsulation layer)(도시하지 않음)이 형성될 수 있다. 밀봉층은 유기 발광 부재(370) 및 공통 전극(270)을 밀봉(encapsulation)하여 외부로부터 수분 및/또는 산소가 침투하는 것을 방지할 수 있다.

[0065] 이러한 유기 발광 표시 장치에서, 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 제1 반도체(154a)와 함께 스위칭 박막 트랜지스터(switching TFT)(Qs)를 이루며, 스위칭 박막 트랜지스터(Qs)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 반도체(154a)에 형성된다. 제1 출력 전극(175a)에 연결되어 있는 제2 제어 전극(124b), 구동 전압선(172)에 연결되어 있는 제2 입력 전극(173b) 및 화소 전극(191, 192)에 연결되어 있는 제2 출력 전극(175b)은 제2 반도체(154b)와 함께 구동 박막 트랜지스터(driving TFT)(Qd)를 이루며, 구동 박막 트랜지스터(Qd)의 채널은 제2 입력 전극(173b)과 제2 출력 전극(175b) 사이의 제2 반도체(154b)에 형성된다.

[0066] 화소 전극(191, 192), 유기 발광 부재(370) 및 공통 전극(270)은 유기 발광 소자를 이루며, 화소 전극(191, 192)이 애노드(anode), 공통 전극(270)이 캐소드(cathode)가 되거나 반대로 화소 전극(191, 192)이 캐소드, 공통 전극(270)이 애노드가 된다. 또한 서로 중첩하는 유지 전극(127)과 구동 전압선(172)은 유지 축전기

(storage capacitor)(Cst)를 이룬다.

- [0067] 제어 전극(124a, 124b)을 반도체(154a, 154b) 위에 둘 수 있으며 이때에도 게이트 절연막(140)은 반도체(154a, 154b)와 제어 전극(124a, 124b) 사이에 위치한다. 이때, 데이터 도전체(171, 172, 173b, 175b)는 게이트 절연막(140) 위에 위치하고 게이트 절연막(140)에 뚫린 접촉 구멍(도시하지 않음)을 통하여 반도체(154a, 154b)와 전기적으로 연결될 수 있다. 이와는 달리 데이터 도전체(171, 172, 173b, 175b)가 반도체(154a, 154b) 아래에 위치하여 그 위의 반도체(154a, 154b)와 전기적으로 접촉할 수 있다.
- [0068] 격벽(361), 틸새(260) 및 유기 발광 부재(370)에 대해서는 도 5 내지 도 7을 참고하여 상세하게 설명한다.
- [0069] 도 5는 도 3의 유기 발광 표시 장치에서 X 부분 확대도의 한 예이고, 도 6 및 도 7은 도 3의 유기 발광 표시 장치에서 X 부분 확대도의 다른 예이다.
- [0070] 도 5를 참고하면, 유기 발광 부재(370)는 발광층(376)일 수 있으며, 또는 발광층(376) 외에 발광층(376)의 효율을 높이기 위한 부대층(auxiliary layer)을 포함하는 다층 구조일 수도 있다.
- [0071] 발광층(376)은 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질 또는 유기 물질과 무기 물질의 혼합물로 만들어질 수 있다. 유기 발광 표시 장치는 발광층(376)에서 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다.
- [0072] 부대층은 전자와 정공의 균형을 맞추기 위한 정공 수송층(hole transport layer)(375) 및 전자 수송층(electron transport layer)(377)을 포함한다. 부대층은 또한 정공 수송층(375) 및 전자 수송층(377)외에 전자와 정공의 주입을 강화하기 위한 정공 주입층(hole injecting layer) 및 전자 주입층(electron injecting layer)을 별도로 포함할 수도 있다. 그러나 하나의 층이 정공 수송층(375) 및 정공 주입층의 역할, 또는 전자 수송층(377) 및 전자 주입층의 역할을 함께 가질 수 있다.
- [0073] 제2 화소 전극(192)의 홈(193)은 바닥면과 바닥면 둘레를 따라 형성되어 있는 측면을 포함한다. 홈(193)의 바닥면은 보호막(180)과 평행하고, 측면은 곡면으로 그 단면 모양이 실질적으로 반원 모양일 수 있다. 그러나, 도 6에 도시한 바와 같이 홈(193)의 측면은 홈(193)의 바닥면과 직교할 수 있다.
- [0074] 홈(193)의 가장자리는 격벽(361)과 함께 틸새(260)를 한정하고 있다. 틸새(260)를 한정하는 격벽(361) 하부면과 홈(193)의 바닥면 사이의 간격 즉 홈(193)의 깊이(d)는 5nm 내지 200nm일 수 있다. 홈(193)의 깊이(d)가 5nm보다 작으면 정공 수송층(375) 등이 틸새(260)에 충분히 채워지기 어려우며, 200nm보다 크면 제2 화소 전극(192)을 식각하여 홈(193)을 만들기가 쉽지 않고 제2 화소 전극(192)을 만드는 재료가 낭비된다.
- [0075] 정공 수송층(375)은 제2 화소 전극(192) 위에 형성되어 있다. 정공 수송층(375)의 가장자리는 틸새(260)를 한정하는 격벽(361)의 하부면과 접촉한다. 정공 수송층(375)의 두께(t)는 500Å 내지 2000Å일 수 있다. 정공 수송층(375)의 두께(t)가 500Å보다 작거나 2000Å보다 크면 유기 발광 소자의 수명이 단축될 수 있으며, 특히 2000Å보다 크면 투과율도 낮아진다.
- [0076] 정공 수송층(375) 위에는 발광층(376)이 형성되어 있다. 발광층(376)은 정공 수송층(375)의 상부면과 접촉하고 있으며, 그 가장자리가 틸새(260)를 한정하는 격벽(361)의 하부면과 접촉한다. 발광층(376)의 상부면은 틸새(260)를 한정하는 격벽(361)의 하부면과 실질적으로 동일한 평면 상에 위치할 수 있다. 다시 말하면 발광층(376)은 격벽(361)의 개구부(365) 아래 즉 제2 화소 전극(192)의 홈(193) 내에 위치할 수 있다.
- [0077] 결국 틸새(260) 전체에는 정공 수송층(375) 및 발광층(376)이 채워져 있으며, 이들은 모세관 현상에 의해 채워질 수 있다. 발광층(376)은 정공 수송층(375)을 완전히 덮고 있다.
- [0078] 발광층(376) 위에는 전자 수송층(377)이 형성되어 있다. 전자 수송층(377)은 정공 수송층(375)을 덮고 있는 발광층(376) 위에 위치하므로, 정공 수송층(375)과 완전히 분리된다. 전자 수송층(377) 위에는 마그네슘(Mg), 은(Ag) 따위의 금속으로 만들어진 공통 전극(270)이 형성되어 있다.
- [0079] 이러한 구조에 따르면, 발광층(376)이 틸새(260)에 완전히 채워져 있으므로 정공 수송층(375)과 전자 수송층(377)이 물리적, 전기적으로 완전히 분리된다. 이로써 누설 전류의 발생을 예방할 수 있으며 아울러 휘도 저하를 방지할 수 있다.
- [0080] 또한 틸새(263)에는 발광층(376)이 채워져 있으므로 발광층(376)의 가장자리 부분이 얇게 형성되는 현상을 방지할 수 있고 아울러 발광층(376)의 중앙부가 불록해지는 현상을 줄일 수 있다. 따라서 발광층(376)이 전체적으로 균일하게 형성될 수 있다.

- [0081] 한편, 도 7에 도시한 바와 같이, 제2 화소 전극(192)의 홈(193) 및 틈새(260)에는 정공 수송층(375) 만이 위치하며, 격벽(361)의 개구부(365)에 발광층(376)이 위치할 수 있다. 발광층(376)은 정공 수송층(375)을 완전히 덮고 있으며, 공통 전극(270)은 단차 없이 격벽(361) 및 전자 수송층(377) 위에 형성될 수 있다. 정공 수송층(375)의 두께는 홈(193) 깊이보다 클 수 있으며 이때 그 표면은 격벽(361)의 개구부(365)에 위치한다.
- [0082] 다음 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대하여 도 8 내지 도 13을 참고하여 설명한다.
- [0083] 도 8은 내지 도 13은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 차례로 나타낸 단면도이며, 특히 도 11 내지 도 13은 도 10의 X 부분을 확대한 단면도이다.
- [0084] 우선, 도 8에 도시한 바와 같이, 기판(110) 위에 게이트선(121)과 제1 및 제2 제어 전극(124a, 124b)과 유지 전극(127)을 포함하는 게이트 도전체, 게이트 절연막(140), 제1 및 제2 반도체(154a, 154b), 제1 및 제2 저항성 접촉 부재(163a, 165a, 163b, 165b), 데이터선(171)과 구동 전압선(172)과 제1 및 제2 출력 전극(175a, 175b)을 포함하는 데이터 도전체(data conductor), 그리고 보호막(180)을 차례로 형성한다. 이어서 보호막(180) 위에 비정질 IT0층(190a)을 적층하고, 그 위에 IZO층(190b)을 적층한다.
- [0085] 다음으로, 도 9에 도시한 바와 같이, 비정질 IT0층(190a) 및 IZO층(190b)을 식각하여 제1 및 제2 화소 전극(191, 192)과 2층 구조의 연결 부재(85) 및 접촉 보조 부재(81, 82)를 형성한다. 그런 다음 열처리 공정 예컨대 풀림(annealing) 공정을 진행하여 비정질 IT0로 만들어진 제1 화소 전극(191)과 연결 부재(85) 및 접촉 보조 부재(81, 82)의 하부층을 폴리 IT0로 변환한다. 비정질 IT0는 IZO와 함께 식각 가능하나, 폴리 IT0는 IZO를 식각할 때 손상을 입지 않는다. 결국 열처리 공정을 거친 제1 화소 전극(191)과 제2 화소 전극(192)은 식각 선택성(each selectivity)을 가질 수 있다.
- [0086] 다음으로, 도 10에 도시한 바와 같이, 보호막(180), 제2 화소 전극(192) 및 연결 부재(85) 위에 유기 절연물층 또는 무기 절연물층을 적층한다. 그런 후에 절연물층을 노광 및 식각하여 제2 화소 전극(192)을 노출하는 개구부(365)를 만들어 격벽(361)을 완성한다.
- [0087] 다음으로, 도 11에 도시한 바와 같이, 격벽(361)을 마스크로 하여 격벽(361)으로 덮여 있지 않은 제2 화소 전극(192)의 노출된 부분을 식각한다. 그러면 제1 화소 전극(191)의 일부를 노출하는 홈(193)이 형성된다. 이때 습식 식각을 사용하면 제2 화소 전극(192)이 등방성으로 식각되어 격벽(361) 아래의 부분까지 식각되고 따라서 격벽(361)과 제2 화소 전극(192) 사이에 언더컷이 발생하여 틈새(260)가 발생한다. 틈새(260)의 크기는, 제2 화소 전극(192)의 두께 즉 홈(193)의 깊이(d)와 실질적으로 동일하기 때문에, 조절이 용이하다. 제2 화소 전극(192)을 식각할 때 폴리 IT0인 제1 화소 전극(191)은 별다른 손상을 입지 않는다.
- [0088] 한편, 홈(193)은 제2 화소 전극(192)을 완전히 관통하지 않도록 형성할 수도 있으며, 틈새(260)의 단면 모양 등은 식각 공정 조건에 따라 다양하게 변경할 수 있다.
- [0089] 전면 발광 방식의 경우 격벽(361) 위에 구리, 은, 알루미늄 따위의 저저항 금속막을 적층하고 이를 식각하여 보조 전극(275, 도 4 참조)을 형성할 수 있다. 이때 금속막의 식각은 제2 화소 전극(192)에 홈(193)을 형성하기 위한 식각 공정과 동시에 진행될 수 있다. 보조 전극(275)은 생략될 수도 있다.
- [0090] 다음으로, 도 12에 도시한 바와 같이, 유기 물질을 잉크젯 방법 등으로 제2 화소 전극(192)의 홈(193)에 떨어뜨려 정공 수송층(375)을 형성한다. 정공 수송층(375)은 유기 물질과 무기 물질의 혼합물로 만들어질 수도 있다. 유기 물질은 모세관 현상에 의해 틈새(260)에 채워지며, 표면 장력 및 틈새(260)와의 부착력에 따라 전체적으로 균일한 두께를 가질 수 있다. 이어서 정공 수송층(375) 위에 빛을 내는 유기 물질 또는 유기 물질과 무기 물질의 혼합물을 잉크젯 방법 등으로 떨어뜨려 발광층(376)을 형성한다. 유기 물질 또는 유기 물질과 무기 물질의 혼합물 역시 모세관 현상에 의해 틈새(260)에 채워지며 그 끝 부분은 틈새(260)를 한정하는 격벽(361)의 하부면과 접촉한다. 따라서 발광층(376)은 표면 장력 및 틈새(260)와의 부착력 등으로 인해 전체적으로 균일한 두께를 가질 수 있고, 정공 수송층(375)을 완전히 덮을 수 있다.
- [0091] 한편, 도 7에 도시한 바와 같이 틈새(260) 및 홈(193)에 정공 수송층(375) 만이 위치하는 경우, 그 위에 위치하는 발광층(376)은 사진 식각 공정에 의해 형성될 수도 있다. 정공 수송층(375)과 제2 화소 전극(192) 사이에는 정공 주입층이 별도로 형성될 수 있다.
- [0092] 다음으로, 도 13에 도시한 바와 같이, 발광층(376) 위에 전자 수송층(377)을 형성하고, 그 위에 공통 전극(270)을 형성한다. 전자 수송층(377)과 공통 전극(270) 사이에는 전자 주입층이 형성될 수도 있다. 전자 수송층

(377) 및 전자 주입층은 잉크젯 방법 또는 사진 식각 공정에 의해 만들어질 수 있다.

[0093] 이러한 방법에 따르면 발광층(376)을 전체적으로 균일하게 형성할 수 있으며, 발광층(376)이 정공 수송층(375)과 전자 수송층(377)을 완전히 분리하여 누설 전류의 발생을 방지할 수 있다.

[0094] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

### 도면의 간단한 설명

[0095] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이고,

[0096] 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 배치도이고,

[0097] 도 3은 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도의 한 예이고,

[0098] 도 4는 도 2의 유기 발광 표시 장치를 III-III 선을 따라 잘라 도시한 단면도의 다른 예이고,

[0099] 도 5는 도 3의 유기 발광 표시 장치에서 X 부분 확대도의 한 예이고,

[0100] 도 6 및 도 7은 도 3의 유기 발광 표시 장치에서 X 부분 확대도의 다른 예이고,

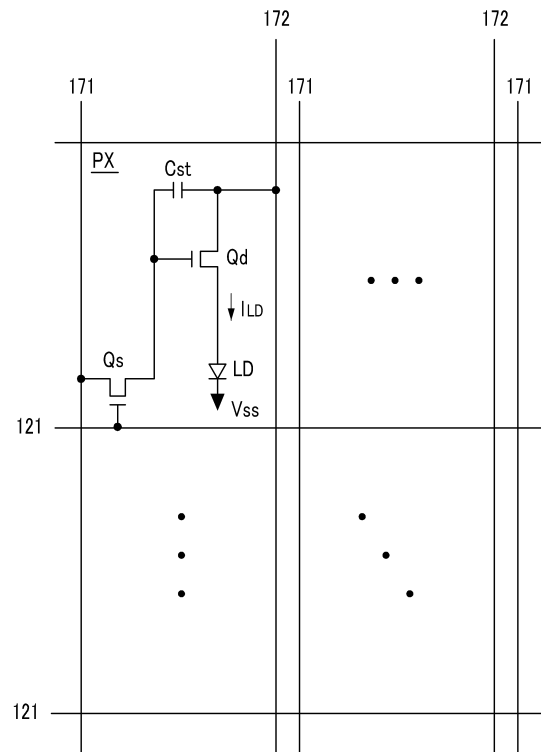
[0101] 도 8은 내지 도 13은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 차례로 나타낸 단면도이다.

[0102] <도면 부호의 설명>

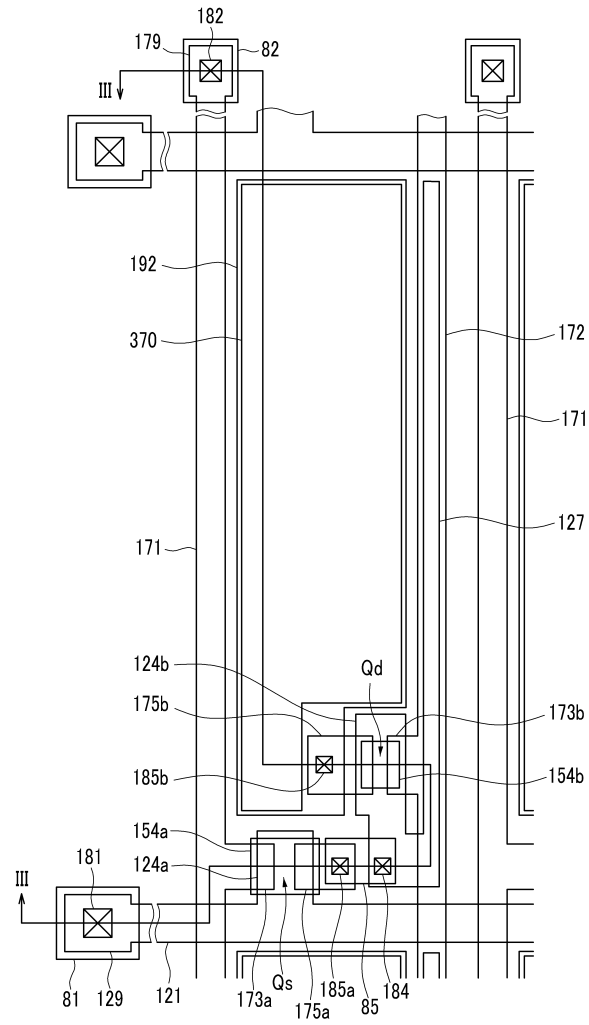
|                                  |                                  |
|----------------------------------|----------------------------------|
| [0103] 110: 기판                   | 81, 82: 접촉 보조 부재                 |
| [0104] 85: 연결 부재                 | 121: 게이트선                        |
| [0105] 124a, 124b: 제1 및 제2 제어 전극 | 127: 유지 전극                       |
| [0106] 129: 게이트선의 끝 부분           | 140: 게이트 절연막                     |
| [0107] 154a, 154b: 반도체           | 171: 데이터선                        |
| [0108] 172: 구동 전압선               | 173a, 173b: 제1 및 제2 입력 전극        |
| [0109] 175a, 175b: 제1 및 제2 출력 전극 | 179: 데이터선의 끝 부분                  |
| [0110] 191, 192: 제1 및 제2 화소 전극   | 181, 182, 184, 185a, 185b: 접촉 구멍 |
| [0111] 193: 제2 화소 전극의 홈          | 260: 틸트                          |
| [0112] 270: 공통 전극                | 361: 격벽                          |
| [0113] 375: 정공 수송층               | 376: 발광층                         |
| [0114] 377: 전자 수송층               | Qs: 스위칭 트랜지스터                    |
| [0115] Qd: 구동 트랜지스터              | LD: 유기 발광 다이오드                   |
| [0116] Vss: 공통 전압                | Cst: 유지 축전기                      |

도면

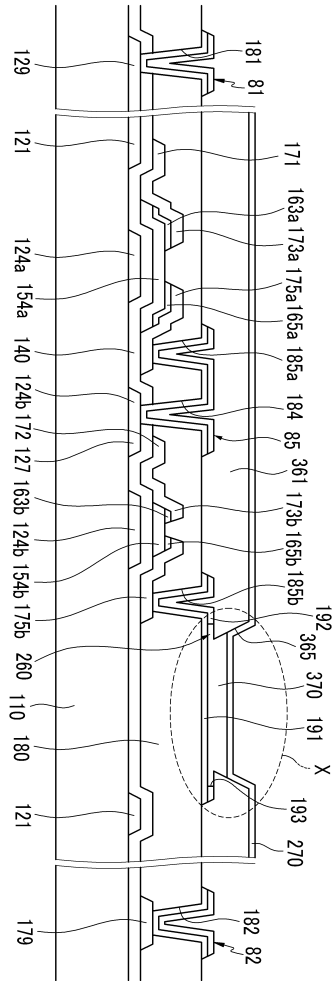
도면1



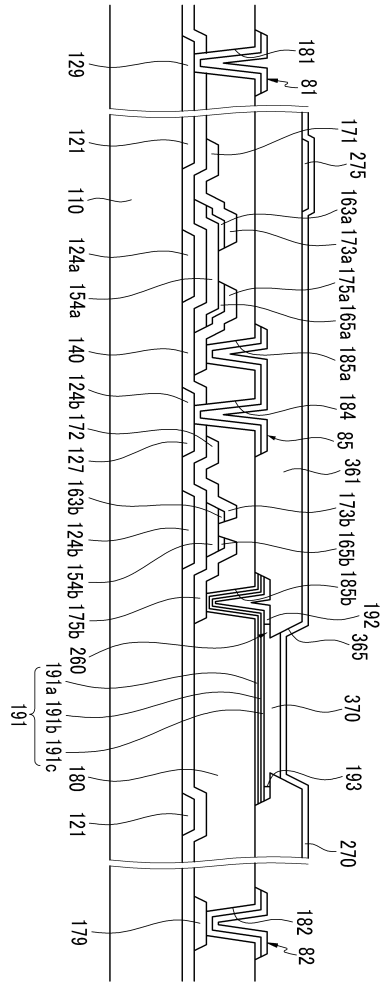
도면2



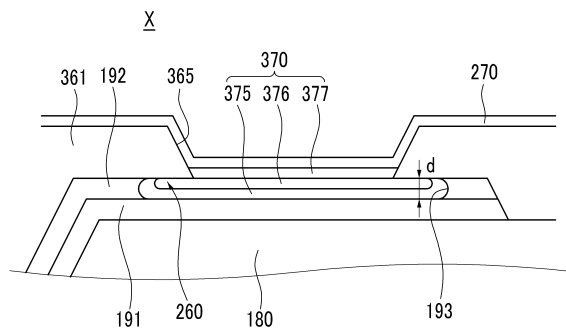
도면3



도면4

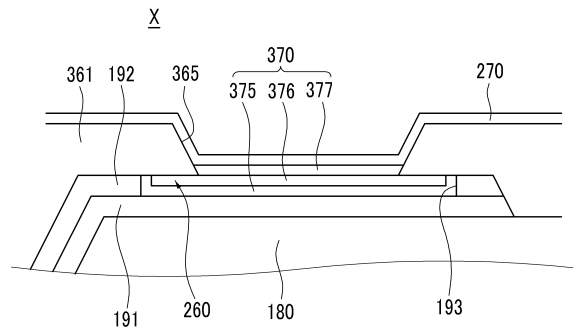


도면5

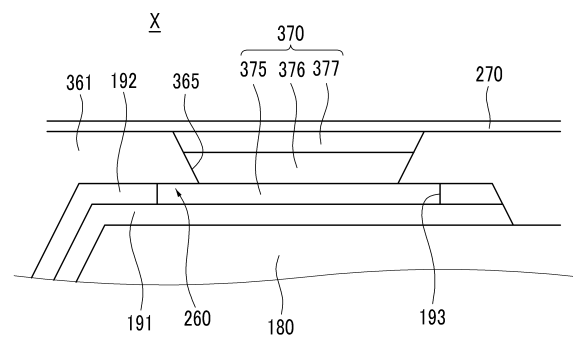




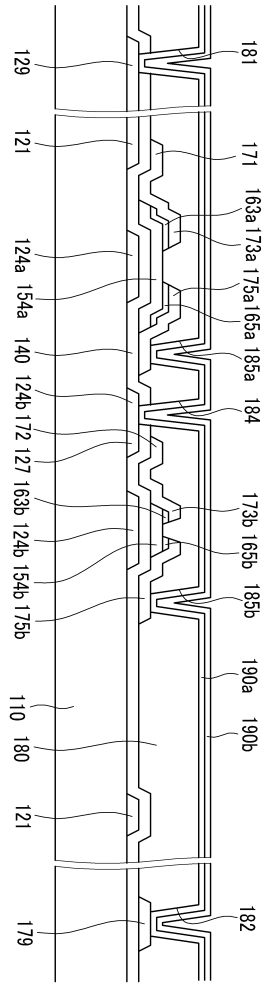
도면6



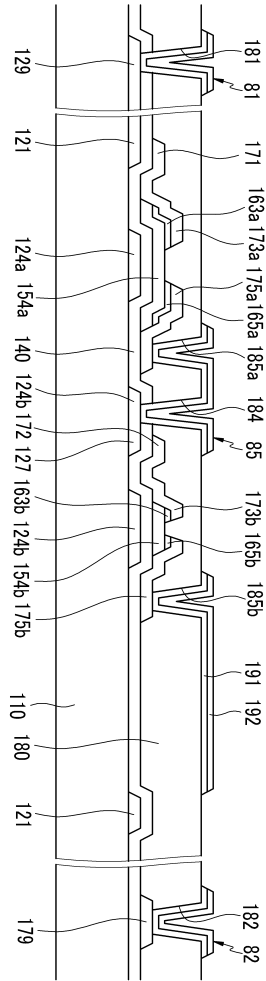
도면7



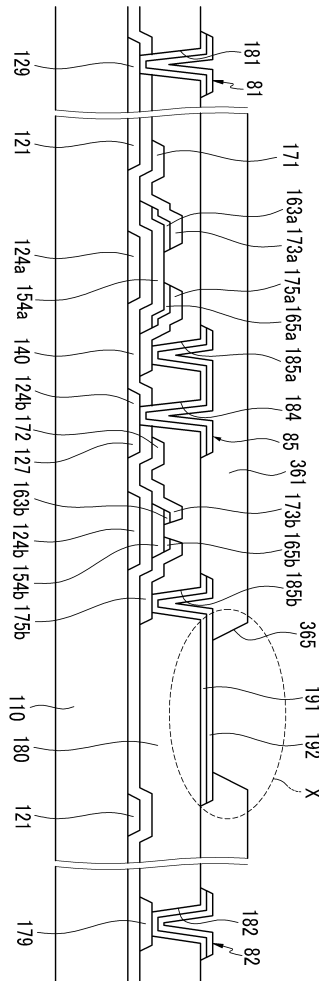
도면8



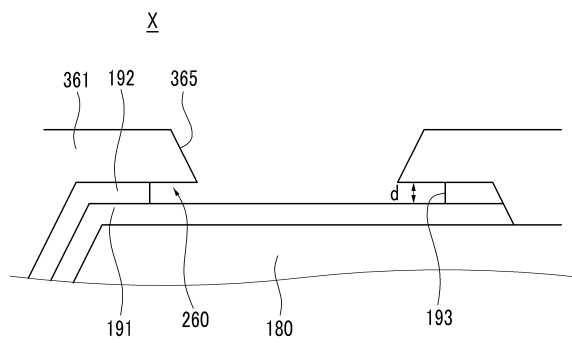
도면9



도면10



도면11





|                |                                                                                                                                                   |         |            |
|----------------|---------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：OLED显示器及其制造方法                                                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">KR101525804B1</a>                                                                                                                     | 公开(公告)日 | 2015-06-05 |
| 申请号            | KR1020080034288                                                                                                                                   | 申请日     | 2008-04-14 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                          |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                         |         |            |
| 当前申请(专利权)人(译)  | 三星显示器有限公司                                                                                                                                         |         |            |
| [标]发明人         | CHUNG JIN KOO<br>정진구<br>LEE DONG WON<br>이동원<br>CHU CHANG WOONG<br>추창웅                                                                             |         |            |
| 发明人            | 정진구<br>이동원<br>추창웅                                                                                                                                 |         |            |
| IPC分类号         | H05B33/10 H05B33/22 H05B33/26 H01L51/50                                                                                                           |         |            |
| CPC分类号         | H01L51/5203 H01L27/3246 H01L51/5206 H01L51/5221 H01L51/0096 H01L51/442 H01L29/4958<br>H01L51/5209 H01L51/5215 H01L51/5218 H01L51/5228 H01L51/5234 |         |            |
| 其他公开文献         | KR1020090108931A                                                                                                                                  |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                         |         |            |

#### 摘要(译)

目的：提供一种有机发光器件及其制造方法，通过将像素电极与公共电极分开，通过发光层，在没有漏电流的情况下提高亮度。组成：有机发光二极管包括基板（110），第一像素电极（191），第二像素电极（192），分隔件（361），有机发光构件（370）和公共电极（270）。第一像素电极形成在基板上，第二像素电极形成在第一像素电极上。第二像素电极具有凹槽（193），并且分隔件形成在第二像素电极上。隔板具有暴露凹槽的开口，并且有机发光构件的至少一部分形成在凹槽内。公共电极形成在隔板和有机发光构件上。COPYRIGHT KIPO 2010

