

(72) 발명자

박선

경기도 수원시 영통구 동탄원천로881번길 35, 504
동 1003호 (매탄동, 주공그린빌)

박중현

경기도 용인시 기흥구 삼성2로 95, 사외기숙사 월
계수동 515호 (농서동)

강진희

경기도 수원시 영통구 영통로102번길 34, 301호 (망포동)

특허청구의 범위

청구항 1

기관 본체;

상기 기관 본체 상에 다결정 규소로 형성된 반도체층;

상기 반도체층을 덮는 게이트 절연막; 그리고

상기 게이트 절연막 위에 차례로 적층된 투명 도전층부 및 게이트 금속층부로 형성된 게이트 전극 및 화소 전극을 포함하며,

상기 화소 전극은 상기 투명 도전층부로 형성된 발광 영역과, 상기 투명 도전층부 및 상기 게이트 금속층부로 형성된 비발광 영역으로 구분된 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 게이트 전극은 상기 반도체층 상에 형성되며,

상기 반도체층은 상기 게이트 전극과 중첩된 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분된 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 화소 전극의 발광 영역을 드러내는 개구부를 가지고 상기 게이트 전극 및 상기 화소 전극 상에 형성된 층간 절연막; 그리고

상기 층간 절연막 상에 형성된 소스 전극 및 드레인 전극을 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 층간 절연막은 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 화소 전극의 상기 비발광 영역을 각각 일부 드러내는 접촉 구멍들을 더 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 접촉 구멍들을 통해 상기 소스 전극은 상기 반도체층의 소스 영역과 연결되며, 상기 드레인 전극은 상기 반도체층의 드레인 영역 및 상기 화소 전극의 상기 비발광 영역과 각각 연결된 유기 발광 표시 장치.

청구항 6

제3항에서,

상기 게이트 전극의 게이트 금속층부와 상기 소스 전극 및 상기 드레인 전극은 서로 동일한 소재로 형성된 유기 발광 표시 장치.

청구항 7

제3항에서,

상기 게이트 전극의 게이트 금속층부와 상기 소스 전극 및 상기 드레인 전극은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성된 유기 발광 표시 장치.

청구항 8

제3항 내지 제7항 중 어느 한 항에서,

상기 화소 전극의 발광 영역을 드러내는 개구부를 가지고 상기 소스 전극 및 상기 드레인 전극 상에 형성된 화소 정의막과;

상기 화소 정의막의 개구부를 통해 드러난 상기 화소 전극의 발광 영역 위에 형성된 유기 발광층; 그리고

상기 유기 발광층 위에 형성된 공통 전극

을 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 반도체층과 동일한 층에 다결정 규소로 형성된 제1 캐패시터 전극과, 상기 게이트 전극과 동일한 층에 동일한 구조로 형성된 제2 캐패시터 전극을 더 포함하는 유기 발광 표시 장치.

청구항 10

기관 본체 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 투명 도전층 및 게이트 금속층을 차례로 형성하는 단계;

상기 투명 도전층 및 상기 게이트 금속층을 함께 패터닝하여 투명 도전층부 및 게이트 금속층부를 포함하는 복층 구조를 갖는 화소 전극 중간체와 게이트 전극을 형성하는 단계;

상기 화소 전극 중간체 및 상기 게이트 전극 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막에 상기 화소 전극 중간체의 일부를 드러내는 개구부를 형성하는 단계;

상기 층간 절연막 상에 데이터 금속층을 형성하는 단계; 그리고

상기 데이터 금속층을 패터닝하여 소스 전극 및 드레인 전극을 형성하고 상기 층간 절연막의 개구부를 통해 드러난 상기 화소 전극 중간체의 게이트 금속층부를 제거하여 화소 전극을 형성하는 단계

를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 11

제10항에서,

상기 층간 절연막의 개구부 내에 위치하는 상기 데이터 금속층과 상기 게이트 금속층부는 동일한 식각 공정을 통해 연속적으로 식각되어 제거되는 유기 발광 표시 장치 제조 방법.

청구항 12

제11항에서,

상기 화소 전극은 상기 투명 도전층부로 형성된 발광 영역과, 상기 투명 도전층부 및 상기 게이트 금속층부로 형성된 비발광 영역으로 구분되는 유기 발광 표시 장치 제조 방법.

청구항 13

제12항에서,

상기 기관 본체와 상기 게이트 절연막 사이에 반도체층을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 14

제13항에서,

상기 반도체층은 다결정 규소로 만들어지며, 상기 게이트 전극과 중첩되는 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분되는 유기 발광 표시 장치 제조 방법.

청구항 15

제14항에서,

상기 층간 절연막에 개구부를 형성할 때 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 화소 전극 중간체의 상기 비발광 영역을 각각 일부 드러내는 접촉 구멍들을 함께 형성하는 유기 발광 표시 장치 제조 방법.

청구항 16

제15항에서,

상기 접촉 구멍들을 통해 상기 소스 전극은 상기 반도체층의 소스 영역과 연결되며, 상기 드레인 전극은 상기 반도체층의 드레인 영역 및 상기 화소 전극의 상기 비발광 영역과 각각 연결된 유기 발광 표시 장치 제조 방법.

청구항 17

제14항에서,

상기 반도체층과 동일한 층에 다결정 규소로 형성된 제1 캐패시터 전극을 형성하는 단계와, 상기 게이트 전극과 동일한 층에 동일한 소재로 제2 캐패시터 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 18

제11항에서,

상기 게이트 금속층과 상기 데이터 금속층은 서로 동일한 소재로 형성된 유기 발광 표시 장치 제조 방법.

청구항 19

제11항에서,

상기 게이트 전극의 게이트 금속층부와 상기 소스 전극 및 상기 드레인 전극은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성된 유기 발광 표시 장치 제조 방법.

청구항 20

제10항 내지 제19항 중 어느 한에서,

상기 소스 전극 및 상기 드레인 전극 상에 상기 화소 전극의 발광 영역을 드러내는 개구부를 갖는 화소 정의막을 형성하는 단계;

상기 화소 정의막의 개구부를 통해 드러난 상기 화소 전극의 발광 영역 위에 유기 발광층을 형성하는 단계; 그리고

상기 유기 발광층 위에 공통 전극을 형성하는 단계

를 더 포함하는 유기 발광 표시 장치 제조 방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 상대적으로 간소한 구조를 갖는 유기 발광 표시 장치 및 단순화된 제조 방법에 관한 것이다.

배경 기술

- [0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광 표시 장치는 액정 표시 장치(liquid crystal display)와 달리 별도의 광원을 필요로 하지 않으므로 상대적으로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 휴대용 전자 기기의 차세대 표시 장치로 주목받고 있다.
- [0003] 한편, 유기 발광 표시 장치가 점점 대형화되면서 대면적 박막 공정에 적합한 간소한 구조와 단순한 제조 방법이 요구되고 있다.

발명의 내용

해결 하고자 하는 과제

- [0004] 본 발명은 전술한 배경기술의 문제점을 해결하기 위한 것으로서, 상대적으로 간소한 구조를 갖는 유기 발광 표시 장치를 제공하고자 한다.
- [0005] 또한, 상기한 유기 발광 표시 장치의 단순화된 제조 방법을 제공하고자 한다.

과제 해결 수단

- [0006] 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판 본체와, 상기 기판 본체 상에 다결정 규소로 형성된 반도체층과, 상기 반도체층을 덮는 게이트 절연막, 그리고 상기 게이트 절연막 위에 차례로 적층된 투명 도전층부 및 게이트 금속층부로 형성된 게이트 전극 및 화소 전극을 포함한다. 그리고 상기 화소 전극은 상기 투명 도전층부로 형성된 발광 영역과 상기 투명 도전층부 및 상기 게이트 금속층부로 형성된 비발광 영역으로 구분된다.
- [0007] 상기 게이트 전극은 상기 반도체층 상에 형성될 수 있다. 그리고 상기 반도체층은 상기 게이트 전극과 중첩된 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분될 수 있다.
- [0008] 상기 화소 전극의 발광 영역을 드러내는 개구부를 가지고 상기 게이트 전극 및 상기 화소 전극 상에 형성된 층간 절연막, 그리고 상기 층간 절연막 상에 형성된 소스 전극 및 드레인 전극을 더 포함할 수 있다.
- [0009] 상기 층간 절연막은 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 화소 전극의 상기 비발광 영역을 각각 일부 드러내는 접촉 구멍들을 더 포함할 수 있다.
- [0010] 상기 접촉 구멍들을 통해 상기 소스 전극은 상기 반도체층의 소스 영역과 연결될 수 있다. 그리고 상기 드레인 전극은 상기 반도체층의 드레인 영역 및 상기 화소 전극의 상기 비발광 영역과 각각 연결될 수 있다.
- [0011] 상기 게이트 전극의 게이트 금속층부와 상기 소스 전극 및 상기 드레인 전극은 서로 동일한 소재로 형성될 수 있다.
- [0012] 상기 게이트 전극의 게이트 금속층부와 상기 소스 전극 및 상기 드레인 전극은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성될 수 있다.
- [0013] 상기한 유기 발광 표시 장치에서, 상기 화소 전극의 발광 영역을 드러내는 개구부를 가지고 상기 소스 전극 및 상기 드레인 전극 상에 형성된 화소 정의막과, 상기 화소 정의막의 개구부를 통해 드러난 상기 화소 전극의 발광 영역 위에 형성된 유기 발광층, 그리고 상기 유기 발광층 위에 형성된 공통 전극을 더 포함할 수 있다.
- [0014] 상기 반도체층과 동일한 층에 다결정 규소로 형성된 제1 캐패시터 전극과, 상기 게이트 전극과 동일한 층에 동일한 구조로 형성된 제2 캐패시터 전극을 더 포함할 수 있다.
- [0015] 또한, 본 발명의 실시예에 따른 유기 발광 표시 장치 제조 방법은 기판 본체 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 위에 투명 도전층 및 게이트 금속층을 차례로 형성하는 단계와, 상기 투명 도전층 및 상기 게이트 금속층을 함께 패터닝하여 투명 도전층부 및 게이트 금속층부를 포함하는 복층 구조를 갖는 화소 전극 중간체와 게이트 전극을 형성하는 단계와, 상기 화소 전극 중간체 및 상기 게이트 전극 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막에 상기 화소 전극 중간체의 일부를 드러내는 개구부를 형성하는 단계와, 상기 층간 절연막 상에 데이터 금속층을 형성하는 단계, 그리고 상기 데이터 금속층을 패터닝하여 소스 전극 및 드레인 전극을 형성하고 상기 층간 절연막의 개구부를 통해 드러난 상기 화소 전극 중간체의 게이트 금속층부를

제거하여 화소 전극을 형성하는 단계를 포함한다.

- [0016] 상기 층간 절연막의 개구부 내에 위치하는 상기 데이터 금속층과 상기 게이트 금속층부는 동일한 식각 공정을 통해 연속적으로 식각되어 제거될 수 있다.
- [0017] 상기 화소 전극은 상기 투명 도전층부로 형성된 발광 영역과 상기 투명 도전층부 및 상기 게이트 금속층부로 형성된 비발광 영역으로 구분될 수 있다.
- [0018] 상기 기판 본체와 상기 게이트 절연막 사이에 반도체층을 형성하는 단계를 더 포함할 수 있다.
- [0019] 상기 반도체층은 다결정 규소로 만들어질 수 있다. 그리고 상기 게이트 전극과 중첩되는 채널 영역과 상기 채널 영역의 양측에 형성된 소스 영역 및 드레인 영역으로 구분될 수 있다.
- [0020] 상기 층간 절연막에 개구부를 형성할 때 상기 반도체층의 상기 소스 영역 및 상기 드레인 영역과 상기 화소 전극 중간체의 상기 비발광 영역을 각각 일부 드러내는 접촉 구멍들을 함께 형성할 수 있다.
- [0021] 상기 접촉 구멍들을 통해 상기 소스 전극은 상기 반도체층의 소스 영역과 연결되며, 상기 드레인 전극은 상기 반도체층의 드레인 영역 및 상기 화소 전극의 상기 비발광 영역과 각각 연결될 수 있다.
- [0022] 상기 게이트 금속층과 상기 데이터 금속층은 서로 동일한 소재로 형성될 수 있다.
- [0023] 상기 게이트 전극의 게이트 금속층부와 상기 소스 전극 및 상기 드레인 전극은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성될 수 있다.
- [0024] 상기한 유기 발광 표시 장치 제조 방법에서, 상기 소스 전극 및 상기 드레인 전극 상에 상기 화소 전극의 발광 영역을 드러내는 개구부를 갖는 화소 정의막을 형성하는 단계와, 상기 화소 정의막의 개구부를 통해 드러난 상기 화소 전극의 발광 영역 위에 유기 발광층을 형성하는 단계, 그리고 상기 유기 발광층 위에 공통 전극을 형성하는 단계를 더 포함할 수 있다.
- [0025] 상기 반도체층과 동일한 층에 다결정 규소로 형성된 제1 캐패시터 전극을 형성하는 단계와, 상기 게이트 전극과 동일한 층에 동일한 소재로 제2 캐패시터 전극을 형성하는 단계를 더 포함할 수 있다.

효 과

- [0026] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 상대적으로 간단한 구조를 가질 수 있다.
- [0027] 또한, 상기한 유기 발광 표시 장치의 제조 방법을 단순화시킬 수 있다.

발명의 실시를 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0031] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0032] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)를 설명한다.
- [0033] 도 1에 도시한 바와 같이, 유기 발광 표시 장치(101)는 표시 영역(DA)과 비표시 영역(NA)으로 구분된 기판 본체(111)를 포함한다. 기판 본체(111)의 표시 영역(DA)에는 다수의 화소들(PE)이 형성되어 화상을 표시하고, 비표시 영역(NA)에는 하나 이상의 구동 회로(810, 820)가 형성된다. 하지만, 본 발명의 일 실시예에서, 반드시 비표시 영역(NA)에 모든 구동 회로(810, 820)가 형성되어야 하는 것은 아니며 일부 또는 전부 생략될 수도 있다.

- [0034] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에서는, 하나의 화소(PE)가 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT)들(10, 20), 그리고 하나의 캐패시터(capacitor)(80)를 구비하는 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치(101)는 하나의 화소(PE)에 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성할 수도 있다. 이와 같이, 추가로 형성되는 박막 트랜지스터 및 캐패시터는 보상 회로의 구성이 될 수 있다.
- [0035] 보상 회로는 각 화소(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질(畫質)에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함한다.
- [0036] 또한, 기판 본체(111)의 비표시 영역(NA) 상에 형성된 구동 회로(810, 820)(도 1에 도시)도 추가의 박막 트랜지스터를 포함할 수 있다.
- [0037] 유기 발광 소자(70)는 정공 주입 전극인 애노드(anode) 전극과, 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다.
- [0038] 본 발명의 일 실시예에서, 하나의 화소(PE)는 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)를 포함한다.
- [0039] 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함한다. 그리고 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20) 중 하나 이상의 박막 트랜지스터는 다결정 규소로 형성된 반도체층을 포함한다. 즉, 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20) 중 하나 이상의 박막 트랜지스터는 다결정 규소 박막 트랜지스터이다.
- [0040] 도 2에는 게이트 라인(151), 데이터 라인(171), 및 공통 전원 라인(172)과 함께 캐패시터 라인(152)이 나타나 있으나, 본 발명의 일 실시예가 도 2에 도시된 구조에 한정되는 것은 아니다. 따라서, 캐패시터 라인(152)은 경우에 따라 생략될 수도 있다.
- [0041] 데이터 라인(171)에는 제1 박막 트랜지스터(10)의 소스 전극이 연결되고, 게이트 라인(151)에는 제1 박막 트랜지스터(10)의 게이트 전극이 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극은 캐패시터(80)를 통하여 캐패시터 라인(152)에 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극과 캐패시터(80) 사이에 노드가 형성되어 제2 박막 트랜지스터(20)의 게이트 전극이 연결된다. 그리고 제2 박막 트랜지스터(20)의 드레인 전극에는 공통 전원 라인(172)이 연결되며, 소스 전극에는 유기 발광 소자(70)의 애노드 전극이 연결된다.
- [0042] 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소(PE)를 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(10)가 순간적으로 턴온되면 캐패시터(80)는 충전되고, 이때 충전되는 전하량은 데이터 라인(171)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제1 박막 트랜지스터(10)가 턴오프된 상태에서 캐패시터 라인(152)에 한 프레임 주기로 전압이 증가하는 신호가 입력되면, 제2 박막 트랜지스터(20)의 게이트 전위는 캐패시터(80)에 충전된 전위를 기준으로 인가되는 전압의 레벨이 캐패시터 라인(152)을 통하여 인가되는 전압을 따라서 상승한다. 그리고 제2 박막 트랜지스터(20)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(172)에 인가되던 전압이 제2 박막 트랜지스터(20)를 통하여 유기 발광 소자(70)에 인가되고, 유기발광 소자(70)는 발광된다.
- [0043] 이와 같은 화소(PE)의 구성은 전술한 바에 한정되지 않고 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양하게 변형 가능하다.
- [0044] 이하, 도 3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)를 유기 발광 소자(70), 제2 박막 트랜지스터(20) 및 캐패시터(80)의 구조를 중심으로 적층 순서에 따라 상세히 설명한다. 이하, 제2 박막 트랜지스터(20)는 박막 트랜지스터라 한다.
- [0045] 기판 본체(111)는 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 그러나 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 기판 본체(111)가 스테인리스 강 등으로 이루어진 금속성 기판으로 형성될 수도 있다.
- [0046] 기판 본체(111) 상에는 버퍼층(120)이 형성된다. 일례로, 버퍼층(120)은 질화 규소(SiNx)의 단일막 또는 질화 규소(SiNx)와 산화 규소(SiO₂)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순 원소 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다. 하지만, 버퍼층(120)은 반드시 필요한 구성은 아니며, 기판 본체(111)의 종류 및 공정 조건에 따라 생략될 수도 있다.

- [0047] 버퍼층(120) 상에는 반도체층(135)과 제1 캐패시터 전극(138)이 형성된다. 즉, 반도체층(135)과 제1 캐패시터 전극(138)은 동일한 층에 형성된다. 또한, 반도체층(135)과 제1 캐패시터 전극(138)은 모두 다결정 규소막으로 형성된다.
- [0048] 구체적으로, 반도체층(135)은 채널 영역(1355)과 채널 영역(1355)의 양측에 각각 형성된 소스 영역(1357) 및 드레인 영역(1356)으로 구분된다. 반도체층(135)의 채널 영역(1355)은 불순물이 도핑되지 않은 다결정 규소막, 즉 진성 반도체(intrinsic semiconductor)이다. 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)은 불순물이 도핑된 다결정 규소막, 즉 불순물 반도체(impurity semiconductor)이다.
- [0049] 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)에 도핑되는 불순물은 P형 불순물 및 N형 불순물 중 어느 하나일 수 있다. 불순물의 종류는 박막 트랜지스터(20)의 종류에 따라 달라질 수 있다.
- [0050] 반도체층(135)과 제1 캐패시터 전극(138) 상에는 게이트 절연막(140)이 형성된다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx), 및 산화 규소(SiO₂) 중 하나 이상을 포함하여 형성된다. 일례로, 게이트 절연막(140)은 40nm의 두께를 갖는 질화 규소막과 80nm의 두께를 갖는 테트라에톡시실란막이 차례로 적층된 이중막으로 형성될 수 있다. 하지만, 본 발명의 일 실시예에서, 게이트 절연막(140)이 전술한 구성에 한정되는 것은 아니다.
- [0051] 게이트 절연막(140) 상에는 게이트 전극(155), 화소 전극(710), 및 제2 캐패시터 전극(158)이 형성된다. 즉, 게이트 전극(155), 화소 전극(710), 및 제2 캐패시터 전극(158)은 서로 동일한 층에 위치한다. 제2 캐패시터 전극(158)은 캐패시터 라인(152)(도 2에 도시)에서 분기되거나, 캐패시터 라인(152)의 일부가 제2 캐패시터 전극(158)으로 사용될 수 있다.
- [0052] 게이트 전극(155)은 반도체층(135)의 채널 영역(1355)과 중첩되도록 반도체층(135) 위에 형성된다. 게이트 전극(155)은 반도체층(135)을 형성하는 과정에서 반도체층(135)의 소스 영역(1357)과 드레인 영역(1356)에 불순물을 도핑할 때 채널 영역(1355)에는 불순물이 도핑되는 것을 차단하는 역할을 한다.
- [0053] 제2 캐패시터 전극(158)은 제1 캐패시터 전극(138) 상에 형성된다. 이와 같이, 제2 캐패시터 전극(158)이 게이트 절연막(140)을 사이에 두고 제1 캐패시터 전극(138) 상에 형성되면, 본 발명의 일 실시예에 따른 캐패시터(80)가 완성된다.
- [0054] 또한, 게이트 전극(155), 화소 전극(710), 및 제2 캐패시터 전극(158)은 각각 게이트 절연막(140) 상에 차례로 적층된 투명 도전층부(1551, 711, 1581) 및 게이트 금속층부(1552, 712, 1582)를 포함하는 다층 구조로 형성된다.
- [0055] 투명 도전층부(1551, 711, 1581)는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(산화 아연) 또는 In₂O₃(Indium Oxide) 등과 같은 투명한 도전 물질로 만들 수 있다.
- [0056] 게이트 금속층부(1552, 712, 1582)는 저저항 특성이 우수한 금속으로 형성된다. 구체적으로, 게이트 금속층부(1552, 712, 1582)은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성될 수 있다.
- [0057] 한편, 화소 전극(710)은 투명 도전층부(711)만으로 형성된 발광 영역과 투명 도전층부(711) 및 게이트 금속층부(712)가 적층 형성된 비발광 영역으로 구분된다. 즉, 화소 전극(710)의 발광 영역은 빛을 투과시킬 수 있다.
- [0058] 화소 전극(710), 게이트 전극(155), 및 제2 캐패시터 전극(158) 상에는 층간 절연막(160)이 형성된다. 층간 절연막(160)은 유기막으로 형성된다. 즉, 층간 절연막(160)은 해당 기술 분야의 종사자에게 공지된 다양한 유기 물질로 형성될 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 층간 절연막(160)은 게이트 절연막(140)과 같은 무기막으로 형성될 수도 있다.
- [0059] 층간 절연막(160)은 화소 전극(710)의 일부를 드러내는 개구부(1605)를 갖는다. 구체적으로, 층간절연막(160)의 개구부(1605)는 화소 전극(710)의 발광 영역을 드러낸다. 즉, 화소 전극(710)의 투명 도전층부(711)가 층간 절연막(160)의 개구부(1605)를 통해 드러난다. 그리고 화소 전극(710)의 게이트 금속층부(712)는 도 3에 도시한 바와 같이, 층간 절연막(160)의 개구부(1605) 주변에서 언더컷(undercut)된 형태로 형성될 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다.
- [0060] 또한, 층간 절연막(160)은 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)과 화소 전극(710)의 비발광 영역, 즉 게이트 금속층부(712)를 각각 일부 드러내는 접촉 구멍들(1607, 1606, 1601)을 더 포함한다. 층간 절

연막(160) 상에는 소스 전극(177)과 드레인 전극(176)이 형성된다. 층간 절연막(160)의 접촉 구멍들(1607, 1606, 1601)을 통해 소스 전극(177)은 반도체층(135)의 소스 영역(1357)과 연결되며, 드레인 전극(176)은 반도체층(135)의 드레인 영역(1356) 및 화소 전극(710)의 비발광 영역과 각각 연결된다. 즉, 드레인 전극(176)은 화소 전극(710)의 게이트 금속층부(712)와 접촉된다.

[0061] 또한, 소스 전극(177) 및 드레인 전극(176)은 게이트 전극(155)의 게이트 금속막(1552)과 동일한 소재로 만들어진다. 즉, 소스 전극(177) 및 드레인 전극(176)은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성될 수 있다.

[0062] 소스 전극(177) 및 드레인 전극(176) 상에는 화소 정의막(190)이 형성된다. 화소 정의막(190)은 화소 전극(710)의 발광 영역을 드러내는 개구부(1905)를 갖는다. 여기서, 화소 정의막(190)의 개구부(1905)는 층간 절연막(160)의 개구부(1605)와 같거나 작은 크기를 갖도록 형성된다.

[0063] 화소 정의막(190)은 유기막으로 형성된다. 즉, 화소 정의막(190)은 해당 기술 분야의 종사자에게 공지된 다양한 유기 물질로 형성될 수 있다.

[0064] 화소 정의막(190)의 개구부에서 화소 전극(710)의 발광 영역, 즉 투명 도전층부(711) 위에는 유기 발광층(720)이 형성된다.

[0065] 유기 발광층(720)은 발광층과, 정공 주입층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL), 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 다층막으로 형성된다. 전술한 층들 중에, 발광층을 제외한 나머지 층들은 필요에 따라 생략될 수 있다. 유기 발광층(720)이 전술한 모든 층들을 포함하고 화소 전극(710)이 애노드 전극일 경우, 정공 주입층이 화소 전극(710) 상에 배치되고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 또한, 유기 발광층(720)은 필요에 따라 다른 층을 더 포함할 수도 있다. 또한, 발광층의 제외한 다른 층들은 화소 전극(710) 뿐만 아니라 화소 정의막(190) 위에도 형성될 수 있다.

[0066] 유기 발광층(720) 위에는 공통 전극(730)이 형성된다. 공통 전극(730)은 빛을 효과적으로 반사하면서 저저항 특성이 우수한 금속으로 만들어진다. 일례로, 공통 전극(730)은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr), 및 알루미늄(Al) 중 하나 이상의 금속 또는 이들의 합금을 사용하여 만들어질 수 있다.

[0067] 따라서, 유기 발광층(720)에서 발생된 빛은 화소 전극(710)의 투명 도전층부(711)를 통과해 외부로 방출되어 화상을 표시하게 된다. 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 배면 발광형 구조를 갖는다.

[0068] 공통 전극(730) 상에는 봉지 부재(210)가 배치된다. 봉지 부재(210)는 기판 본체(111)와 합착 밀봉되어 유기 발광 소자(70) 및 박막 트랜지스터(20)를 보호한다. 구체적으로, 봉지 부재(210)는 봉지 부재(210)의 가장자리를 따라 배치된 실런트(미도시)를 통해 기판 본체(111)와 서로 합착 밀봉된다. 봉지 부재(210)는 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기판으로 형성될 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 봉지 부재(210)로 메탈캡(metal cap)이 사용되거나 봉지 박막층이 사용될 수 있다.

[0069] 이와 같은 구성에 의하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 상대적으로 간소한 구조를 가질 수 있다. 구체적으로, 화소 전극(710)이 박막 트랜지스터(20)의 게이트 전극(155)과 동일한 층에 동일한 소재를 활용하여 형성된다. 즉, 화소 전극(710)이 별도의 층에 별도의 소재로 형성되지 않으므로, 유기 발광 표시 장치(101)의 전체적인 구조가 간소화되어 제조 공정을 단순화시킬 수 있게 된다.

[0070] 또한, 화소 전극(710)을 게이트 전극(155)과 동일한 층에 형성하면서도, 유기 발광 표시 장치(101)는 효과적으로 배면 발광형 구조를 가질 수 있다.

[0071] 이하, 도 4 내지 도 8을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 제조 방법을 설명한다.

[0072] 먼저, 도 4에 도시한 바와 같이, 기판 본체(111) 상에 버퍼층(120)을 형성한다. 예를 들어, 버퍼층(120)은 질화 규소(SiNx) 및 산화 규소(SiO₂) 등과 같은 무기 절연 물질이 PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 공지된 증착 방법으로 기판 본체(111) 상에 전면 증착되어 형성된다.

[0073] 다음, 버퍼층(120) 위에 다결정 규소막을 형성한다. 다결정 규소막은 먼저 비정질 규소막을 형성하고 이를 결

정화시키는 방법으로 형성할 수 있다. 비정질 규소막은 PECVD 등의 공지된 방법으로 형성된다. 또한, 비정질 규소막을 결정화시키는 방법으로는 해당 기술 분야의 종사자에게 공지된 다양한 방법을 사용할 수 있다. 예를 들어, 비정질 규소막은 열, 레이저, 줄열, 전기장, 또는 촉매 금속등을 이용하여 결정화시킬 수 있다. 또한, 결정화 이전에 비정질 규소막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(dehydrogenation) 공정을 더 진행할 수도 있다.

[0074] 다음, 다결정 규소막을 사진 식각 공정을 통해 패터닝(patterning)하여 반도체층 (135) 및 제1 캐패시터 전극 (138)을 형성한다.

[0075] 다음, 반도체층(135)와 제1 캐패시터 전극(138) 상에 게이트 절연막(140)을 형성한다. 본 발명의 일 실시예에서, 게이트 절연막(140)은 40nm의 두께로 형성된 질화 규소막과 그 위에 80nm의 두께로 형성된 테트라에톡시실란(TEOS)막을 포함한다. 그리고 전술한 무기막들은 PECVD 등의 공지된 방법으로 형성될 수 있다.

[0076] 다음, 게이트 절연막(140) 상에 투명 도전층 및 게이트 금속층을 차례로 형성한다. 투명 도전층은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZnO(산화 아연) 또는 In_2O_3 (Indium Oxide) 등으로 형성된다. 게이트 금속층은 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성된다. 일례로, 게이트 금속층은 Mo/Al/Mo의 삼중막 또는 Mo/Cu/Mo의 삼중막으로 형성된다.

[0077] 다음, 투명 도전층과 게이트 금속층을 사진 식각 공정을 통해 패터닝하여 게이트 전극(155), 제2 캐패시터 전극 (158), 그리고 화소 전극 중간체(7100)를 형성한다. 게이트 전극(155), 제2 캐패시터 전극(158), 및 화소 전극 중간체(7100)는 모두 차례로 적층된 투명 도전층부(1551, 1581, 711)와 게이트 금속층부(1552, 1582, 712)를 포함하는 복층 구조로 형성된다.

[0078] 다음, 반도체층(135)에 불순물을 도핑하여, 반도체층(135)을 채널 영역(1355)과, 채널 영역(1355)의 양측에 형성된 소스 영역(1357) 및 드레인 영역(1356)으로 구분한다. 여기서, 채널 영역(1355)은 불순물이 도핑되지 않은 진성 반도체이며, 소스 영역(1357) 및 드레인 영역(1356)은 불순물이 도핑된 불순물 반도체이다. 소스 영역 (1357)과 드레인 영역(1356)에 불순물을 도핑할 때, 게이트 전극(155)은 채널 영역(1355)에 불순물이 도핑되는 것을 차단하는 역할을 한다.

[0079] 다음, 도 5에 도시한 바와 같이, 화소 전극 중간체(7100), 게이트 전극(155), 및 제2 캐패시터 전극(158) 상에 층간 절연막(160)을 형성한다. 층간 절연막(160)으로 유기막을 사용할 수 있으나, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 무기막을 층간 절연막(160)으로 사용할 수도 있다.

[0080] 다음, 사진 식각 공정을 통해 층간 절연막(160)에 개구부(1605) 및 접촉 구멍들(1601, 1606, 1607)을 형성한다. 층간 절연막(160)의 개구부(1605)는 화소 전극 중간체(7100)의 일부를 드러낸다. 그리고 층간 절연막(160)의 접촉 구멍들은 화소 전극 중간체(7100)의 다른 일부를 드러내는 화소 접촉 구멍(1601)과, 반도체층(135)의 소스 영역(1357) 및 드레인 영역(1356)을 각각 드러내는 소스 접촉 구멍(1607) 및 드레인 접촉 구멍(1606)을 포함한다. 여기서, 소스 접촉 구멍(1607) 및 드레인 접촉 구멍(1606)은 게이트 절연막(140)과 층간 절연막(160)과 함께 제거되어 형성된다.

[0081] 다음, 도 6에 도시한 바와 같이, 층간 절연막(160) 상에 데이터 금속층(1700)을 형성한다. 데이터 금속층 (1700)은 게이트 금속층부(1552, 1582, 712)와 동일하게 구리(Cu) 및 알루미늄(Al) 중 어느 하나로 형성된 금속 막과 몰리브덴(Mo)으로 형성된 금속막을 포함하는 다층막으로 형성된다. 여기서, 데이터 금속층(1700)은 층간 절연막(160)의 개구부(1605) 및 화소 접촉 구멍(1601)을 통해 화소 전극 중간체(7100)의 게이트 금속층부(712)와 접촉된다. 또한, 데이터 금속층(1700)은 소스 접촉 구멍(1607) 및 드레인 접촉 구멍(1606)을 통해 반도체층 (135)의 소스 영역(1357) 및 드레인 영역(1356)과 접촉된다.

[0082] 다음, 도 7에 도시한 바와 같이, 사진 식각 공정을 통해 데이터 금속층(1700)을 패터닝하여 소스 전극(177) 및 드레인 전극(176)을 형성하고, 이어 층간 절연막(160)의 개구부(1605)를 통해 드러난 화소 전극 중간체(7100)의 게이트 금속층부(712)를 제거하여 화소 전극(710)을 형성한다. 이와 같이, 화소 전극(710)은 투명 도전층부 (711)만으로 형성된 발광 영역과 투명 도전층부(711) 및 게이트 금속층부(712)로 형성된 비발광 영역을 포함한다.

[0083] 또한, 데이터 금속층(1700)과 게이트 금속층부(712)는 동일한 소재로 형성된다. 따라서 층간 절연막(160)의 개구부(1605) 내에서 서로 접촉되도록 연속 형성된 데이터 금속층(1700)과 게이트 금속층부(1605)는 동일한 식각 액을 사용한 한번의 식각 공정을 통해 동시에 제거될 수 있다. 이 과정에서, 게이트 금속층부(712) 아래에 위

치하는 투명 도전층부(711)는 금속층들과 식각 선택비가 다르므로 제거되지 않고 남겨진다.

[0084] 이와 같이, 한번의 식각 공정으로 소스 전극(177) 및 드레인 전극(176)을 형성하고, 이어 층간 절연막(160)의 개구부(1605) 내에서 게이트 금속층부(712)를 제거하여 화소 전극(710)을 완성할 수 있다. 따라서, 유기 발광 표시 장치(101)의 전체적인 제조 공정이 단순해 질 수 있다.

[0085] 또한, 비발광 영역에 남겨진 게이트 금속층부(712)는 층간 절연막(160)의 개구부 주변(1605)에서 언더컷될 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 따라서, 식각 방식에 따라 게이트 금속층부(712)가 언더컷 되지 않을 수도 있다.

[0086] 다음, 도 8에 도시한 바와 같이, 소스 전극(177) 및 드레인 전극(176) 위에 화소 정의막(190)을 형성한다. 화소 정의막(190)은 화소 전극(710)의 발광 영역, 즉 투명 도전층부(711)를 드러내는 개구부(1905)를 갖는다. 화소 정의막(190)의 개구부(1905)는 층간 절연막의 개구부와 같거나 작은 크기로 형성된다. 화소 정의막(190)은 해당 기술 분야의 종사자에게 공지된 다양한 유기막들로 형성될 수 있다.

[0087] 다음, 앞서, 도 3에 도시한 바와 같이, 화소 정의막(190)의 개구부(1905)를 통해 드러난 화소 전극(710) 위에 유기 발광층(720)을 형성한다. 그리고 유기 발광층(720) 위에 공통 전극(730)을 형성하여 유기 발광 소자(70)를 완성한다.

[0088] 이와 같은 제조 방법에 의하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 제조 공정을 효과적으로 단순화할 수 있다.

[0089] 구체적으로, 화소 전극(710)과 게이트 전극(155) 및 제2 캐패시터 전극(158)을 포함하는 게이트 배선을 하나의 마스크를 이용하여 형성할 수 있다. 또한, 하나의 마스크를 이용한 공정으로 화소 전극(710)과 게이트 전극(155)을 형성하면서도, 배면 발광형 구조를 갖는 유기 발광 표시 장치(101)를 효과적으로 제조할 수 있다.

[0090] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

도면의 간단한 설명

[0091] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구조를 나타낸 평면도이다.

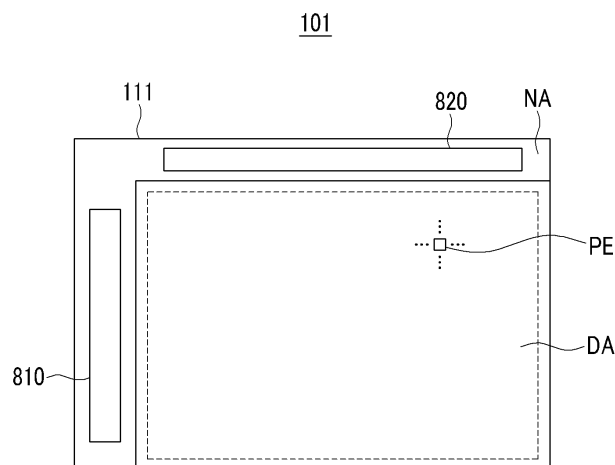
[0092] 도 2는 도 1의 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.

[0093] 도 3은 도 1의 유기 발광 표시 장치를 부분 확대하여 나타낸 단면도이다.

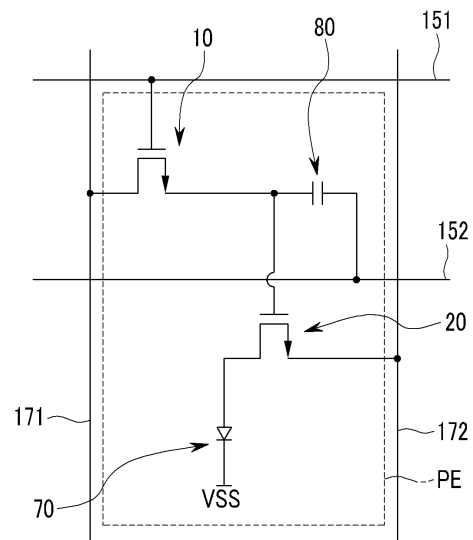
[0094] 도 4 내지 도 8은 도 3의 유기 발광 표시 장치의 제조 과정을 순차적으로 나타낸 단면도들이다.

도면

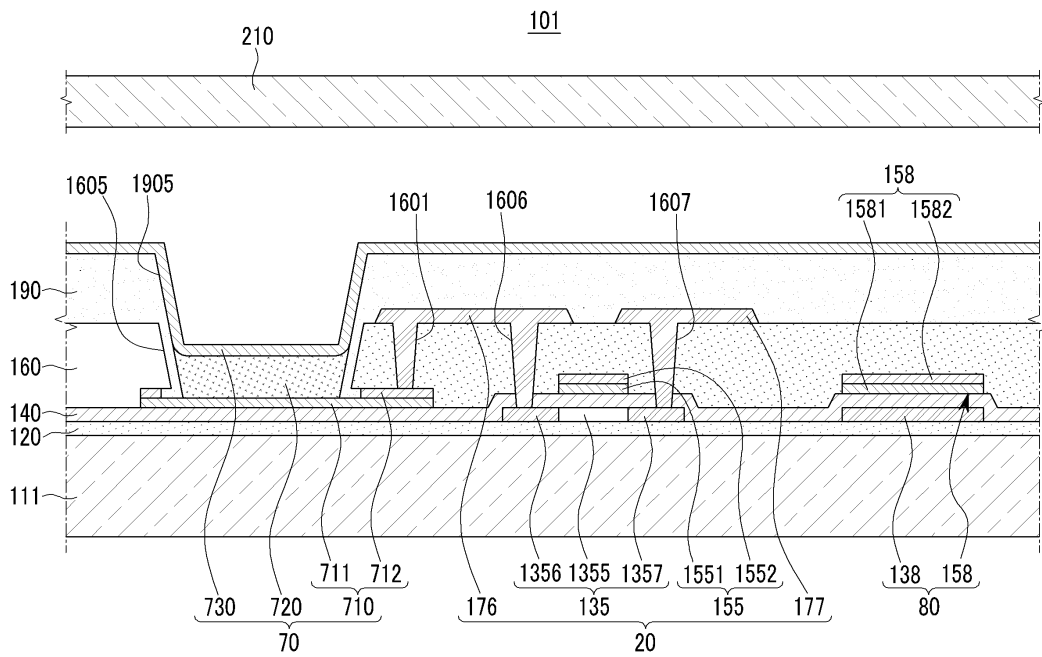
도면1



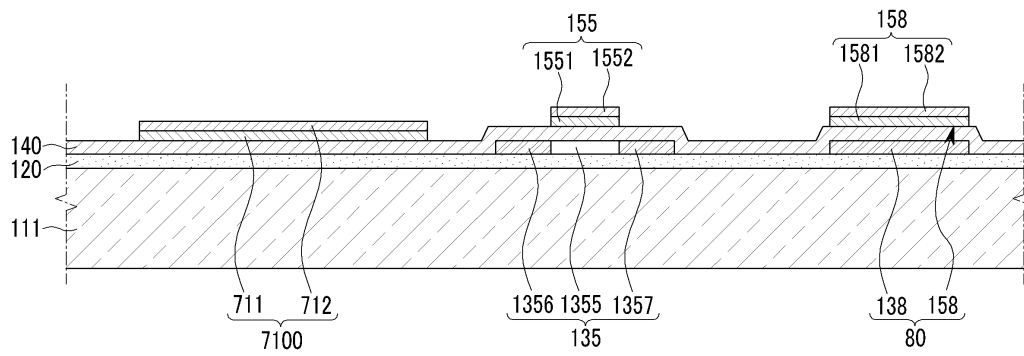
도면2



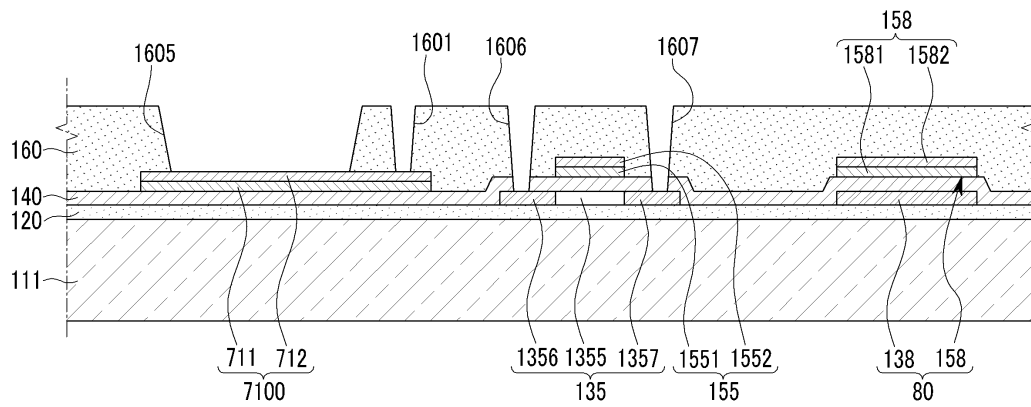
도면3



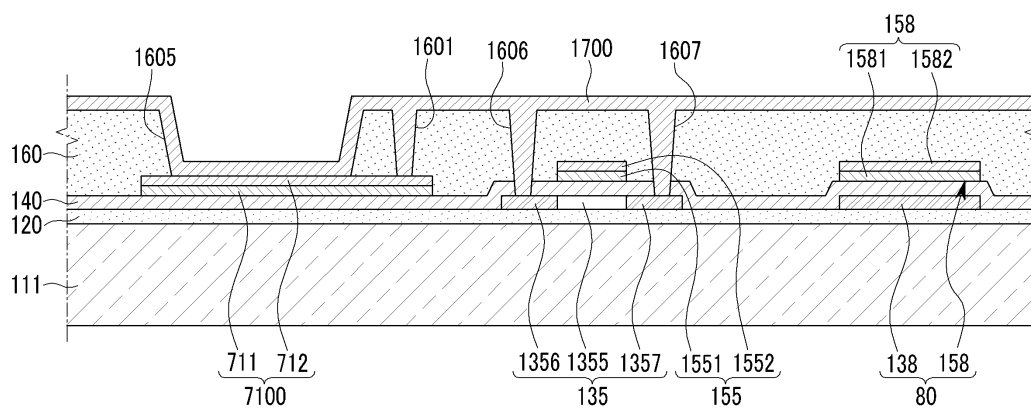
도면4



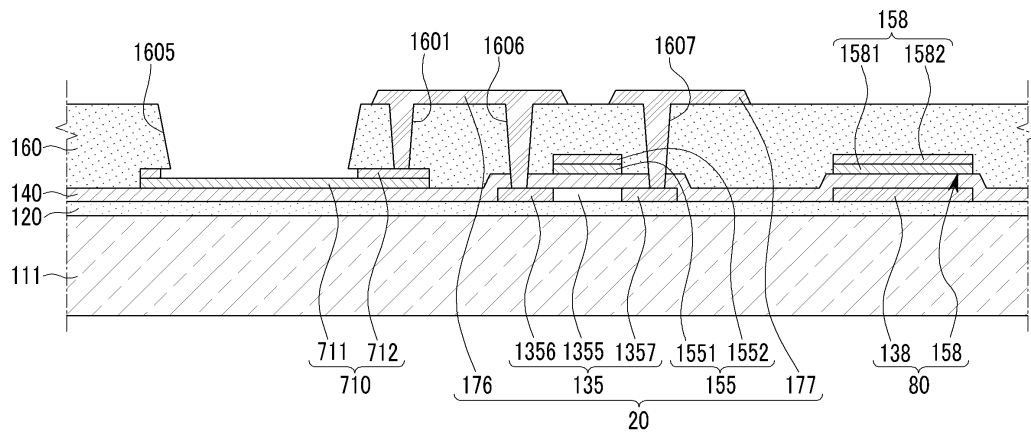
도면5



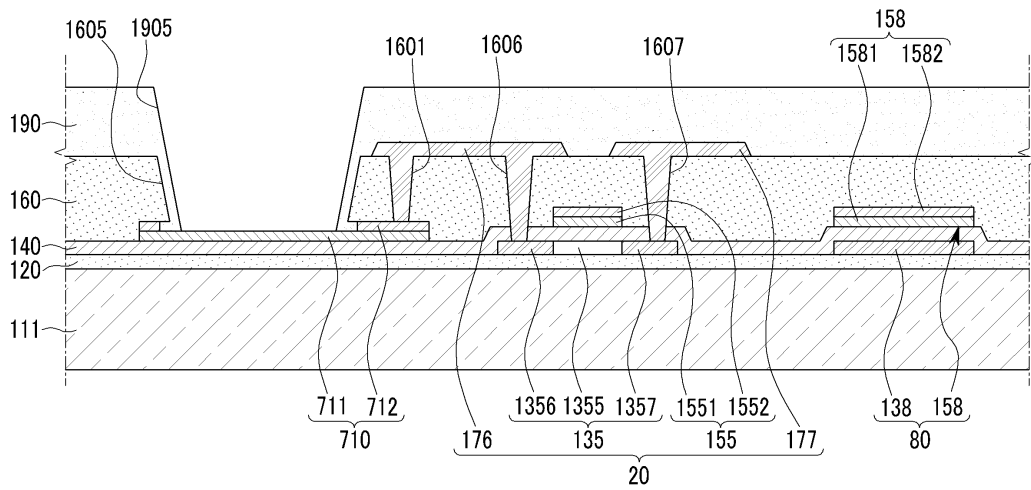
도면6



도면7



도면8



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR101117642B1	公开(公告)日	2012-03-05
申请号	KR1020090110479	申请日	2009-11-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	LEE YUL KYU 이율규 YOU CHUN GI 유춘기 PARK SUN 박선 PARK JONG HYUN 박종현 KANG JIN HEE 강진희		
发明人	이율규 유춘기 박선 박종현 강진희		
IPC分类号	H01L51/52 H05B33/26		
CPC分类号	H01L27/3246 H01L51/5203 H01L27/3248 H01L27/3262		
其他公开文献	KR1020110053804A		
外部链接	Espacenet		

摘要(译)

目的：提供一种有机发光二极管及其制造方法，通过使用与形成薄膜晶体管的像素电极和栅极相同的材料来简化制造工艺。组成：形成由多晶硅制成的半导体层在基板上。栅极绝缘层覆盖半导体层。栅电极（155）和像素电极（710）包括透明导电层（711,1551）和栅极金属层（712,1552），它们依次堆叠在栅极绝缘层上。像素电极分为发光区域和非发光区域。发光区域由透明导电层构成。非发光区域包括透明导电层和栅极金属层。

