



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월17일
(11) 등록번호 10-1073562
(24) 등록일자 2011년10월07일

(51) Int. Cl.

H05B 33/06 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2009-0077603

(22) 출원일자 2009년08월21일

심사청구일자 2009년08월21일

(65) 공개번호 10-2011-0019964

(43) 공개일자 2011년03월02일

(56) 선행기술조사문헌

KR1019990048817 A

KR1020050024147 A

KR1020070082325 A

전체 청구항 수 : 총 16 항

(73) 특허권자

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김중윤

경기도 용인시 기흥구 농서동 산 24번지

이일정

경기도 용인시 기흥구 농서동 산 24번지

(74) 대리인

팬코리아특허법인

심사관 : 김창균

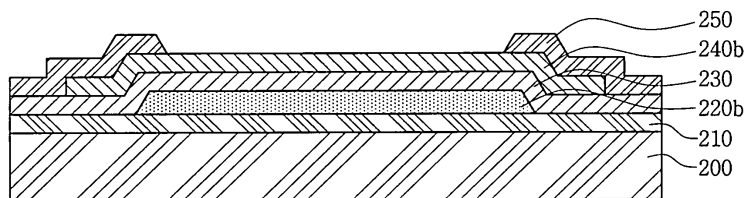
(54) 패드부, 이를 포함하는 유기전계발광표시장치 및 유기전계발광표시장치의 제조방법

(57) 요약

본 발명은 화소부 및 패드부를 구비하는 기판을 포함하는 유기전계발광표시장치에 있어서, 상기 패드부는 상기 기판 상부에 위치한 실리콘층 패턴; 상기 실리콘층 패턴 상에 위치한 절연막; 상기 절연막 상에 위치하는 배선층; 및 상기 배선층의 가장자리를 감싸면서 상기 배선층을 노출시키는 개구부를 구비하는 보호층을 포함하는 것을 특징으로 하는 유기전계발광표시장치에 관한 것이다.

따라서, 본 발명은 패드부의 배선층의 하부에 다결정 실리콘층 패턴을 잔존시켜, 배선층의 표면적을 증가시킴으로써, 평판 표시 장치를 작동시키기 위한 부품들과 배선층의 접촉면적이 넓게 하여 콘택저항이 감소하는 효과가 있다.

대표도 - 도2a



특허청구의 범위

청구항 1

기관;

상기 기관의 상부에 위치하는 실리콘층 패턴;

절연막을 사이에 두고 상기 실리콘층 패턴의 상부에 위치하는 배선층; 및

상기 배선층의 가장자리를 감싸면서 상기 배선층을 노출시키는 개구부를 구비하는 보호층을 포함하며,

상기 실리콘층 패턴과 상기 절연막 및 상기 배선층은 표면 거칠기를 가지는 패드부.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 실리콘층 패턴은 다결정 실리콘층 패턴인 것을 특징으로 하는 패드부.

청구항 4

제 3 항에 있어서,

상기 다결정 실리콘층 패턴은 레이저에 의해 결정화된 것을 특징으로 하는 패드부.

청구항 5

제 4 항에 있어서,

상기 다결정 실리콘층 패턴은 엑시머 레이저 어닐링(Excimer Laser Annealing, ELA)에 의해 결정화된 것을 특징으로 하는 패드부.

청구항 6

화소부 및 패드부를 구비하는 기관을 포함하는 유기전계발광표시장치에 있어서,

상기 패드부는

상기 기관 상부에 위치하는 실리콘층 패턴;

절연막을 사이에 두고 상기 실리콘층 패턴의 상부에 위치하는 배선층; 및

상기 배선층의 가장자리를 감싸면서 상기 배선층을 노출시키는 개구부를 구비하는 보호층을 포함하며,

상기 실리콘층 패턴과 상기 절연막 및 상기 배선층은 표면 거칠기를 가지는 유기전계발광표시장치.

청구항 7

삭제

청구항 8

제 6 항에 있어서,

상기 화소부는,

상기 기관 상부에 위치한 실리콘층 패턴;

상기 실리콘층 패턴을 포함한 기판 전면에 걸쳐 형성된 게이트 절연막;

상기 게이트 절연막 상에 위치한 게이트 전극;

상기 게이트 전극 상에 형성된 층간 절연막; 및

상기 층간 절연막의 콘택홀을 통하여 상기 화소부의 실리콘층 패턴의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극

을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제 8 항에 있어서,

상기 패드부의 절연막은 상기 게이트 절연막과 동일 물질로 형성되고, 상기 패드부의 배선층은 상기 게이트 전극과 동일 물질로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제 8 항에 있어서,

상기 패드부의 절연막은 상기 층간 절연막과 동일 물질로 형성되고, 상기 패드부의 배선층은 상기 소오스/드레인 전극과 동일 물질로 형성되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제 6 항에 있어서,

상기 실리콘층 패턴은 다결정 실리콘층 패턴인 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

화소부 및 패드부를 구비하는 기판을 제공하는 단계;

상기 화소부 및 상기 패드부의 전면에 걸쳐 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 실리콘층을 형성하는 단계;

상기 다결정 실리콘층을 패터닝하여, 상기 화소부 및 상기 패드부의 일정 영역에 각각 화소부의 다결정 실리콘층 패턴 및 패드부의 다결정 실리콘층 패턴을 형성하는 단계;

상기 화소부의 다결정 실리콘층 패턴 및 상기 패드부의 다결정 실리콘층 패턴을 포함하는 상기 기판 전면에 걸쳐 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극 물질을 형성하는 단계; 및

상기 게이트 전극 물질을 패터닝하여, 상기 화소부의 다결정 실리콘층 패턴의 채널영역에 대응하도록 게이트 전극을 형성하고, 상기 패드부의 다결정 실리콘층 패턴에 대응하도록 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것은 레이저에 의한 결정화 방법인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 결정화 방법은 엑시머 레이저 어닐링(Excimer Laser Annealing, ELA) 방법인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 15

제 12 항에 있어서,

상기 배선층은 거칠기를 갖는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 16

화소부 및 패드부를 구비하는 기판을 제공하는 단계;

상기 화소부 및 상기 패드부를 포함하는 상기 기판 전면에 걸쳐 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 실리콘층을 형성하는 단계;

상기 다결정 실리콘층을 패터닝하여, 상기 화소부 및 상기 패드부의 일정 영역에 각각 화소부의 다결정 실리콘층 패턴 및 패드부의 다결정 실리콘층 패턴을 형성하는 단계;

상기 화소부의 다결정 실리콘층 패턴 및 상기 패드부의 다결정 실리콘층 패턴을 포함하는 상기 기판 전면에 걸쳐 층간 절연막을 형성하는 단계;

상기 층간 절연막의 콘택홀을 통하여 상기 화소부의 실리콘층 패턴의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극 물질을 형성하는 단계; 및

상기 소오스/드레인 전극 물질을 패터닝하여, 상기 화소부의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 형성하고, 상기 패드부의 다결정 실리콘층 패턴에 대응하도록 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것은 레이저에 의한 결정화 방법인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 18

제 17 항에 있어서,

상기 결정화 방법은 엑시머 레이저 어닐링(Excimer Laser Annealing, ELA) 방법인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 패드부, 이를 포함하는 유기전계발광표시장치 및 유기전계발광표시장치의 제조방법에 관한 것으로, 보다 자세하게는 평판 표시 장치를 작동시키기 위한 부품들과 배선층의 콘택저항을 감소시키는 패드부에 관한 것이다.

배경 기술

[0002] 최근에 음극선관(cathode ray tube)과 같은 종래의 표시소자의 단점을 해결하는 액정표시장치(liquid crystal display device), 유기전계발광장치(organic electroluminescence device) 또는 PDP(plasma display panel)등과 같은 평판형 표시장치(flat panel display device)가 주목받고 있다.

[0003] 이때, 상기 액정 표시 장치는 다른 평판 표시 장치에 비해 해상도, 컬러 표시, 화질 및 저전력소비 등의 특성이 우수하고, 상기 유기 전계 발광 장치는 유기물의 자체 발광으로 간단한 구조, 광효율, 직류저전압구동 및 고속 응답성 등의 특성이 우수하고, 상기 PDP는 고휘도, 고발광성 효율 및 광시야각 등의 특성이 우수하다는 특징이

있다.

- [0004] 상기와 같은 평판 표시 장치들은 유리 또는 플라스틱과 같은 투명한 절연 기판상에 소자들을 형성함으로써 제조할 수 있다.
- [0005] 이때, 상기 평판 표시 장치를 작동시키기 위해 여러 가지 제어 신호 또는 데이터 신호 등을 생성하는 부품들이 상기 평판 표시 장치가 형성되는 기판의 소정 영역에 실장될 수 있다. 이때, 상기 부품들을 실장하는 방법에 따라 COG(Chip On Glass) 또는 COF(Chip On FPC(Flexible Printed Circuit)) 등이 있을 수 있는데, 상기 COG는 기판상에 직접 IC(Integrated Circuit) 칩과 같은 부품을 실장하는 방법이고, 상기 COF는 폴리마이드(Polyimide) 등의 필름에 IC 칩과 같은 부품을 실장한 후, 상기 필름을 기판상에 실장하는 방법이다.
- [0006] 이때, 상기 평판 표시 장치가 형성된 기판상에는 상기 COG 또는 COF 등의 방법으로 부품을 실장하기 위해서는 전기적으로 통전이 되는 패드가 필요하게 된다.
- [0007] 그러나, 종래 패드의 구조는 상기 COG 또는 COF와의 접촉면적이 적어 콘택이 적절하게 이루어지지 않아, 콘택 저항이 증가하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- [0008] 따라서, 본 발명은 평판 표시 장치를 작동시키기 위한 부품들과 배선층의 콘택저항을 감소시키는 패드부를 제공하는 것을 목적으로 한다.

과제 해결수단

- [0009] 본 발명은 기판; 상기 기판 상부에 위치한 실리콘층 패턴; 상기 실리콘층 패턴 상에 위치한 절연막; 상기 절연막 상에 위치하는 배선층; 및 상기 배선층의 가장자리를 감싸면서 상기 배선층을 노출시키는 개구부를 구비하는 보호층을 포함하는 것을 특징으로 하는 패드부를 제공한다.
- [0010] 또한, 본 발명은 화소부 및 패드부를 구비하는 기판을 포함하는 유기전계발광표시장치에 있어서, 상기 패드부는 상기 기판 상부에 위치한 실리콘층 패턴; 상기 실리콘층 패턴 상에 위치한 절연막; 상기 절연막 상에 위치하는 배선층; 및 상기 배선층의 가장자리를 감싸면서 상기 배선층을 노출시키는 개구부를 구비하는 보호층을 포함하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0011] 또한, 본 발명은 상기 화소부는 상기 기판 상부에 위치한 실리콘층 패턴; 상기 실리콘층 패턴을 포함한 기판 전면에 걸쳐 형성된 게이트 절연막; 상기 게이트 절연막 상에 위치한 게이트 전극; 상기 게이트 전극 상에 형성된 층간 절연막; 및 상기 층간 절연막의 콘택홀을 통하여 상기 화소부의 실리콘층의 패턴의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0012] 또한, 본 발명은 상기 패드부의 절연막은 게이트 절연막이고, 상기 패드부의 배선층은 게이트 전극과 동일 물질로 이루어지는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0013] 또한, 본 발명은 상기 패드부의 절연막은 층간 절연막이고, 상기 패드부의 배선층은 소오스/드레인 전극과 동일 물질로 이루어지는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0014] 또한, 본 발명은 상기 실리콘층 패턴은 다결정 실리콘층 패턴인 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0015] 또한, 본 발명은 화소부 및 패드부를 구비하는 기판을 제공하는 단계; 상기 화소부 및 패드부를 포함하는 기판 전면에 걸쳐 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 실리콘층을 형성하는 단계; 상기 다결정 실리콘층을 패터닝하여, 상기 화소부 및 상기 패드부의 일정영역에 각각 화소부의 다결정 실리콘층 패턴 및 패드부의 다결정 실리콘층 패턴을 형성하는 단계; 상기 화소부의 다결정 실리콘층 패턴 및 상기 패드부의 다결정 실리콘층 패턴을 포함하는 기판 전면에 걸쳐 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트 전극 물질을 형성하는 단계; 및 상기 게이트 전극 물질을 패터닝 하여, 상기 화소부의 다결정 실리콘층 패턴의 채널영역에 대응하도록 게이트 전극을 형성하고, 상기 패드부의 다결정 실리콘층 패턴에 대응하도록 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.

- [0016] 또한, 본 발명은 화소부 및 패드부를 구비하는 기판을 제공하는 단계; 상기 화소부 및 패드부를 포함하는 기판 전면에 걸쳐 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 실리콘층을 형성하는 단계; 상기 다결정 실리콘층을 패터닝하여, 상기 화소부 및 상기 패드부의 일정영역에 각각 화소부의 다결정 실리콘층 패턴 및 패드부의 다결정 실리콘층 패턴을 형성하는 단계; 상기 화소부의 다결정 실리콘층 패턴 및 상기 패드부의 다결정 실리콘층 패턴을 포함하는 기판 전면에 걸쳐 층간 절연막을 형성하는 단계; 상기 층간 절연막의 콘택홀을 통하여 상기 화소부의 실리콘층의 패턴의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극 물질을 형성하는 단계; 및 상기 소오스/드레인 전극 물질을 패터닝하여, 상기 화소부의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극을 형성하고, 상기 패드부의 다결정 실리콘층 패턴에 대응하도록 배선층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- [0017] 또한, 본 발명은 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하는 것은 레이저에 의한 결정화 방법인 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.
- [0018] 또한, 본 발명은 상기 결정화 방법은 ELA법(Excimer Laser Crystallization)인 것을 특징으로 하는 유기전계발광표시장치의 제조방법을 제공한다.

효 과

- [0019] 따라서, 본 발명은 패드부의 배선층의 하부에 다결정 실리콘층 패턴을 잔존시켜, 상기 배선층의 표면적을 증가시킬 수 있는 패드부를 제공할 수 있는 효과가 있다.
- [0020] 또한, 본 발명은 배선층의 표면적을 증가시킴으로써, 평판 표시 장치를 작동시키기 위한 부품들과 배선층의 접촉면적이 넓게 하여 콘택저항이 감소하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0021] 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0022] 도 1은 본 발명에 따른 패드부를 포함하는 유기 전계 발광 소자의 평면도이다.
- [0023] 도 1를 참조하면, 유리 또는 플라스틱과 같은 투명한 절연 기판(100)상에 화소부(110)가 위치하고, 상기 화소부(110)에 신호를 인가하는 스캔 드라이브(Scan Driver)(120) 및 데이터 드라이브(Data Driver)(130)와 공통 전원을 인가하는 공통전원 버스 라인(140) 등이 상기 화소부(110)의 가장자리에 위치한다.
- [0024] 외부의 COG 또는 COF에서 신호 또는 전원을 공급받기 위해서 상기 스캔 드라이브(120), 데이터 드라이브(130) 및 공통전원 버스 라인(140) 등과 연결된 패드(150)가 복수 개 위치하는 패드부(160)가 상기 기판의 하단부에 위치한다.
- [0025] 이때, 도 1에서는 상기 패드부(160)의 패드(150)에 COF의 FPC(170)가 콘택되어 있는 것을 도시하고 있으나, 필요하다면 IC 칩이 상기 기판(100)의 패드(150)에 실장될 수 있다.
- [0026] 도 2a는 본 발명에 따른 패드부를 나타내는 단면도이다. 이때, 상기 도 2a는 상기 도 1의 패드(150)의 단면을 도시한 것으로서, FPC(170)은 도시하지 않았다.
- [0027] 도 2a를 참조하면, 유리 또는 플라스틱과 같은 절연 기판(200)상에 버퍼층(210)이 위치할 수 있다.
- [0028] 그리고, 상기 버퍼층(210)상에 실리콘층 패턴(220b)이 위치한다. 상기 실리콘층 패턴(220b)은 다결정 실리콘층 패턴으로, 후술할 바와 같이, 버퍼층 상에 비정질 실리콘층을 형성하고, 이를 여러가지 결정화방법 중 어느 하나를 사용하여 다결정 실리콘층으로 결정화한 후, 이를 패터닝하여, 화소부에 반도체층을 형성하면서, 이와 동

시에 패드부에 상기 다결정 실리콘층 패턴(220b)을 형성할 수 있다.

- [0029] 상기 다결정 실리콘층 패턴(220b) 상에 절연막(230)이 위치한다.
- [0030] 상기 절연막(230)은 후술할 바와 같이, 게이트 절연막 또는 층간절연막일 일 수 있다.
- [0031] 상기 절연막(230) 상에 도전체로 이루어진 배선층(240b)이 위치한다. 후술할 바와 같이, 상기 배선층(240b)은 게이트 전극 물질 또는 소오스/드레인 전극 물질을 패터닝함으로써 형성될 수 있다.
- [0032] 그리고, 상기 배선층(240b)의 가장자리를 감싸면서 상기 배선층(240b)을 노출시키는 개구부를 구비하는 보호층(250)이 상기 배선층(240b)상에 위치한다.
- [0033] 도 2b는 도 2a에 따른 패드의 접촉면적의 증가를 나타내는 개략도이다.
- [0034] 도 2b를 참조하면, 먼저, 상술한 바와 같이, 버퍼층(210)상에 실리콘층 패턴(220b)이 위치하며, 상기 실리콘층 패턴(220b)은 다결정 실리콘층 패턴에 해당한다.
- [0035] 상기 다결정 실리콘층 패턴(220b)은 비정질 실리콘 층을 다결정 실리콘층으로 결정화한 후, 이를 패터닝하여 형성된 것으로, 상기 다결정 실리콘층 패턴(220b)은 도 2b에 도시된 바와 같이, 표면에 수 nm 내지 수 μm 의 거칠기를 갖게 된다.
- [0036] 또한, 상기 다결정 실리콘층 패턴(220b) 상에 형성된 거칠기의 모폴로지(morphology)가 반영되어 상기 다결정 실리콘층 패턴(220b) 상에 형성된 절연막(230)에도 거칠기가 형성되게 되며, 또한, 상기 절연막(230) 상에 형성된 거칠기의 모폴로지가 반영되어 상기 배선층(240b)에도 거칠기가 형성되게 된다.
- [0037] 따라서, 다결정 실리콘층 패턴(220b) 상에 형성된 거칠기의 모폴로지가 상기 배선층(240b)에 반영됨으로써, 상기 배선층(240b)의 표면적이 증가하게 되고, 결국, 평판 표시 장치를 작동시키기 위해 여러 가지 제어 신호 또는 데이터 신호 등을 생성하는 부품들이 실장됨에 있어서, 상기 부품들과 배선층의 접촉면적이 넓어짐에 따라, 콘택저항이 감소하게 된다.
- [0038] 즉, 도 2a 및 도 2b에 도시된 바와 같은 본 발명에 따른 패드는 배선층의 하부에 다결정 실리콘층 패턴(220b)을 잔존시킴으로써, 도 1에 도시된 패드(150)와 FPC(170)의 콘택이 효과적으로 이루어질 수 있다.
- [0039] 이때, 상기 다결정 실리콘층 패턴(220b)의 형성은 화소부의 반도체층 패턴을 형성하면서 동시에 형성할 수 있으므로, 별도의 공정의 추가나 마스크 수의 증가없이 형성할 수 있다.
- [0040] 도 3a 내지 도 3g는 본 발명의 제1실시예에 따른 패드부를 포함하는 유기전계발광표시장치를 제조하는 공정을 나타내는 단면도들이다.
- [0041] 먼저, 도 3a를 참조하면, 유리 또는 플라스틱 등과 같은 투명한 절연 기판(300)상에 실리콘 산화막, 실리콘 질화막 또는 이들의 복층으로 버퍼층(310)을 형성한다. 이때, 상기 절연 기판은 화소부(A)와 패드부(B)를 구비하여 형성된다.
- [0042] 상기 버퍼층(310)은 하부 기판에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달의 속도를 조절함으로써, 반도체층의 결정화가 잘 이루어질 수 있도록 하는 역할을 하는 것으로, 화소부(A)와 패드부(B)를 포함하는 기판 전체에 걸쳐 형성한다.
- [0043] 이어서, 상기 버퍼층(310) 상에 비정질 실리콘층(미도시)를 형성하고, 다양한 결정화방법에 의하여 이를 다결정 실리콘층으로 결정화한다.
- [0044] 이때, 상기 결정화법은 RTA법(Rapid Thermal Annealing), SPC법(Solid Phase Crystallization), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SGS법(Super Grain Silicon), ELA법(Excimer Laser Annealing) 및 SLS법(Sequential Lateral Solidification) 중 어느 하나를 사용할 수 있다.
- [0045] 이때, 상기 다결정 실리콘층의 거칠기를 효과적으로 증가시키기 위하여 상기 결정화법은 레이저에 의한 결정화방법이 바람직하며, ELA법이 더욱 바람직하다. 이는 다른 결정화방법에 비하여 ELA법은 레이저의 조사 후 실리콘 입자들이 결정화되면서 표면에 용기가 일어남으로써 거칠기가 효과적으로 증가되기 때문이다.
- [0046] 이어서, 상기 다결정 실리콘층(미도시)을 패터하여, 화소부(A)의 다결정 실리콘층 패턴(320a)과 패드부(B)의 다

결정 실리콘층 패턴(320b)를 형성한다.

- [0047] 이때, 상기 화소부(A)의 다결정 실리콘층 패턴(320a)은 박막트랜지스터의 반도체 층에 해당하며, 패드부(B)의 다결정 실리콘층 패턴(320b)은 상술한 바와 같이, 추후 공정에 의해 형성되는 패드부의 배선층에 거칠기를 형성하기 위하여 잔존시킨 더미 패턴에 해당한다.
- [0048] 계속해서, 도 3b를 참조하면, 화소부(A)의 다결정 실리콘층 패턴(320a)과 패드부(B)의 다결정 실리콘층 패턴(320b)을 포함하는 기판 전면에 걸쳐 게이트 절연막(330)을 형성한다.
- [0049] 상기 게이트절연막(330)은 실리콘산화막(SiO_2), 실리콘질화막(SiN_x) 또는 이들의 이중층으로 형성할 수 있다.
- [0050] 이때, 도 2b에서와 같이, 상기 다결정 실리콘층 패턴(320b) 상에 형성된 거칠기의 모폴로지(morphology)가 반영되어 상기 다결정 실리콘층 패턴(320b) 상에 형성된 게이트 절연막(330)에도 거칠기가 형성된다.
- [0051] 이어서, 도 3c를 참조하면, 상기 게이트 절연막(330)상에 게이트 전극 물질을 증착한 후, 이를 패터닝하여 상기 화소부(A)에 게이트 전극(340a)을 형성하고, 패드부(B)에 배선층(340b)을 형성한다. 이때, 상기 게이트 전극(340a)은 상기 화소부(A)의 다결정 실리콘층 패턴(320a)의 채널영역과 대응되는 일정영역에 형성되며, 이는 당업계에 자명한 사항이므로, 구체적인 설명은 생략하기로 한다.
- [0052] 상기 게이트 전극 물질은 알루미늄(Al), 알루미늄 합금(Al-alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo-alloy)으로 이루어진 군에서 선택되는 하나로 형성할 수 있다.
- [0053] 한편, 상기 화소부의 게이트전극(340a)을 이온주입마스크로 사용하여 상기 화소부(A)의 다결정 실리콘층 패턴(320a)에 불순물을 이온주입하여 소오스/드레인영역을 형성한다. 이때, 상기 이온주입공정은 n+ 또는 p+ 불순물을 도펀트로 이용하여 실시되며, 이는 당업계에 자명한 사항이므로, 구체적인 설명은 생략하기로 한다.
- [0054] 이때, 도 2b에서와 같이, 상기 게이트 절연막(330) 상에 형성된 거칠기의 모폴로지가 반영되어 상기 배선층(340b)에도 거칠기가 형성된다.
- [0055] 즉, 다결정 실리콘층 패턴(320b) 상에 형성된 거칠기의 모폴로지가 상기 배선층(340b)에 반영됨으로써, 상기 배선층(340b)의 표면적이 증가하게 되고, 결국, 평판 표시 장치를 작동시키기 위해 여러 가지 제어 신호 또는 데이터 신호 등을 생성하는 부품들이 실장됨에 있어서, 상기 부품들과 배선층의 접촉면적이 넓어짐에 따라, 콘택 저항이 감소하게 된다.
- [0056] 이어서, 도 3d를 참조하면, 상기 게이트 전극(340a) 및 배선층(340b)이 형성된 기판 전면에 걸쳐 층간절연막(350)을 형성한다. 상기 층간절연막(350)은 실리콘산화막(SiO_2), 실리콘질화막(SiN_x) 또는 이들의 이중층으로 형성할 수 있다.
- [0057] 이후, 상기 층간절연막(350)에 상기 화소부(A)상에 형성된 반도체층의 소오스/드레인 영역의 일부를 노출시키는 콘택홀(h) 및 상기 배선층(340b)의 일부를 노출시키는 개구부(350a)를 형성한다.
- [0058] 이때, 상기 배선층(340b)의 일부를 노출시키는 개구부(350a)를 형성하는 것은 상기 층간절연막(350)이 상기 배선층(340b)의 가장자리를 감싸면서, 상기 개구부(350a)에 의해 상기 배선층(340b)이 노출되도록 형성한다.
- [0059] 이로써, 본 발명에 따른 패드부를 형성할 수 있다.
- [0060] 이때, 상기 패드부는 도 1에서의 스캔드라이브(120)와 연결된 패드부 일 수 있다.
- [0061] 계속해서, 도 3e를 참조하면, 상기 화소부(A)와 패드부(B)를 포함하는 기판 전면에 걸쳐 도전체 물질인 소오스/드레인 전극 물질을 증착하고, 이를 패터닝하여 상기 화소부(A)에 소오스/드레인 전극(360)을 형성한다.
- [0062] 상기 소오스/드레인 전극 물질로는 Mo, W, MoW, AlNd, Ti, Al, Al 합금, Ag 및 Ag 합금 등으로 이루어진 군에서 선택되는 하나의 물질로 단일층으로 형성하거나, 배선 저항을 줄이기 위해 저저항물질인 Mo, Al 또는 Ag의 2층 구조 또는 그 이상의 다중막 구조, 즉, Mo/Al/Mo, MoW/Al-Nd/MoW, Ti/Al/Ti, Mo/Ag/Mo 및 Mo/Ag-합금/Mo 등으로 이루어진 군에서 선택되는 하나의 적층구조로 형성한다.
- [0063] 이때, 상기 패드부(B)상에 형성된 소오스/드레인 전극 물질을 완전하게 제거한다.
- [0064] 이어서, 도 3f를 참조하면, 상기 화소부(A)와 패드부(B)를 포함하는 기판 전면에 걸쳐 스펅 코팅과 같은 방법으로 레진 등과 같은 유기물을 이용하여 평탄화층(370)을 형성하고, 이어서, 상기 화소부(A)상의 평탄화층(370)을

식각하여 소오스/드레인 전극(360) 중의 일부를 노출시키는 비아홀(v)을 형성한다.

- [0065] 이때, 상기 비아홀(v)을 형성하면서, 상기 패드부(B)상에 형성된 평탄화층은 완전하게 제거한다.
- [0066] 이어서, 도 3g를 참조하면, 상기 화소부(A)상에 제 1 전극(380), 상기 제 1 전극(380)의 일부를 노출시키고, 유기물로 형성될 수 있는 화소정의막(385), 상기 화소정의막(385)상에 형성되고, 적어도 유기발광층을 포함하는 유기막층(390), 및 상기 유기막층(390)상에 형성된 제 2 전극(395)을 순차적으로 형성할 수 있다.
- [0067] 이를 더욱 구체적으로 상술하면, 먼저, 상기 제 1 전극(380)은 전면발광형인 경우 반사형전극으로 구비될 수 있다. 상기 반사형전극은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물로 이루어지는 군에서 선택되는 어느 하나로 반사막을 형성한 후, 그 위에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 투명전극을 적층하여 형성할 수 있다.
- [0068] 또한, 상기 제 1 전극(380)은 배면발광형인 경우 투명 전극으로 구비될 수 있으며, 상기 투명전극은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), TO(Tin Oxide) 및 ZnO(Zinc Oxide)로 이루어지는 군에서 선택되는 하나의 물질로 이루어 질 수 있다.
- [0069] 상기 유기막층(390)은 적어도 발광층을 포함하며 그 외에 홀주입층, 홀수송층, 전자수송층 및 전자주입층 중 어느 하나 이상의 층을 추가로 포함할 수 있으며, 본 발명에서는 상기 유기막층의 구성 및 물질에 관하여 한정하는 것은 아니다.
- [0070] 상기 홀 수송층을 형성하는 홀 수송성 물질로는 N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: α -NPB), N,N'-비스(3-메틸페닐)-N,N'-디페닐-[1,1'-비페닐]-4,4'-디아민(TPD) 등을 사용할 수 있다. 그리고 홀수송층의 막두께는 10 내지 50nm 범위로 형성할 수 있다. 상기 홀수송층의 두께 범위를 벗어나는 경우에는 홀 주입 특성이 저하되므로 바람직하지 못하다.
- [0071] 이러한 홀수송층에는 홀수송성 물질이외에 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 부가할 수 있으며, 이러한 도펀트로는 4-(디시아노메틸렌)-2-터트-부틸-6-(1,1,7,7-테트라메틸줄로리딜-9-에닐)-4H-피란(4-(dicyanomethylene)-2-t-butyl-6-(1,1,7,7-tetramethyljulolidyl-9-enyl)-4H-pyran: DCJTB), 쿠마린 6(Coumarin 6), 루브레네(Rubrene), DCM, DCJTB, 페닐렌(Perylene), 퀴나크리돈(Quinacridone) 등을 이용하며, 그 함량은 홀수송층 형성용 물질 총중량에 대하여 0.1 내지 5중량%를 사용한다. 이와 같이 홀수송층 형성시 도펀트를 부가하면, 발광색을 도펀트 종류 및 함량에 따라 조절가능하며, 홀수송층의 열적 안정성을 개선하여 소자의 수명을 향상시키는 잇점이 있다.
- [0072] 또한, 상기 홀주입층은 스타버스트(starburst) 아민계 화합물을 이용하여 형성할 수 있으며, 홀 주입층의 두께는 30 내지 100nm로 형성할 수 있다. 상기 홀주입층의 두께 범위를 벗어나는 경우에는 홀 주입 특성이 불량하므로 바람직하지 못하다. 상기 홀주입층을 통하여 대향전극과 홀수송층간의 접촉저항을 감소시키고, 애노드전극의 홀수송능력이 향상시켜 소자의 특성이 전반적으로 개선되는 효과를 얻을 수 있다.
- [0073] 본 발명의 발광층의 형성재료는 특별히 제한되지는 않으며, 구체적인 예로서 CBP(4,4'-bis(carbazol-9-yl)-biphenyl)을 들 수 있다.
- [0074] 본 발명의 발광층은 상술한 홀수송층과 마찬가지로 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 더 함유할 수 있으며, 이때, 도펀트 종류 및 함량은 홀수송층의 경우와 거의 동일한 수준이며, 상기 발광층의 막두께는 10 내지 40 nm 범위인 것이 바람직하다.
- [0075] 상기 전자수송층을 형성하는 전자수송성 물질로는 트리스(8-퀴놀리놀라토)-알루미늄(tris(8-quinolinolate)-aluminium: Alq 3), Alm q 3 을 이용하며, 상술한 홀수송층과 마찬가지로 전자-홀 결합에 대하여 발광할 수 있는 도펀트를 더 함유하기도 한다. 이때, 도펀트 종류 및 함량은 홀수송층의 경우와 거의 동일한 수준이며, 상기 전자수송층의 막두께는 30 내지 100nm 범위로 할 수 있다. 상기 전자수송층의 두께 범위를 벗어나는 경우에는 효율 저하 및 구동전압이 상승하여 바람직하지 못하다.
- [0076] 상기 발광층과 전자수송층 사이에는 홀 장벽층(HBL)이 더 형성될 수 있다. 여기에서 홀 장벽층은 인광발광물질에서 형성되는 엑시톤이 전자수송층으로 이동되는것을 막아주거나 홀이 전자수송층으로 이동되는 것을 막아주는 역할을 하는 것으로, 상기 홀 장벽층 형성 재료로서 BA1q를 사용할 수 있다.
- [0077] 상기 전자주입층은 LiF로 이루어진 물질로 형성할 수 있으며, 이의 두께는 0.1 내지 10nm 범위로 형성할 수 있다. 상기 전자주입층의 두께범위를 벗어나는 경우에는 구동전압이 상승하여 바람직하지 못하다.

- [0078] 상기 유기막층 상부에 형성된 제 2 전극(395)은 전면발광형인 경우, 반투과 캐소드형 또는 반투과 캐소드 형성 후 투과형 캐소드형을 적층한 구조로 구성될 수 있다.
- [0079] 상기 반투과 캐소드형은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 이를 5 내지 30nm의 두께로 얇게 형성하여 구성할 수 있으며, 상기 반투과 캐소드 형성 후 투과형 캐소드형을 구성하는 방법은 일 함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 반투과형 캐소드를 형성한 후 저저항 특성을 갖는 ITO, IZO(Indium Zinc Oxide)등을 이용한 막을 추가적으로 형성하여 만든다. 이때, 반투과 캐소드의 두께가 5nm 미만인 경우에는 저전압에서 전자주입을 못하고 만약 반투과 캐소드의 두께가 30nm 이상인 경우에는 경우에는 투과율이 현저하게 떨어져 바람직하지 못하다. 또한 반투과 캐소드와 투과형 캐소드를 합친 총두께는 10 내지 400nm의 두께가 적당하다.
- [0080] 또한, 제 2 전극(395)은 배면발광형인 경우, 반사전극으로 형성될 수 있으며, 상기 반사전극은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 Mg 합금으로 이루어지는 군에서 선택되는 어느 하나의 물질을 이용하여 형성할 수 있다.
- [0081] 다만, 본 발명에서는 상기 제 1 전극, 유기막층, 제 2 전극의 재질을 한정하는 것은 아니다.
- [0082] 이로써, 본 발명에 따른 패드부를 포함하는 유기전계발광표시장치를 형성할 수 있다.
- [0083] 한편, 도 3a 내지 도 3g에서는 상기 도 2a에서의 절연막이 게이트절연막이고, 상기 절연막 상에 도전체로 이루어진 배선층이 게이트 전극물질로 이루어지는 지며, 보호막이 층간절연막인 것을 개시하고 있으나, 이와는 달리, 상기 도 2a에서의 절연막은 층간절연막이고, 상기 배선층은 소오스/드레인 전극 물질로 이루어지며, 상기 보호막은 평탄화막일 수 있다.
- [0084] 이를 도 4를 통하여 설명하면 다음과 같다.
- [0085] 도 4는 본 발명의 제2실시예에 따른 패드부를 포함하는 유기전계발광표시장치를 나타내는 단면도이다.
- [0086] 본 발명의 제2실시예에 따른 패드부를 포함하는 유기전계발광표시장치는 후술하는 것을 제외하고는 제1실시예에 따른 패드부를 포함하는 유기전계발광표시장치와 동일할 수 있다.
- [0087] 도 4를 참조하면, 먼저, 화소부(A)는 제1실시예와 동일하게 기관(400) 상에 버퍼층(410)이 형성되고, 상기 버퍼층(410) 상에 다결정 실리콘층 패턴인 반도체층(420a)이 형성되어 있다. 이때, 패드부(B)도 제1실시예와 동일하게 기관(400) 상에 버퍼층(410)이 형성되고, 상기 버퍼층(410) 상에 다결정 실리콘층 패턴(420b)이 형성된다.
- [0088] 다음으로, 화소부(A)는 제1실시예와 동일하게 상기 반도체층(420a) 상에 게이트 절연막(430)이 형성되고, 상기 게이트 절연막 상에 게이트 전극(440)이 형성된다. 하지만, 패드부(B)는 제1실시예와는 달리, 게이트 절연막 및 게이트 전극 물질이 완전하게 제거된다.
- [0089] 다음으로, 상기 게이트 전극을 포함한 기관 전면에 걸쳐 층간절연막(450)을 형성하며, 이때, 제1실시예와는 달리, 상기 층간절연막이 패드부(B)에서 제거되지 않고, 도 2a에서와 같은 절연막의 역할을 하게 된다.
- [0090] 다음으로, 상기 층간 절연막(420)에 콘택홀을 형성하여, 상기 화소부의 실리콘층의 패턴의 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극 물질을 형성한다. 이후, 상기 소오스/드레인 전극 물질을 패터닝하여, 상기 화소부에는 소오스/드레인 영역과 전기적으로 연결되는 소오스/드레인 전극(460a)을 형성하고, 상기 패드부에는 다결정 실리콘층 패턴(420b)에 대응하도록 배선층(460b)을 형성한다.
- [0091] 즉, 제1실시예에서는 게이트 전극 물질을 배선층으로 사용하였으나, 제2실시예에서는 소오스/드레인 전극 물질을 배선층으로 사용한다.
- [0092] 다음으로, 상기 소오스/드레인 전극(460a) 및 배선층(460b)을 포함하는 기관 전면에 평탄화층(470)을 형성하고,
- [0093] 상기 화소부(A)상의 평탄화층(470)을 식각하여 소오스/드레인 전극(460a) 중의 일부를 노출시키는 비아홀(v)을 형성하면서, 상기 배선층(460b)의 일부를 노출시키는 개구부(470a)를 형성함으로써, 본 발명의 제2실시예에 따른 패드부를 형성할 수 있다.
- [0094] 이때, 상기 제2실시예에 따른 패드부는 도 1에서의 데이터 드라이브(130) 또는 공통 전원 버스 라인(140)과 연결된 패드부 일 수 있다.

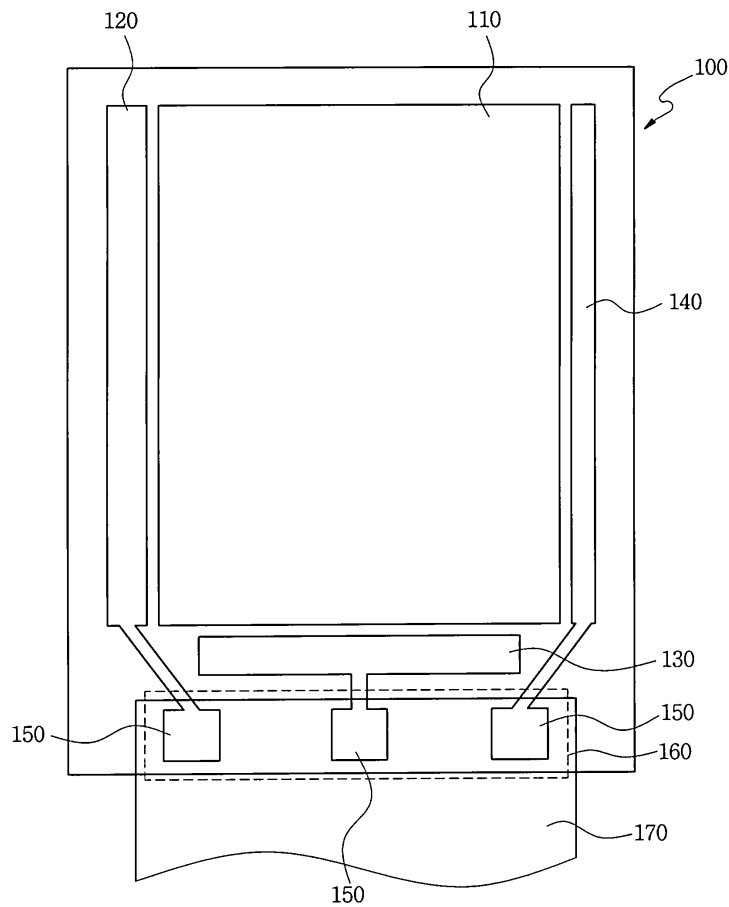
[0095] 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

도면의 간단한 설명

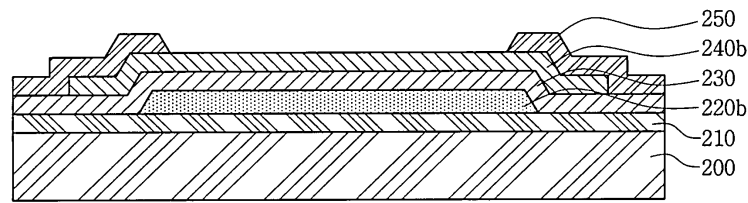
[0096] 도 1은 본 발명에 따른 패드부를 포함하는 유기 전계 발광 소자의 평면도,
 [0097] 도 2a는 본 발명에 따른 패드부를 나타내는 단면도,
 [0098] 도 2b는 도 2a에 따른 패드의 접촉면적의 증가를 나타내는 개략도,
 [0099] 도 3a 내지 도 3g는 본 발명의 제1실시예에 따른 패드부를 포함하는 유기전계발광표시장치를 제조하는 공정을 나타내는 단면도들,
 [0100] 도 4는 본 발명의 제2실시예에 따른 패드부를 포함하는 유기전계발광표시장치를 나타내는 단면도이다.

도면

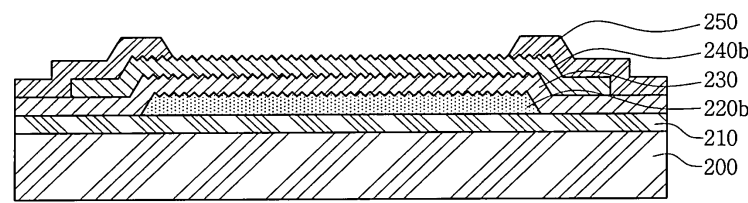
도면1



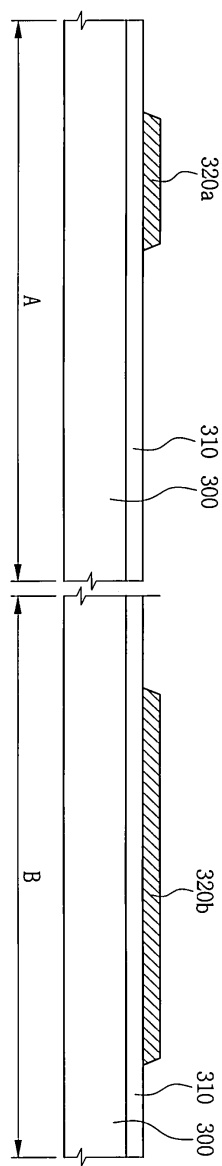
도면2a



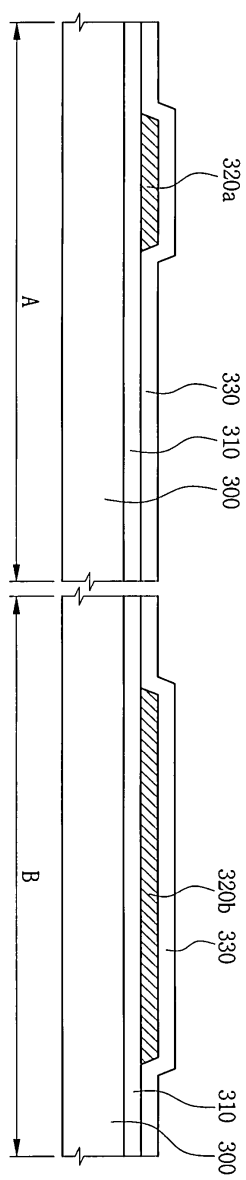
도면2b



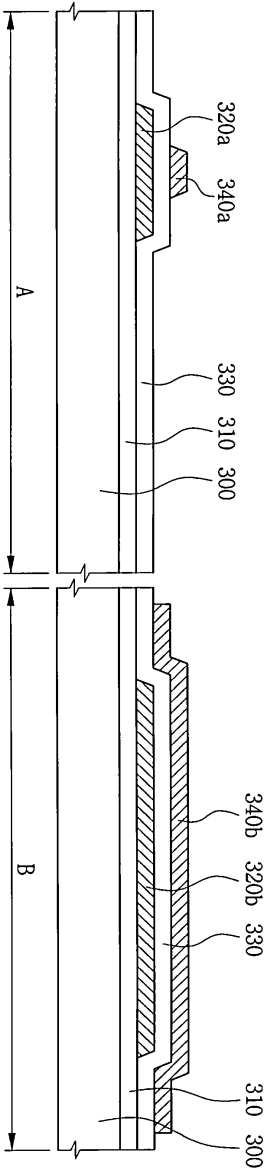
도면3a



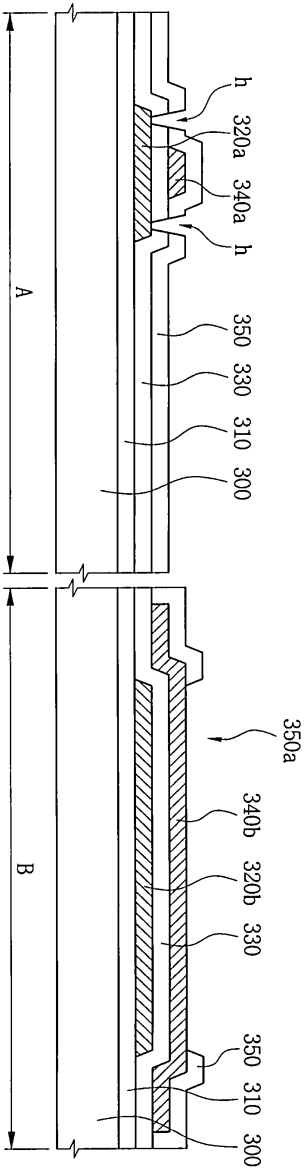
도면3b



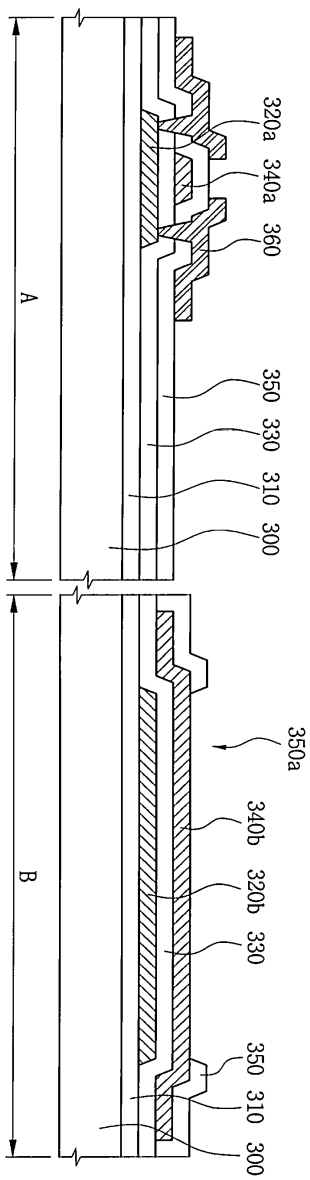
도면3c



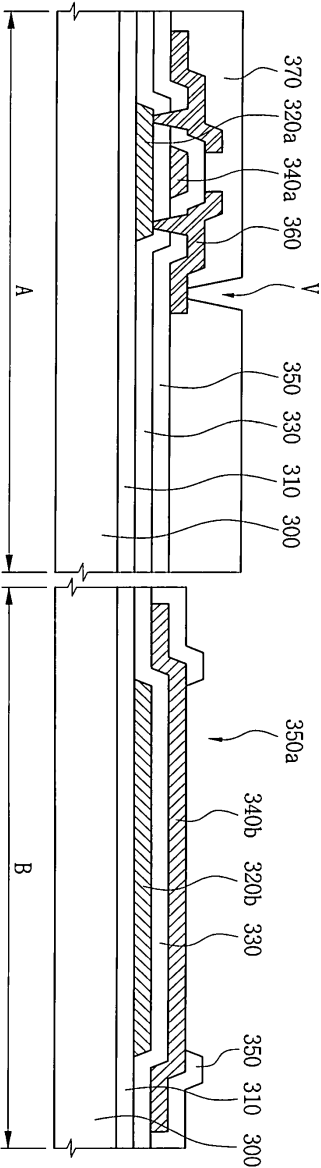
도면3d



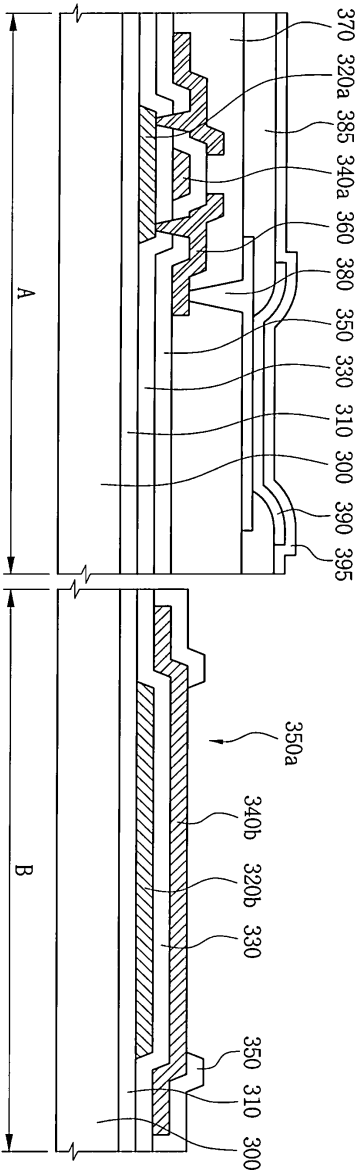
도면3e



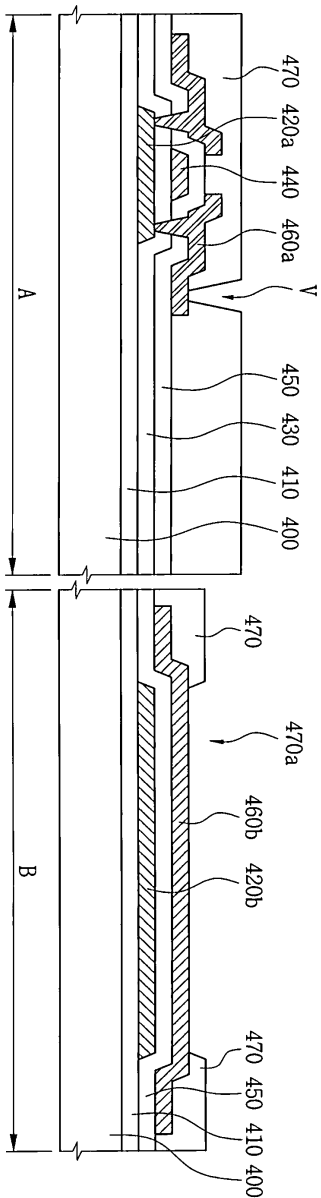
도면3f



도면3g



도면4



专利名称(译)	焊盘部分，包括其的有机发光显示器，以及有机发光显示装置的制造方法		
公开(公告)号	KR101073562B1	公开(公告)日	2011-10-17
申请号	KR1020090077603	申请日	2009-08-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	KIM JONG YUN 김종윤 LEE IL JEONG 이일정		
发明人	김종윤 이일정		
IPC分类号	H01L51/50 H05B33/06		
CPC分类号	H01L21/56 H01L21/32155 H01L31/1864 H01L21/0275 H01L27/3246 H01L27/3276 H01L27/12		
其他公开文献	KR1020110019964A		
外部链接	Espacenet		

摘要(译)

用途：提供一种焊盘单元，包括该焊盘单元的有机电致发光显示装置，以及制造该有机电致发光显示装置的方法，以通过加宽元件和布线层之间的接触面积来降低接触电阻。结构：焊盘单元包括衬底（200），硅层图案（220b），绝缘层（230），布线层（240b）和保护层（250）。硅层图案位于缓冲层（210）上。绝缘层位于硅层图案上。布线层位于绝缘层上。保护层包括开口单元，用于暴露布线层并围绕布线层的边缘。

