



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년02월21일
(11) 등록번호 10-0805115
(24) 등록일자 2008년02월13일

(51) Int. Cl.

G09G 3/30 (2006.01) H03B 5/08 (2006.01)

G09G 3/32 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2006-0119784

(22) 출원일자 2006년11월30일

심사청구일자 2006년11월30일

(56) 선행기술조사문헌

KR1020050112840 A

KR1020060042833 A

(73) 특허권자

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

김도익

경기 용인시 기흥구 공세동 428-5

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 5 항

심사관 : 김민수

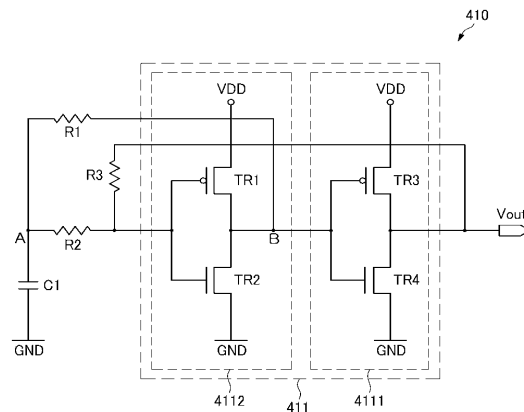
(54) 발진 회로 및 이를 이용한 유기전계발광표시장치

(57) 요약

본 발명은 히스테리시스 특성을 갖는 버퍼회로를 이용하는 발진회로 및 이를이용하는 유기전계발광표시 장치에 관한 것이다.

본 발명에 따른 발진회로는 제1 인버터 및 제2 인버터를 포함하는 버퍼회로를 포함하고, 제1 인버터의 출력단에 일단이 연결된 제1 저항, 제1 저항의 타단에 일단이 연결되고, 제1 인버터의 입력단에 타단이 연결되어 있는 제2 저항, 제1 인버터의 입력단에 일단이 연결되고, 제2 인버터의 출력단에 타단이 연결되어 있는 제3 저항, 및 제2 저항의 일단에 연결되어 있는 커패시터를 포함한다. 제1 인버터 및 제2 인버터 각각은 CMOS 트랜지스터를 포함하고, 제1 인버터의 출력단에 제2 인버터의 입력단이 연결되어 있다.

대표도 - 도3



특허청구의 범위

청구항 1

제1 인버터 및 제2 인버터를 포함하는 버퍼회로;

상기 제1 인버터의 출력단에 일단이 연결된 제1 저항;

상기 제1 저항의 타단에 일단이 연결되고, 상기 제1 인버터의 입력단에 타단이 연결되어 있는 제2 저항;

상기 제1 인버터의 입력단에 일단이 연결되고, 상기 제2 인버터의 출력단에 타단이 연결되어 있는 제3 저항; 및

상기 제2 저항의 일단에 연결되어 있는 커패시터

를 포함하는 발진회로.

청구항 2

제1항에 있어서,

상기 제1 인버터 및 제2 인버터 각각은 CMOS 트랜지스터를 포함하고, 상기 제1 인버터의 출력단에 상기 제2 인버터의 입력단이 연결되어 있는 발진회로.

청구항 3

삭제

청구항 4

복수의 주사선, 복수의 데이터선 및 복수의 화소를 포함하는 표시부;

상기 주사선에 주사 신호를 전달하는 주사 구동부;

상기 데이터선에 데이터 신호를 전달하는 데이터 구동부;

입력 영상 데이터, 상기 주사 구동부 제어 신호 및 상기 데이터 구동부 제어 신호를 생성하는 신호 제어부; 및

상기 표시부, 주사 구동부, 데이터 구동부에 전원을 공급하는 전원부

를 포함하고,

상기 신호 제어부는 제1 신호를 생성하는 발진 회로를 포함하고,

상기 발진 회로는,

제1 인버터;

상기 제1 인버터의 출력단에 입력단이 연결되어 있는 제2 인버터;

상기 제1 인버터의 출력단에 일단이 연결된 제1 저항;

상기 제1 저항의 타단에 일단이 연결되고, 상기 제1 인버터의 입력단에 타단이 연결되어 있는 제2 저항;

상기 제1 인버터의 입력단에 일단이 연결되고, 상기 제2 인버터의 출력단에 타단이 연결되어 있는 제3 저항; 및

상기 제2 저항의 일단에 연결되어 있는 커패시터

를 포함하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 제1 인버터 및 제2 인버터 각각은 CMOS 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 6

제5항에 있어서,
상기 제1 신호는 주기의 간격이 동일한 클럭 신호이고,
상기 제1 신호는 상기 전원부에 전달되는 유기전계발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <5> 본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 발진 회로 및 이를 이용한 유기전계발광표시장치에 관한 것이다.
- <6> 일반적으로 유기 전계 발광 표시장치는 유기 물질의 발광을 이용한 유기 전계 발광소자를 이용한 표시장치로서, 행렬 형태로 배열된 $N \times M$ 개의 유기 전계 발광소자들을 전압 구동 혹은 전류 구동하여 영상을 표현한다. 유기 전계 발광소자는 다이오드 특성을 가져서 유기 전계 발광 다이오드(Organic Light Emission Diode)로도 불리며, 애노드, 유기 박막, 캐소드 전극층의 구조를 가지고 있다.
- <7> 또한, 유기전계발광소자는 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer), 전자 수송층(electron transport layer) 및 정공 수송층(hole transport layer)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer)과 정공 주입층(hole injecting layer)을 포함하고 있다.
- <8> 유기전계발광표시장치는 유기전계발광소자에 전달되는 전류를 생성하고, 제어하기 위해 주기의 간격이 동일한을 갖는 클럭 신호가 필요하다. 종래 유기전계발광표시장치는 외부에서 클럭 신호를 전달받으며, 그에 따라 소정의 배선이 필요하다. 또한, 클럭 신호를 전달하는 배선에서 발생하는 EMI(electromagnetic interference)를 줄일 수 있어 배선 사이의 간섭 영향이 발생한다.

발명이 이루고자 하는 기술적 과제

- <9> 본 발명이 이루고자 하는 기술적 과제는 내부에서 클럭 신호를 생성할 수 있는 발진 회로 및 이를 포함하는 유기전계발광표시장치를 제공하는 것이다.

발명의 구성 및 작용

- <10> 본 발명에 따른 발진회로는 제1 인버터 및 제2 인버터를 포함하는 버퍼회로; 상기 제1 인버터의 출력단에 일단이 연결된 제1 저항; 상기 제1 저항의 타단에 일단이 연결되고, 상기 제1 인버터의 입력단에 타단이 연결되어 있는 제2 저항; 상기 제1 인버터의 입력단에 일단이 연결되고, 상기 제2 인버터의 출력단에 타단이 연결되어 있는 제3 저항; 및 상기 제2 저항의 일단에 연결되어 있는 커패시터를 포함한다. 상기 제1 인버터 및 제2 인버터 각각은 CMOS 트랜지스터를 포함하고, 상기 제1 인버터의 출력단에 상기 제2 인버터의 입력단이 연결되어 있다.
- <11> 본 발명에 따른 유기전계발광표시장치는 복수의 주사선, 복수의 데이터선 및 복수의 화소를 포함하는 표시부; 상기 주사선에 주사 신호를 전달하는 주사 구동부; 상기 데이터선에 데이터 신호를 전달하는 데이터 구동부; 입력 영상 데이터, 상기 주사 구동부 제어 신호 및 상기 데이터 구동부 제어 신호를 생성하는 신호 제어부; 및 상기 표시부, 주사 구동부, 데이터 구동부에 전원을 공급하는 전원부를 포함하고, 상기 신호 제어부는, 제1 신호를 생성하는 발진 회로를 포함하고, 상기 발진 회로는 제1 인버터 및 제2 인버터를 포함하는 버퍼회로를 포함한다. 상기 제2 인버터는 상기 제1 인버터의 출력단에 입력단이 연결되어 있고, 상기 제1 인버터의 출력단에 일단이 연결된 제1 저항; 상기 제1 저항의 타단에 일단이 연결되고, 상기 제1 인버터의 입력단에 타단이 연결되어 있는 제2 저항; 상기 제1 인버터의 입력단에 일단이 연결되고, 상기 제2 인버터의 출력단에 타단이 연결되어 있는 제3 저항; 및 상기 제2 저항의 일단에 연결되어 있는 커패시터를 포함한다. 상기 제1 인버터 및 제2 인버터 각각은 CMOS 트랜지스터를 포함하며, 상기 제1 신호는 주기의 간격이 동일한 클럭 신호이고, 상기 제1 신호는 상기 전원부에 전달된다.
- <12> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지

식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

- <13> 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- <14> 본 발명의 실시 예에 따른 발진회로 및 이를 이용한 유기 전계 발광 표시 장치 및 그 구동 방법에 대해서 도 1을 참조하여 자세하게 설명한다.
- <15> 도 1은 본 발명의 실시 예에 따른 유기 전계 발광 표시 장치를 개략적으로 나타낸 도면이다.
- <16> 도 1에 도시된 바와 같이, 유기 전계 발광 표시 장치는 표시부(100), 주사 구동부(200), 데이터 구동부(300), 신호 제어부(400) 및 전원부(500)를 포함한다.
- <17> 표시부(100)는 복수의 주사선(S1-Sn), 복수의 데이터선(D1-Dm) 및 복수의 화소(110)를 포함한다. 복수의 주사선(S1-Sn)은 행 방향으로 뻗어 있으며 각각 선택 신호를 전달하고, 복수의 데이터선(D1-Dm)은 열 방향으로 뻗어 있으며 각각 데이터 신호를 전달한다. 그리고 각 화소(110)는 복수의 주사선(S1-Sn) 중 해당하는 주사선과 복수의 데이터선(D1-Dm) 중 해당하는 데이터선에 의해 정의되는 화소 영역에 형성되어 있다. 이때, 화소(110)가 전류 프로그래밍 화소인 경우에 데이터 신호는 전류이고, 전압 프로그래밍 화소인 경우에 데이터 신호는 전압이다.
- <18> 한편, 색 표시를 구현하기 위해서는 각 화소가 원색 중 하나의 색상을 고유하게 표시하거나 각 화소가 시간에 따라 번갈아 원색을 표시하게 하여, 이들 원색의 공간적 또는 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색(R), 녹색(G) 및 청색(B)을 들 수 있다. 이때, 시간적 합으로 색상을 표시하는 경우에는 한 화소에서 시간적으로 R, G 및 B 색상이 번갈아 표시되어서 한 색상이 구현된다. 그리고 공간적 합으로 색상을 표시하는 경우에는 R 화소, G 화소 및 B 화소의 세 화소에 의해 한 색상이 구현되므로, 각 화소를 부화소라 부르고 세 개의 부화소를 하나의 화소라 부르기도 한다. 또한, 공간적 합으로 색상을 표시하는 경우에는 R 화소, G 화소 및 B 화소가 행 방향 또는 열 방향으로 번갈아 가면서 배열될 수 있으며, 또는 세 화소가 삼각형의 세 꼭지점에 해당하는 위치에 배열될 수도 있다.
- <19> 주사 구동부(200)는 표시부(100)의 주사선(S1-Sn)에 연결되어 게이트 온 전압과 게이트 오프 전압의 조합으로 이루어진 선택 신호를 주사선(S1-Sn)에 인가한다. 이때, 주사 구동부(200)는 복수의 주사선(S1-Sn)에 각각 인가되는 복수의 선택 신호가 차례로 게이트 온 전압을 가지도록 선택 신호를 인가할 수 있다. 그리고 선택 신호가 게이트 온 전압을 가지는 경우에, 해당 주사선에 연결되는 스위칭 트랜지스터가 턴온된다.
- <20> 데이터 구동부(300)는 표시부(100)의 데이터선(D1-Dm)에 연결되어 계조를 나타내는 데이터 신호를 데이터선(D1-Dm)에 인가한다. 이러한 데이터 구동부(300)는 신호 제어부(400)로부터 입력되는 계조를 가지는 입력 영상 데이터(DR, DG, DB)를 전압 또는 전류 형태의 데이터 신호로 변환한다.
- <21> 신호 제어부(400)는 외부의 그래픽 제어기(도시하지 않음)로부터 전달되는 외부신호, 즉 입력 영상 데이터(DR, DG, DB) 및 이의 표시를 제어하는 입력 제어 신호를 제공받는다. 입력 제어 신호에는 예를 들어 수평 동기 신호(Hsync), 수직 동기 신호(Vsync)가 있다. 신호 제어부(400)는 입력 영상 데이터(DR, DG, DB)를 데이터 구동부(300)로 전달하고, 제어 신호를 생성하여 주사 구동부(200) 및 데이터 구동부(300)로 전달한다. 제어신호는 주사 제어 신호(CONT1) 및 데이터 제어 신호(CONT2)를 포함하며, 신호 제어부(400)는 주사 제어 신호(CONT1) 및 데이터 제어 신호(CONT2)를 생성하여 각각 주사 구동부(200) 및 데이터 구동부(300)로 전달한다. 그리고 주사 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(SP)와 제1 및 제2 클럭 신호(CLK, CLKB)를 포함하며, 데이터 제어 신호(CONT2)는 한 행의 화소(110)에 대한 입력 영상 데이터 전달을 지시하는 수평 동기 시작 신호(STH)와 클럭 신호(CLK)를 포함한다. 본 발명의 실시예에 따른 신호 제어부(400)는 발진 회로(410)를 포함한다. 발진 회로(410)는 신호 제어부(400)를 구성하는 로직 회로에서 필요한 내부 클럭 신호 및 전원부(500)가 필요한 클럭 신호를 제공한다. 구체적으로, 전원부(500)는 적어도 하나의 컨버터를 포함할 수 있으며, 일반적으로 DC-DC 컨버터의 경우 클럭 신호가 필요하다. 본 발명의 실시예에 따른 발진 회로(600)에 대해서는 후술한다. 한편, 신호 제어부(400)는 한 행분에 해당하는 입력 영상 데이터를 데이터 구동부(300)로 전달하는 경우에, 입력 영상

데이터(DR, DG, DB)를 세 개의 채널을 통해서 색상 별로 전달할 수도 있으며, 입력 영상 데이터(DR, DG, DB)를 하나의 채널을 통하여 차례로 전달할 수도 있다.

<22> 전원부(500)는 유기 전계 발광 표시 장치의 구동에 필요한 전원을 각 구동부(200, 300), 신호제어부(400) 및 표시부(100)에 공급한다. 전원부(500)는 각 구동부(200, 300), 신호 제어부(400) 및 표시부(100)에 따라 필요한 레벨의 전압을 공급하기 위해 컨버터 회로를 포함한다.

<23> 먼저, 도 2를 참조하여 본 발명의 실시예에 따른 유기전계발광장치의 화소(110) 회로를 설명한다.

<24> 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 화소(110) 회로는 트랜지스터(M1, M2) 및 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함한다. 트랜지스터(M1, M2)는PMOS(p-channel metal oxide semiconductor)트랜지스터를 사용하였다. 이들 트랜지스터(M1, M2)는 소스 전극과 드레인 전극을 형성하는 두 전극과 게이트 전극을 가진다.

<25> 트랜지스터(M1)는 유기 발광 소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 전압(VDD)을 공급하기 위한 전원과 유기 발광 소자(OLED) 간에 연결되어 있고, 게이트에 인가되는 전압에 의하여 유기 발광 소자(OLED)에 흐르는 전류를 제어한다. 트랜지스터(M1)의 게이트에는 커패시터(Cst)의 일전극(A)이 연결되어 있고, 트랜지스터(M1)의 소스에는 커패시터(Cst)의 타전극(B) 및 전압(VDD)을 공급하는 전원이 연결되어 있으며, 트랜지스터(M1)의 드레인에는 유기 발광 소자(OLED)의 애노드가 연결되어 있다. 트랜지스터(M2)의 소스는 데이터선(Dm)에 연결되어 있고, 드레인은 커패시터(Cst)의 일전극(A)에 연결되어 있으며, 게이트는 주사선(Sn)에 연결되어 있다. 트랜지스터(M2)는 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(Dm)으로부터의 데이터를 커패시터(Cst)의 일전극(A)으로 전달한다. 트랜지스터(M1)의 게이트와 소스간의 전압차에 의해 턴온되고, 전압차가 커패시터(Cst)에 의해 유지되는 동안, 게이트-소스 전압에 대응하는 전류가 유기EL 소자(OLED)에 공급되어, 유기 발광소자(OLED)는 발광하게 된다. 유기 발광 소자(OLED)는 입력되는 전류에 대응하여 빛을 방출한다.

<26> 다음으로, 도 3을 참조하여 본 발명의 실시예에 따른 신호 제어부(400)의 발진 회로(410)를 설명한다.

<27> 도 3은 본 발명의 실시 예에 따른 발진 회로를 나타낸 도면이다.

<28> 도 3에 도시된 바와 같이, 발진 회로는 버퍼회로(411), 제1 내지 제3 저항(R1-R3) 및 커패시터(C1)를 포함한다.

<29> 버퍼회로(411)는 두 개의 트랜지스터를 각각 포함하는 제1 CMOS(complementary metal-oxide semiconductor) 인버터(4111) 및 제2 CMOS 인버터(4112)를 포함한다. 제1 CMOS 인버터(4111)는 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)를 포함하며, 제1 트랜지스터(TR1)는 PMOS(p-type metal-oxide semiconductor)이고, 제2 트랜지스터(TR2)는 NMOS(n-type metal-oxide semiconductor)이다. 제1 트랜지스터(TR1)의 드레인 전극에 제2 트랜지스터(TR2)의 드레인 전극이 연결되어 있고, 제1 트랜지스터(TR1)의 소스 전극은 제1 전압(VDD)에 연결되어 있다. 제2 트랜지스터(TR2)의 소스 전극은 제2 전압(GND)에 연결되어 있다. 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 게이트 전극은 제3 저항(R3)의 일단에 연결되어 있다. 제2 CMOS 인버터(4112)는 제3 트랜지스터(TR3) 및 제4 트랜지스터(TR4)를 포함하며, 제3 트랜지스터(TR3)는 PMOS이고, 제4 트랜지스터(TR4)는 NMOS이다. 제3 트랜지스터(TR3)의 드레인 전극에 제4 트랜지스터(TR4)의 드레인 전극이 연결되어 있고, 제3 트랜지스터(TR3)의 소스 전극은 제1 전압(VDD)에 연결되어 있다. 제4 트랜지스터(TR4)의 소스 전극은 제2 전압(GND)에 연결되어 있다. 제3 트랜지스터(TR3) 및 제4 트랜지스터(TR4)의 게이트 전극은 제1 CMOS 인버터(4111)의 출력단(B점)에 연결되어 있다. 제2 CMOS 인버터(4112)의 출력단은 발진부의 출력단으로서, 제3 저항(R3)의 타단에 연결되어 있다. 버퍼 회로(411)는 2단 인버터를 구성하여 버퍼 동작을 수행한다.

<30> 제2 저항(R2)의 일단은 버퍼회로(411)의 입력단과 제3 저항(R3)의 일단에 연결되어 있으며, 제2 저항(R2)의 타단은 커패시터(C1)의 일단 및 제1 저항(R1)의 일단에 연결되어 있다. 제1 저항(R1)의 타단은 제1 CMOS 인버터(4111)의 출력단에 연결되어 있다. 커패시터(C1)는 제1 저항(R1)의 일단과 제2 저항(R2)의 타단이 연결되는 A점과 제2 전압(GND) 사이에 연결되어 있다.

<31> 제3 저항(R3)는 발진 회로의 출력 신호에 Positive 피드백(Feedback)을 인가하여 출력에 따라 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 게이트 전극의 전압을 변화시킨다. 구체적으로, 발진회로는 출력(Vout)이 하이(high)이면, 게이트 전극의 전압을 올리고, 출력(Vout)이 로우(low)면, 게이트 전극의 전압을 내림으로써 출력(Vout)은 히스테리시스(hysteresis) 특성을 갖는다. 이하, 제1 트랜지스터(TR1) 및 제2 트랜지스터(TR2)의 게이트 전극은 버퍼회로의 입력단으로 명칭한다.

<32> 본 발명의 실시예에 따른 제1 내지 제4 트랜지스터는 드레인 전극 및 소스 전극을 각각 제1 전극 및 제2 전극으

로 가지며, 게이트 전극을 제어 전극으로 가진다. 그리고 제1 내지 제4 트랜지스터는 박막 트랜지스터(thin film transistor)일 수 있다.

- <33> 이하, 본 발명의 실시예에 따른 발진 회로(411)의 동작에 대해서 도 4를 참조하여 설명한다.
- <34> 도 4는 본 발명의 실시예에 따른 발진 회로(411)에서 A 점 및 B 점의 전압 파형 및 출력(Vout)파형을 나타낸 도면이다. 본 발명의 실시예에 따른 제1 전압(VDD)은 하이 레벨이고, 제2 전압(GND)은 로우 레벨이다.
- <35> 도 4에 도시된 바와 같이, 구간 T1-T2에서 출력(Vout)은 제2 전압이고, 버퍼회로 입력단의 전압은 감소한다. 그러면, 제1 트랜지스터(TR1)가 턴온되고, B점의 전압이 제1 전압이 되고, A 점의 전압은 증가한다. A 점의 전압은 커패시터에 저장된다. 시점 T2가 되면, 증가한 A 점의 전압이 제2 트랜지스터(TR2)의 문턱 전압만큼 상승하여, 제2 트랜지스터(TR2)가 턴온되며, 이 때, B 점의 전압은 로우 레벨인 제2 전압(GND)이 된다. 따라서 출력(Vout)의 전압은 제1 전압(VDD)이 된다.
- <36> 구간 T2-T3에서, 출력(Vout)은 제1 전압이고 B점의 전압이 제2 전압이며, A 점의 전압은 감소한다. A 점의 전압은 커패시터에 저장된다. 시점 T3가 되면, 감소한 A 점의 전압이 제1 트랜지스터(TR1)의 문턱 전압만큼 하강하여, 제1 트랜지스터(TR1)가 턴온되며, 이 때, B 점의 전압은 제1 전압(VDD)이 된다. 따라서 출력(Vout)의 전압은 제2 전압(GND)이 된다.
- <37> 구간 T1-T2 및 구간 T2-T3의 동작이 계속 반복되어, 주기의 간격이 동일한을 갖는 클럭 신호가 발생한다.
- <38> 이와 같이, 본 발명의 실시예에 따른 발진 회로는 박막 트랜지스터로 구성된 CMOS를 포함하는 두 개의 인버터를 포함하는 버퍼를 이용하여 히스테리시스 특성을 가진다. 유기전계발광표시장치는 내부에서 클럭 신호를 생성하므로, 외부에서 입력되는 클럭 신호를 전달하기 위한 배선이 감소한다. 그에 따라 표시부의 면적을 증가시킴으로써 개구율을 향상시킬 수 있다.
- <39> 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

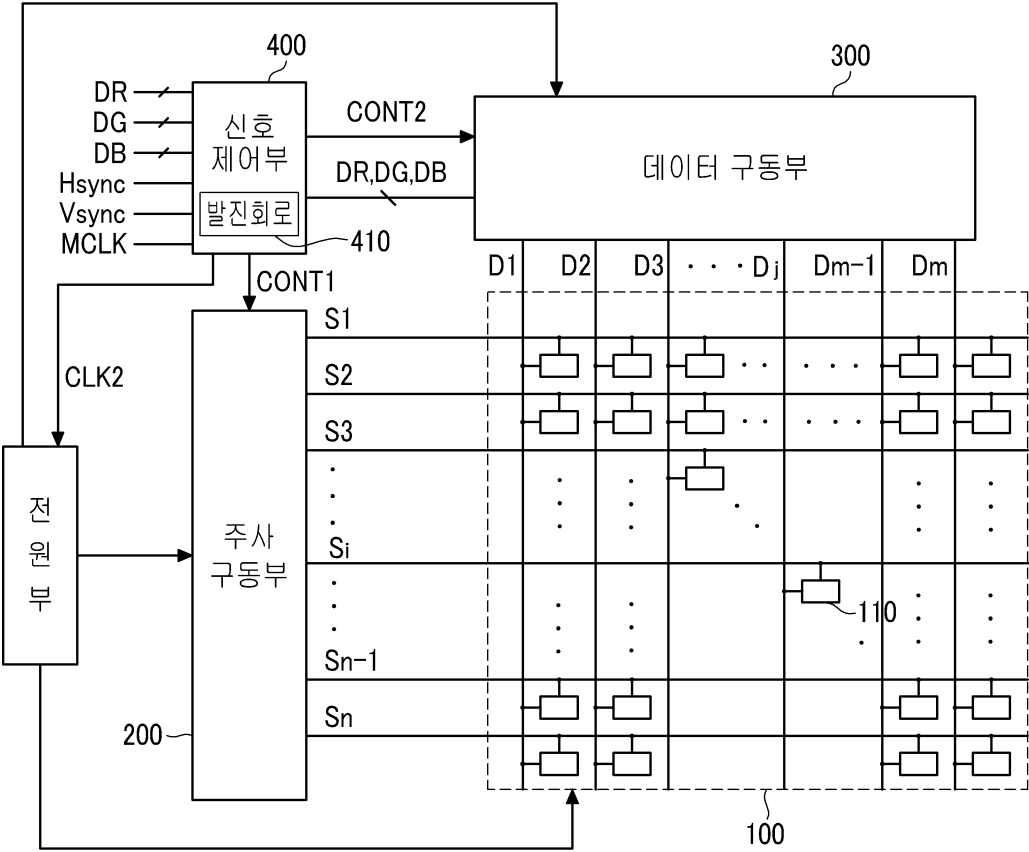
- <40> 이상에서 설명한 바와 같이 본 발명에 의하면, 내부에서 클럭 신호를 생성하여, 배선을 줄일 수 있는 발진 회로 및 이를 이용하는 유기전계발광표시장치를 제공한다.
- <41> 또한, 배선의 수가 감소함에 따라, 개구율이 향상된 유기전계발광표시장치를 공한다. 그리고 EMI가 감소되어 배선사이의 간섭 영향을 감소시킬 수 있는 유기전계발광표시장치를 제공한다.

도면의 간단한 설명

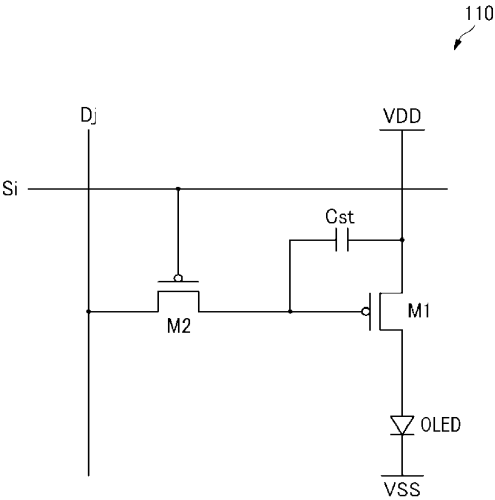
- <1> 도 1은 본 발명의 실시 예에 따른 유기전계발광표시장치를 개략적으로 나타낸 도면이다.
- <2> 도 2는 본 발명의 실시 예에 따른 화소 회로를 나타낸 도면이다.
- <3> 도 3은 본 발명의 실시 예에 따른 발진 회로를 나타낸 도면이다.
- <4> 도 4는 본 발명의 실시 예에 따른 발진 회로의 파형을 나타낸 도면이다.

도면

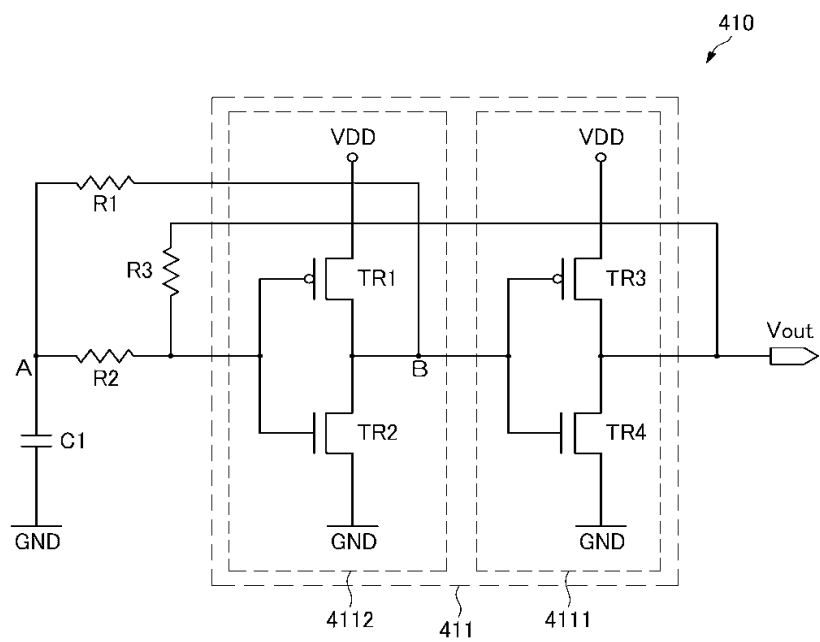
도면1



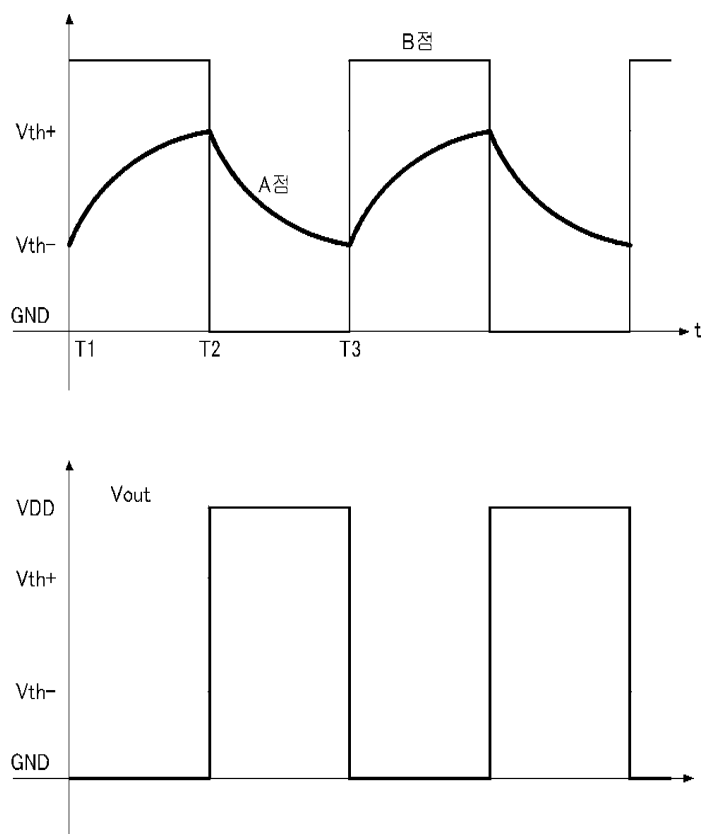
도면2



도면3



도면4



专利名称(译)	振荡电路和使用其的有机电致发光显示装置		
公开(公告)号	KR100805115B1	公开(公告)日	2008-02-21
申请号	KR1020060119784	申请日	2006-11-30
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM DO IK		
发明人	KIM, DO IK		
IPC分类号	G09G3/30 H03B5/08 G09G3/32 G09G3/20		
CPC分类号	G09G3/3225 G09G2300/0809 G09G2310/0243 G09G2310/0278 G09G2310/0291 G09G2330/06 H02M7/537		
外部链接	Espacenet		

摘要(译)

本发明涉及一种使用具有滞后特性的缓冲电路的振荡电路和使用该振荡电路的有机发光显示器。根据本发明的振荡电路包括：缓冲电路，包括第一反相器和第二反相器，并且具有第一电阻器，其一端连接到第一反相器的输出端子，一端连接到第一电阻器的另一端，第三电阻，其一端连接到第一反相器的输入端，另一端连接到第二反相器的输出端，电容器连接到第二电阻器的一端，它包括。第一反相器和第二反相器中的每一个包括CMOS晶体管，并且第二反相器的输入端子连接到第一反相器的输出端子。

