

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H05B 33/00

(45) 공고일자 2005년07월18일
(11) 등록번호 10-0501703
(24) 등록일자 2005년07월06일

(21) 출원번호 10-2003-0049075
(22) 출원일자 2003년07월18일

(65) 공개번호 10-2005-0009823
(43) 공개일자 2005년01월26일

(73) 특허권자 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 구재본
경기도용인시수지읍풍덕천리풍림아파트105동504호

박지용
경기도수원시팔달구영통동993-5,204호

박상일
서울특별시양천구신정4동983-12호한솔그린아트빌B동501호

이기용
경기도용인시기홍읍동성아파트101-1406

이을호
경기도용인시기홍읍서천리157-1

(74) 대리인 박상수

심사관 : 여운석

(54) 평판표시장치

요약

본 발명은 화소가 배열되는 화소부와 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부의 박막 트랜지스터가 서로 다른 저항값을 갖도록 함으로써, 장수명의 고속 평판표시장치를 개시한다.

본 발명의 평판표시장치는 다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 게이트영역 또는 드레인영역이 서로 다른 저항값을 갖는다.

상기 화소부와 구동회로부를 구성하는 박막 트랜지스터중 적어도 하나는 게이트영역에 오프셋영역을 구비하고, 상기 오프셋영역은 상기 소오스/드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역이다.

대표도

도 3b

명세서

도면의 간단한 설명

도 1은 통상적인 유기전계 발광표시장치의 구성을 나타낸 도면,

도 2는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 구동회로부의 박막 트랜지스터의 평면구조를 도시한 도면,

도 3a 및 도 3b는 본 발명의 제1실시예에 따른 유기전계 발광표시장치에 있어서, 화소부의 박막 트랜지스터의 평면구조 및 단면구조를 도시한 도면,

도 4a 및 도 4b는 본 발명의 제2실시예에 따른 유기전계 발광표시장치에 있어서, 화소부의 박막 트랜지스터의 평면구조 및 단면구조를 도시한 도면,

도 5는 본 발명의 제3실시예에 따른 유기전계 발광표시장치에 있어서, 화소부의 박막 트랜지스터의 평면구조를 도시한 도면,

도 6은 본 발명의 제4실시예에 따른 유기전계 발광표시장치에 있어서, 화소부의 박막 트랜지스터의 평면구조를 도시한 도면,

도면의 주요 부분에 대한 부호의 설명

220, 320, 420, 520, 620 : 반도체층

240, 340, 440, 540, 640 : 게이트

221, 321, 421, 521, 621 : 소오스 영역

225, 325, 425, 525, 625 : 드레인 영역

251, 255, 351, 355, 451, 455, 551, 555, 651, 656 : 콘택

261, 361, 461, 561, 661 : 소오스 전극

265, 365, 465, 565, 665 : 드레인 전극

224, 323, 327, 423, 427, 530, 650 : 채널영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 풀칼라 평판표시장치에 관한 것으로서, 보다 구체적으로는 화소부와 구동회로부의 박막 트랜지스터가 서로 다른 저항값을 갖는 장수명의 고속 평판표시장치에 관한 것이다.

일반적으로, 평판표시장치인 유기전계 발광표시장치는 도 1에 도시된 바와같이 절연기판(100)상에 매트릭스형태로 다수의 화소가 배열된 화소부(110)와, 상기 화소부(110)를 구동시켜 주기 위한 구동회로부를 구비한다. 상기 화소부(100)는 도면상에는 도시되지 않았으나, 다수의 게이트라인, 다수의 데이터라인 및 다수의 공통전원라인과, 상기 라인에 연결되는 복수개의 화소가 매트릭스형태로 배열된다. 각 화소는 EL소자와, 데이터라인으로부터의 데이터신호에 따른 구동전류를 상기 EL소자로 공급하기 위한 구동 트랜지스터와, 게이트라인에 인가되는 스캔신호에 응답하여 상기 구동 트랜지스터로 데이터신호를 전달하기 위한 스위칭 트랜지스터와, 상기 데이터신호를 저장하기 위한 캐패시터 등으로 이루어진다.

상기 화소부(110)의 화소를 구동하기 위한 구동회로부는 상기 화소부(100)의 게이트라인을 구동하기 위한 스캔신호를 제공하기 위한 게이트 구동회로부(130)와, 상기 화소부(100)의 데이터라인으로 데이터신호를 공급하기 위한 데이터 구동회로부(120)를 포함한다.

종래의 유기전계 발광표시장치(AMOLED)에서, 화소부의 박막 트랜지스터와 상기 구동회로부(120), (130)의 박막 트랜지스터가 모두 폴리실리콘 박막 트랜지스터로 구성되었다. 그러나, 180ppi 이상의 고해상도 AMOLED에서, 상기 화소부와 구동회로부를 폴리실리콘 박막 트랜지스터로 구성하는 경우 박막 트랜지스터의 이동도가 커서 구동회로부의 고속 동작 특성은 얻을 수 있었다. 하지만, 온전류(on-current)가 매우 높기 때문에 화소부의 EL 소자를 통해 흐르는 전류량이 한계치를 초과하게 되고, 이로 인하여 단위면적당 휘도가 증가하여 EL 소자의 수명을 단축시키는 문제점이 있었다.

한편, 필요한 정도의 온전류특성을 유지하기 위하여 이동도가 낮은 박막 트랜지스터로 화소부와 박막 트랜지스터로 구성하는 경우에는 온전류가 상대적으로 낮아져 적절한 휘도를 발생하므로 EL 소자의 수명단축문제는 해결할 수 있지만, 구동회로부의 고속 동작 특성을 만족시킬 수는 없었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 장수명의 고속 평판표시장치를 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 화소부와 구동회로부를 서로 다른 저항값을 갖는 박막 트랜지스터로 구성하여 고속동작특성과 장수명을 얻을 수 있는 평판표시장치를 제공하는 데 그 목적이 있다.

본 발명의 다른 목적은 화소부와 구동회로부의 박막 트랜지스터의 게이트영역 및 드레인영역의 도핑농도를 변경하여 고속동작특성을 얻을 수 있으며, 수명을 연장시킬 수 있는 평판표시장치를 제공하는 데 있다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 서로 다른 저항값을 갖는 평판표시장치를 제공하는 것을 특징으로 한다.

상기 화소부를 구성하는 적어도 하나의 박막 트랜지스터는 상기 구동회로부의 박막 트랜지스터보다 큰 저항값을 갖는다.

또한, 본 발명은 다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 게이트영역의 저항값이 서로 다른 평판표시장치를 제공하는 것을 특징으로 한다.

상기 화소부와 구동회로부를 구성하는 박막 트랜지스터중 하나는 게이트영역에 오프셋영역을 구비한다. 상기 오프셋영역은 상기 소오스/드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역이다.

또한, 본 발명은 다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 적어도 드레인영역의 저항값이 서로 다른 평판표시장치를 제공하는 것을 특징으로 한다.

상기 화소부와 구동회로부를 구성하는 박막 트랜지스터중 하나는 적어도 드레인영역에 오프셋영역을 구비한다. 상기 오프셋영역은 상기 드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역이다.

또한, 본 발명은 다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 게이트구동회로부와 데이터 구동회로부를 포함하며, 상기 화소부의 박막 트랜지스터는 상기 게이트구동회로부와 데이터 구동회로부를 구성하는 박막 트랜지스터중 적어도 하나와 서로 다른 저항값을 갖는 평판표시장치를 제공하는 것을 특징으로 한다.

상기 화소부의 박막 트랜지스터는 게이트영역 또는 드레인영역에 오프셋영역을 구비한다. 상기 오프셋영역은 상기 드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역이다.

이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

도 2는 본 발명의 유기전계 발광표시장치에 있어서, 회로부를 구성하는 박막 트랜지스터의 평면구조를 도시한 것이다.

도 2를 참조하면, 화소부를 구성하는 박막 트랜지스터는 폴리실리콘막 등으로 이루어진 반도체층(220)과, 게이트전극(240) 및 소오스/드레인 전극(261), (265)을 구비한다. 상기 반도체층(220)은 게이트전극(240)에 대응하는 채널영역(224)과, 상기 채널영역(224)의 양측에 형성된 소오스/드레인 영역(221), (225)을 구비한다. 상기 소오스/드레인 전극(261), (265)은 콘택(251), (255)을 통해 상기 소오스/드레인 영역(221), (225)과 전기적으로 연결된다.

도 3a 및 도 3b는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 게이트 구동회로부 또는 데이터 구동회로부를 구성하는 박막 트랜지스터의 제1예를 도시한 것이다. 도 3a는 박막 트랜지스터의 평면구조를 도시한 것이고, 도 3b는 도 3a의 3B-B' 선에 따른 박막 트랜지스터의 단면구조를 도시한 것이다.

도 3a 및 도 3b를 참조하면, 구동회로부의 박막 트랜지스터는 반도체층(320), 게이트전극(340) 및 소오스/드레인 전극(361), (365)을 구비한다. 상기 게이트전극(340)은 상기 반도체층(320)에 대응되는 멀티플 게이트(341), (345)를 구비한다.

상기 반도체층(320)은 상기 게이트전극(340)의 멀티플 게이트(341), (345)에 각각 대응되는 멀티플 채널영역(323), (327)과, 상기 채널영역(323), (327)의 일측에 형성된 고농도 소오스/드레인 영역(321), (325)을 구비하는 "ㄷ" 자형 구조를 갖는다. 또한, 상기 반도체층(320)은 상기 멀티플 게이트(341), (345)사이 즉, 멀티플 채널영역(323), (327)사이에 형성된 오프셋영역(330)을 더 구비한다. 상기 소오스/드레인 전극(361), (365)은 콘택(351), (355)을 통해 반도체층(320)에 형성된 고농도 소오스/드레인 영역(321), (325)과 전기적으로 연결된다.

상기 오프셋영역(330)은 상기 고농도 소오스/드레인 영역(321), (325)과 동일한 도전형을 갖는 불순물이 상기 소오스/드레인 영역의 도핑농도보다는 낮은 농도로 도핑된 저농도 불순물영역 또는 불순물이 도핑되지 않은 진성영역(intrinsic region)으로 이루어진 고저항영역이다.

도 4a 및 도 4b는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 화소부의 박막 트랜지스터의 제2예를 도시한 것이다. 도 4a는 박막 트랜지스터의 평면구조를 도시한 것이고, 도 4b는 도 4a의 4B-4B'선에 따른 박막 트랜지스터의 단면구조를 도시한 것이다.

도 4a 및 도 4b에 도시된 화소부의 박막 트랜지스터는 도 3a 및 도 3b의 제1예에서와 같이 멀티플 게이트사이의 오프셋 영역의 도핑상태를 변경하여 저항값을 변화시켜 주는 것이다.

즉, 화소부의 박막 트랜지스터는 "ㄷ"자형 구조를 갖는 반도체층(420)과, 게이트전극(440) 및 소오스/드레인 전극(461), (465)을 구비한다. 상기 게이트전극(440)은 상기 반도체층에 대응하는 멀티플 게이트(441), (445)를 구비한다. 상기 소오스/드레인 전극(461), (465)은 상기 반도체층(420)의 고농도 소오스/드레인 영역(421), (425)과 콘택(451), (455)을 통해 각각 전기적으로 연결된다.

상기 반도체층(420)은 상기 게이트전극(440)의 멀티플 게이트(441), (445)에 각각 대응하는 멀티플 채널영역(423), (427)과, 각 멀티플 채널영역(423), (427)의 일측에 형성된 고농도 소오스/드레인 영역(421), (425)을 구비한다. 또한, 상기 반도체층(420)은 상기 멀티플 채널영역(423), (427)사이 즉, 상기 멀티플 게이트(441), (445)사이에서 형성된 오프셋영역(430)을 구비한다.

상기 오프셋영역(430)은 고농도 소오스/드레인 영역(461), (465)과 동일한 도전형의 저농도 불순물이 도핑된 부분(435)과 이들사이의 불순물이 도핑되지 않은 부분(431)으로 이루어진 고저항 오프셋영역이다.

제1 및 제2예에 따르면, 상기 화소부의 박막 트랜지스터는 멀티플 게이트사이에 저농도 불순물이 전체 또는 부분적으로 도핑되거나 또는 불순물이 도핑되지 않은 고저항 오프셋영역(430)이 형성되어 저항값이 증가한다. 따라서, 구동 회로부를 도 2에 도시된 박막 트랜지스터로 구성하고, 화소부를 도 3a 및 도 3b 그리고 도 4a 및 도 4b에 도시된 바와같은 멀티플 게이트사이에 고저항 오프셋영역을 구비한 박막 트랜지스터로 구성하면, 구동회로부는 통상적인 유기전계 발광표시장치와 같은 고속동작특성을 유지함과 동시에 화소부는 박막 트랜지스터의 저항증가에 따라 EL 소자로 흐르는 전류를 감소시켜 수명을 연장시킬 수 있다.

즉, 제1 및 제2예에 화소부의 박막 트랜지스터에 있어서 게이트영역을 멀티게이트하부의 멀티채널영역과 멀티게이트사이의 오프셋영역이라 하고, 도 2에 도시된 구동회로부의 박막 트랜지스터에 있어서 게이트영역을 게이트하부의 채널영역이라 가정하면, 구동회로부의 박막 트랜지스터의 게이트영역은 통상적인 박막 트랜지스터에서와 같이 작은 저항값을 가지므로 고속동작특성을 유지할 수 있다. 한편, 화소부의 박막 트랜지스터의 게이트영역은 오프셋영역의 도핑상태에 따라 커다란 저항값을 가지므로, EL전류를 통한 전류의 흐름을 조절하여 적절한 휘도를 발생하므로 소자의 수명을 연장시킬 수 있다.

도 5는 본 발명의 실시예에 따른 유기전계 발광표시장치에 있어서, 화소부의 박막 트랜지스터의 제3예를 도시한 평면도이다.

도 5를 참조하면, 화소부를 구성하는 박막 트랜지스터는 폴리실리콘막 등으로 이루어진 반도체층(520)과, 게이트전극(540) 및 소오스/드레인 전극(561), (565)을 구비한다. 상기 반도체층(520)은 게이트전극(540)에 대응하는 채널영역(524)과, 상기 채널영역(524)의 양측에 형성된 소오스/드레인 영역(521), (525)을 구비한다. 상기 소오스/드레인 전극(561), (565)은 콘택(551), (555)을 통해 상기 소오스/드레인 영역(521), (525)과 전기적으로 연결된다.

상기 반도체층(520)은 채널영역(524)과 소오스/드레인 영역(521), (525)사이에서 오프셋영역(523), (527)을 더 구비한다. 상기 오프셋영역(523), (527)은 불순물이 도핑되지 않은 진성영역으로 이루어진 고저항영역이다.

제3예에 따른 화소부의 박막 트랜지스터는 소오스/드레인 영역(521), (525)이 각각 오프셋영역(523), (527)을 구비하는 것으로 예시하였으나, 드레인영역(525)에만 오프셋영역을 형성할 수도 있다.

도 6은 본 발명의 실시예에 따른 유기전계 발광표시장치의 화소부의 박막 트랜지스터의 제4예를 도시한 것이다.

도 6을 참조하면, 화소부를 구성하는 박막 트랜지스터는 폴리실리콘막 등으로 이루어진 반도체층(620)과, 게이트전극(640) 및 소오스/드레인 전극(661), (665)을 구비한다. 상기 반도체층(620)은 게이트전극(640)에 대응하는 채널영역(624)과, 상기 채널영역(624)의 양측에 형성된 소오스/드레인 영역(621), (625)을 구비한다. 상기 소오스/드레인 전극(661), (665)은 콘택(651), (655)을 통해 상기 소오스/드레인 영역(621), (625)과 전기적으로 연결된다.

상기 반도체층(620)은 채널영역(623)과 소오스/드레인 영역(621), (625)사이에서 오프셋영역(623), (627)을 더 구비한다. 상기 오프셋영역(623), (627)은 상기 고농도 소오스/드레인 영역(621), (625)과 동일한 도전형을 갖는 불순물이 상기 고농도 소오스/드레인 영역(621), (625)보다 저농도 불순물이 전체적으로 또는 부분적으로 도핑된 고저항영역이다.

제4예에 따른 화소부의 박막 트랜지스터는 소오스/드레인 영역(621), (625)이 각각 오프셋영역(623), (627)을 구비하는 것으로 예시하였으나, 드레인영역(625)에만 오프셋영역을 형성할 수도 있다.

제3 및 제4예에 따르면, 상기 화소부의 박막 트랜지스터는 적어도 드레인영역에 오프셋영역(627)이 형성되어 저항값이 증가한다. 따라서, 구동 회로부를 도 2에 도시된 박막 트랜지스터로 구성하고, 화소부를 도 5 및 도 6에 도시된 바와같은 드레인 오프셋영역을 구비한 박막 트랜지스터로 구성하면, 구동회로부는 통상적인 유기전계 발광표시장치와 같은 고속동작특성을 유지함과 동시에 화소부는 박막 트랜지스터의 저항증가에 따라 EL 소자로 흐르는 전류를 감소시켜 수명을 연장시킬 수 있다.

즉, 제3 및 제4예에 따른 화소부의 박막 트랜지스터는 드레인영역의 저항값을 드레인 오프셋영역의 도핑상태에 따라 변화시켜 주므로써, 구동회로부의 박막 트랜지스터의 드레인영역은 통상적인 박막 트랜지스터에서와 같이 작은 저항값을 가지므로 고속동작특성을 유지시켜 주고, 화소부의 박막 트랜지스터의 드레인영역은 큰 저항값을 가지므로, EL전류를 통한 전류의 흐름을 조절하여 적절한 휘도를 발생하므로 소자의 수명을 연장시킬 수 있다

본 발명의 실시예에서는, 화소부의 박막 트랜지스터는 멀티플 게이트사이에 고저항의 오프셋영역을 형성하거나 또는 드레인영역에 고저항의 오프셋영역을 형성하여 줌으로써, 오프셋영역의 도핑상태에 따라 화소부의 박막 트랜지스터의 저항값을 변화시켜 EL소자로 흐르는 전류를 조절하였는데, 화소부를 구성하는 모든 박막 트랜지스터에 모두 오프셋영역을 형성하거나 또는 해당하는 박막 트랜지스터에만 오프셋영역을 형성하여 줄 수도 있다.

본 발명의 실시예에 따른 고저항의 오프셋영역은 화소부를 구성하는 모든 박막 트랜지스터에 적용될 수도 있으며, 또한 화소부를 구성하는 박막트랜지스터중 적어도 하나, 예를 들어 EL 구동용 박막 트랜지스터에만 적용할 수도 있다.

본 발명의 실시예에서는 반도체층이 "ㄷ"자형 구조를 갖으며 게이트전극이 듀얼 게이트를 갖는 것을 예시하였으나, 반도체층 및 게이트의 구조는 화소부의 박막 트랜지스터의 저항값을 변화시켜 주는 구조는 모두 가능하다.

발명의 효과

상기한 바와같은 본 발명의 실시예에 따르면, 화소부의 박막 트랜지스터의 게이트오프셋영역 또는 드레인오프셋영역의 도핑상태를 변경하여 저항값을 변경시켜 줌으로써, 고속동작특성을 얻을 수 있을 뿐만 아니라 EL소자를 통해 흐르는 전류를 적절하게 컨트롤하여 소자의 수명을 연장시켜 줄 수 있는 이점이 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며,

상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 서로 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

청구항 2.

제1항에 있어서, 상기 화소부를 구성하는 적어도 하나의 박막 트랜지스터는 상기 구동회로부의 박막 트랜지스터보다 큰 저항값을 갖는 것을 특징으로 하는 평판표시장치.

청구항 3.

다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며,

상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 게이트영역의 저항값이 서로 다른 것을 특징으로 하는 평판표시장치.

청구항 4.

제3항에 있어서, 상기 화소부를 구성하는 박막 트랜지스터와 구동회로부를 구성하는 박막 트랜지스터중 하나의 박막 트랜지스터는 게이트영역에 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

청구항 5.

제4항에 있어서, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터중 상기 하나의 박막트랜지스터는 소오스/드레인 영역을 구비하며, 상기 오프셋영역은 상기 소오스/드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역인 것을 특징으로 하는 평판표시장치.

청구항 6.

제3항에 있어서, 상기 게이트 오프셋영역을 구비한 하나의 박막 트랜지스터는 화소부를 구성하는 박막 트랜지스터중 적어도 하나인 것을 특징으로 하는 평판표시장치.

청구항 7.

다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 구동회로부를 포함하며,

상기 화소부와 구동회로부를 구성하는 박막 트랜지스터는 적어도 드레인영역의 저항값이 서로 다른 것을 특징으로 하는 평판표시장치.

청구항 8.

제7항에 있어서, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터중 하나의 박막 트랜지스터는 적어도 드레인영역에 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

청구항 9.

제8항에 있어서, 상기 화소부와 구동회로부를 구성하는 박막 트랜지스터중 상기 하나의 박막트랜지스터의 오프셋영역은 상기 드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역인 것을 특징으로 하는 평판표시장치.

청구항 10.

제7항에 있어서, 상기 드레인 오프셋영역을 구비하는 하나의 박막 트랜지스터는 화소부를 구성하는 박막 트랜지스터중 적어도 하나인 것을 특징으로 하는 평판표시장치.

청구항 11.

다수의 화소가 배열된 화소부와; 상기 화소부의 화소를 구동시켜 주기 위한 게이트구동회로부와 데이터 구동회로부를 포함하며,

상기 화소부를 구성하는 적어도 하나의 박막 트랜지스터는 상기 게이트구동회로부와 데이터 구동회로부를 구성하는 박막 트랜지스터중 적어도 하나와 서로 다른 저항값을 갖는 것을 특징으로 하는 평판표시장치.

청구항 12.

제11항에 있어서, 상기 화소부의 상기 적어도 하나의 박막 트랜지스터는 게이트영역에 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

청구항 13.

제12항에 있어서, 상기 화소부의 상기 적어도 하나의 박막 트랜지스터는 소오스/드레인 영역을 구비하며, 상기 오프셋영역은 상기 소오스/드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역인 것을 특징으로 하는 평판표시장치.

청구항 14.

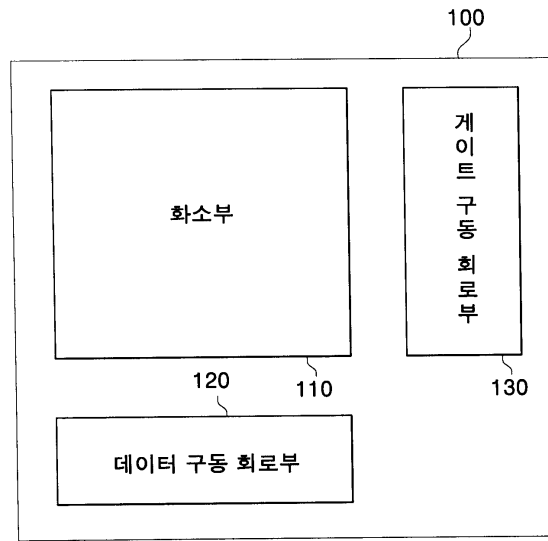
제11항에 있어서, 상기 화소부의 적어도 하나의 박막 트랜지스터는 적어도 드레인영역에 오프셋영역을 구비하는 것을 특징으로 하는 평판표시장치.

청구항 15.

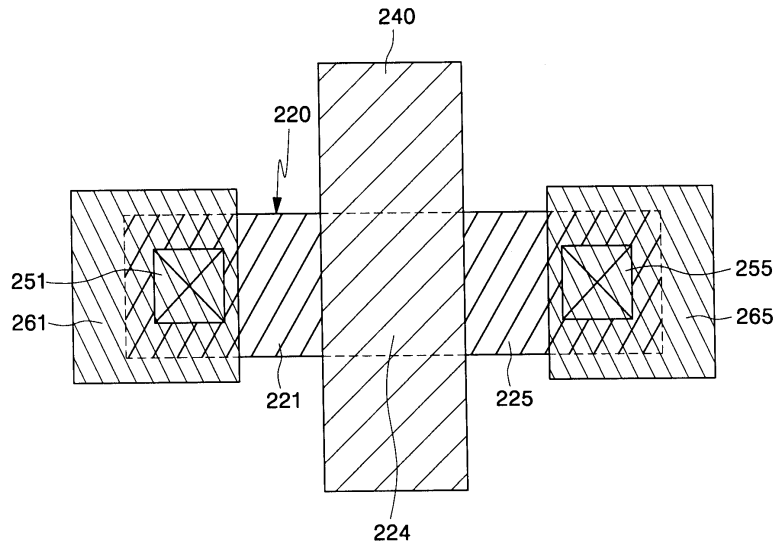
제14항에 있어서, 상기 화소부의 적어도 하나의 박막 트랜지스터의 오프셋영역은 상기 드레인 영역과 동일한 도전형을 갖는 불순물이 상대적으로 저농도로 전체 또는 부분적으로 도핑되거나 또는 도핑되지 않은 고저항영역인 것을 특징으로 하는 평판표시장치.

도면

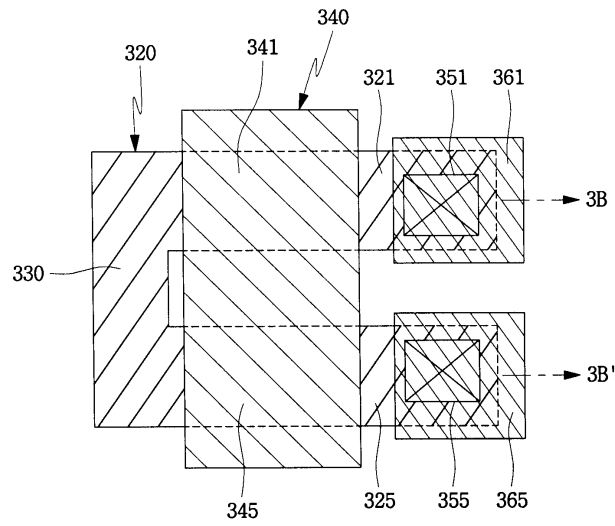
도면1



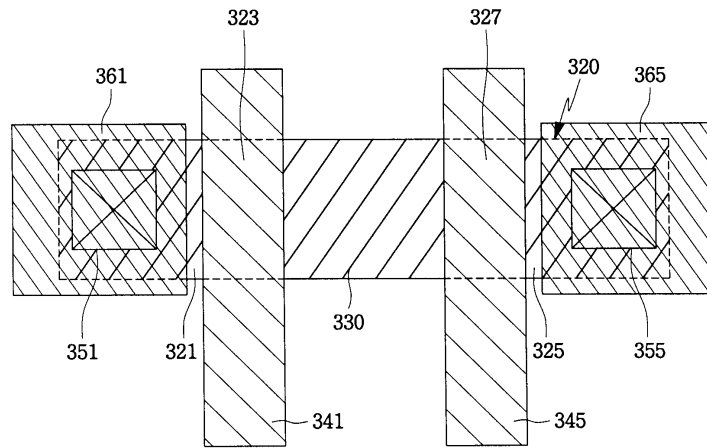
도면2



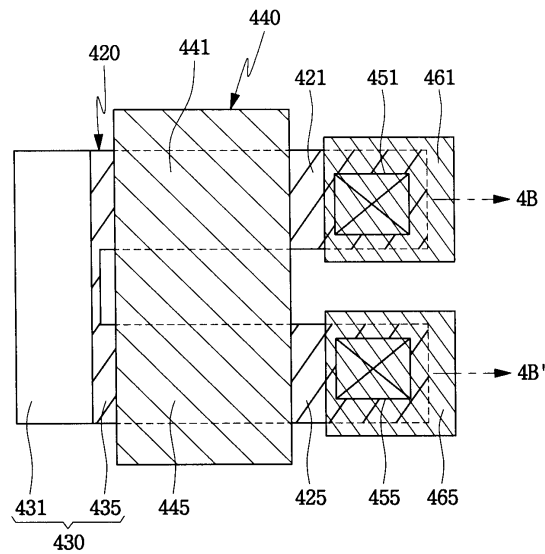
도면3a



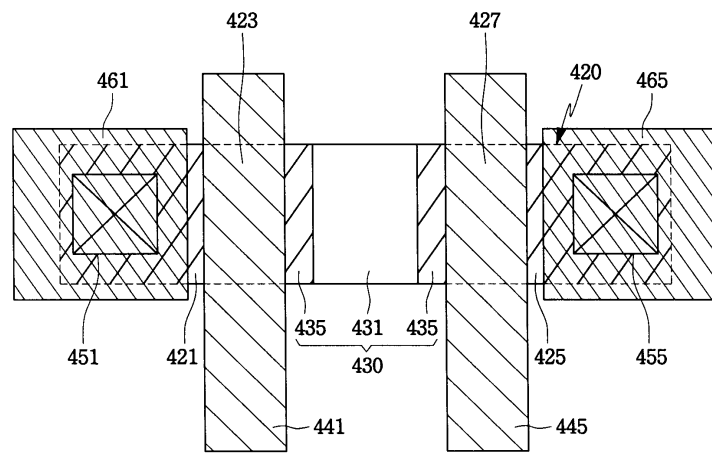
도면3b



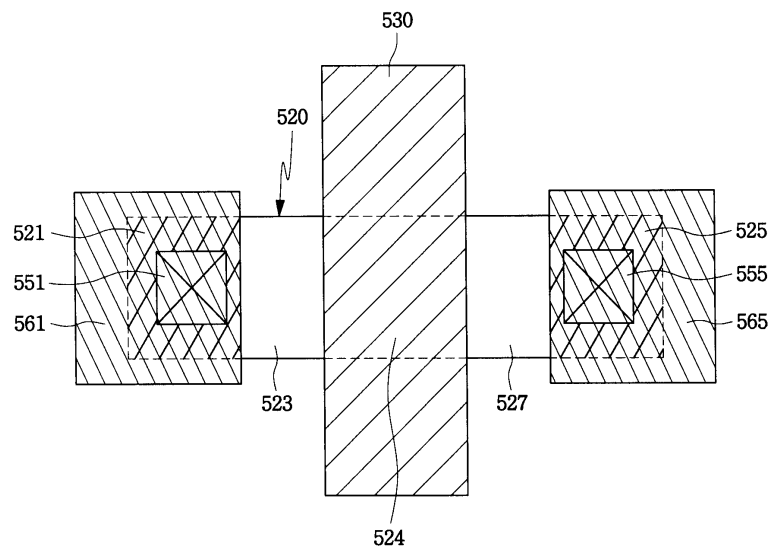
도면4a



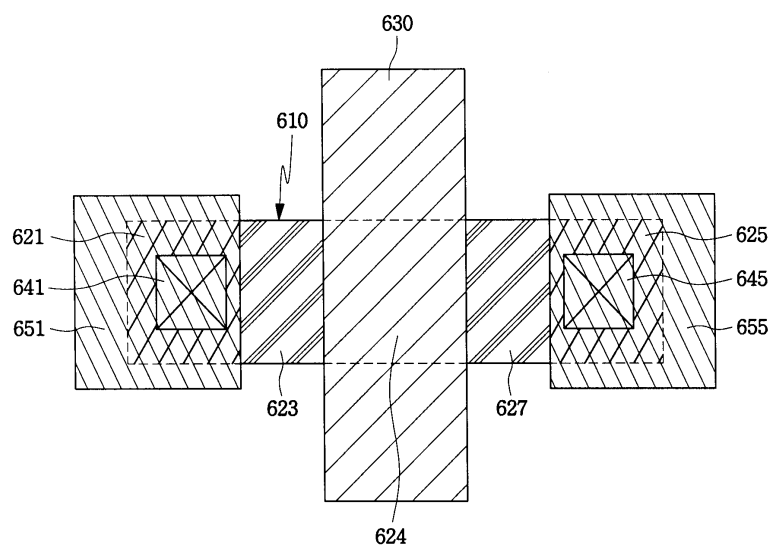
도면4b



도면5



도면6



专利名称(译)	平板显示器		
公开(公告)号	KR100501703B1	公开(公告)日	2005-07-18
申请号	KR1020030049075	申请日	2003-07-18
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KOO JAEBON 구재본 PARK JIYONG 박지용 PARK SANGIL 박상일 LEE KIYONG 이기용 LEE ULHO 이을호		
发明人	구재본 박지용 박상일 이기용 이을호		
IPC分类号	H05B33/00		
CPC分类号	H01L27/1251 H01L27/3262		
代理人(译)	PARK , 常树		
其他公开文献	KR1020050009823A		
外部链接	Espacenet		

摘要(译)

目的：提供一种平板显示装置，以通过改变像素部分中的薄膜晶体管的电阻来加速显示装置的操作，并通过控制流过电致发光元件的电流来延长装置的寿命。构成：一种平板显示装置，包括像素部分和驱动电路部分。像素部分包括布置在其中的多个像素。驱动电路部分驱动像素部分中的像素。像素部分中的薄膜晶体管具有与驱动电路部分中的晶体管 (320,340,361,365) 不同的电阻。

