



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0040242
(43) 공개일자 2011년04월20일

(51) Int. Cl.

H01L 51/56 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2009-0097433

(22) 출원일자 2009년10월13일

심사청구일자 2009년10월13일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

최웅식

경기도 용인시 기흥구 농서동 산 24번지

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 11 항

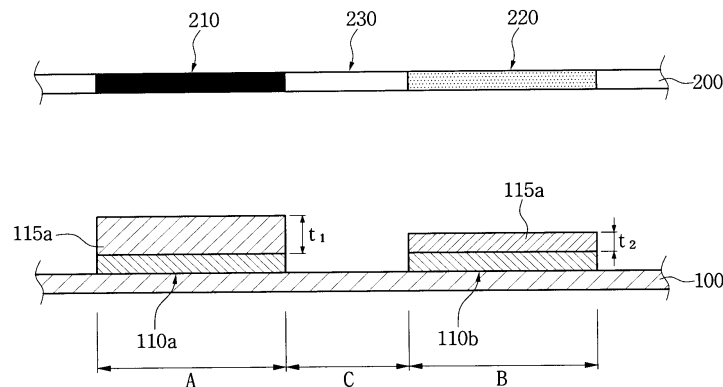
(54) 유기전계발광표시장치의 제조 방법

(57) 요약

본 발명은 유기전계발광표시장치의 제조 방법에 관한 것으로, 다결정 실리콘을 커패시터의 일측 전극으로 사용하는 경우, 마스크의 추가 없이 커패시터의 일측 전극으로 사용되는 다결정 실리콘을 도핑 함으로써, 수율 저하 없이 불량률을 감소시킬 수 있는 유기전계발광표시장치의 제조 방법에 관한 것이다.

본 발명은 박막 트랜지스터를 형성하기 위한 제 1 영역, 커패시터를 형성하기 위한 제 2 영역 및 그 외의 영역인 제 3 영역을 포함하는 기판을 제공하고, 상기 기판 상에 다결정 실리콘층을 형성하고, 하프톤 마스크를 이용하여 상기 다결정 실리콘층 상에 상기 제 1 영역에서 제 1 두께를 가지고, 상기 제 2 영역에서 상기 제 1 두께보다 얇은 제 2 두께를 가지는 포토 레지스트 패턴을 형성하고, 상기 포토 레지스트 패턴을 마스크로 상기 제 3 영역의 다결정 실리콘을 식각하여, 상기 제 1 영역 상에 반도체층 및 상기 제 2 영역 상에 커패시터 제 1 전극을 각각 형성하고, 상기 포토 레지스트 패턴을 마스크로 제 1 불순물을 도핑 하여, 상기 커패시터 제 1 전극을 도핑하고, 상기 포토 레지스트 패턴을 제거하고, 상기 반도체층 및 커패시터 제 1 전극을 포함하는 기판 상에 게이트 절연막을 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법에 관한 것이다.

대표도 - 도2b



특허청구의 범위

청구항 1

박막 트랜지스터를 형성하기 위한 제 1 영역, 커패시터를 형성하기 위한 제 2 영역 및 그 외의 영역인 제 3 영역을 포함하는 기판을 제공하고,

상기 기판 상에 다결정 실리콘층을 형성하고,

하프톤 마스크를 이용하여 상기 다결정 실리콘층 상에 상기 제 1 영역에서 제 1 두께를 가지고, 상기 제 2 영역에서 상기 제 1 두께보다 얇은 제 2 두께를 가지는 포토 레지스트 패턴을 형성하고,

상기 포토 레지스트 패턴을 마스크로 상기 제 3 영역의 다결정 실리콘을 식각하여, 상기 제 1 영역 상에 반도체층 및 상기 제 2 영역 상에 커패시터 제 1 전극을 각각 형성하고,

상기 포토 레지스트 패턴을 마스크로 제 1 불순물을 도핑 하여, 상기 커패시터 제 1 전극을 도핑하고,

상기 포토 레지스트 패턴을 제거하고,

상기 반도체층 및 커패시터 제 1 전극을 포함하는 기판 상에 게이트 절연막을 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 불순물을 도핑 하기 전, 상기 포토 레지스트 패턴을 제 2 두께만큼 식각하여, 상기 포토 레지스트 패턴이 상기 제 2 영역의 커패시터 제 1 전극을 노출시키며, 상기 제 1 영역에서 제 3 두께를 가지도록 하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 3

제 2 항에 있어서,

상기 제 1 불순물을 도핑 하는 공정 시, 상기 커패시터 제 1 전극과 동시에 상기 반도체층을 도핑 하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 영역의 게이트 절연막 상에 상기 반도체층의 일부 영역에 대응되는 게이트 전극을 형성하고,

상기 게이트 전극을 마스크로 제 2 불순물을 도핑 하여, 상기 반도체층의 소오스/드레인 영역을 형성하고,

상기 게이트 전극 상에 층간 절연막을 형성하고,

상기 게이트 절연막 및 층간 절연막을 식각하여, 상기 반도체층의 소오스/드레인 영역의 일부를 노출시키는 제 1 콘택홀을 형성하고,

상기 제 1 콘택홀을 통해 상기 소오스/드레인 영역과 접촉하는 소오스/드레인 전극을 형성하고,

상기 제 2 영역의 커패시터 제 1 전극에 대응되는 커패시터 제 2 전극을 형성하고,

상기 소오스/드레인 전극 및 커패시터 제 2 전극 상에 보호막을 형성하는 것을 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 커패시터 제 2 전극을 상기 게이트 전극 또는 상기 소오스/드레인 전극과 동시에 형성하는 것을 특징으로 하는 유기전계발광표시장치의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 커패시터 제 2 전극의 면적은 상기 커패시터 제 1 전극의 면적보다 작은 것을 특징으로 하는 유기전계발광 표시장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 층간 절연막 및 게이트 절연막을 식각하여 상기 커패시터 제 2 전극과 중첩되지 않는 상기 커패시터 제 1 전극의 일부를 노출시키는 제 2 콘택홀을 형성하고,

상기 제 2 콘택홀을 통해 상기 커패시터 제 1 전극과 제 1 전원전압 공급라인을 전기적으로 연결시키는 것을 특징으로 하는 유기전계발광 표시장치의 제조 방법.

청구항 8

제 7 항에 있어서,

제 2 콘택홀은 상기 제 1 콘택홀과 동시에 형성하는 것을 특징으로 하는 유기전계발광 표시장치의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 제 1 불순물은 N형 또는 P형 불순물인 것을 특징으로 하는 유기전계발광 표시장치의 제조 방법.

청구항 10

제 1 항에 있어서,

상기 다결정 실리콘층은 상기 기판 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 결정화하여 형성하는 것을 특징으로 하는 유기전계발광 표시장치의 제조 방법.

청구항 11

제 1 항에 있어서,

상기 하프톤 마스크는 상기 제 1 영역에 대응하여 광차단 영역이 위치하고, 상기 제 2 영역에 대응하여 반차광 영역이 위치하며, 상기 제 3 영역에 대응하여 광투과 영역이 위치하는 것을 특징으로 하는 유기전계발광 표시장치의 제조 방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 유기전계발광 표시장치의 제조 방법에 관한 것으로, 다결정 실리콘을 커패시터의 일측 전극으로 사용하는 경우, 마스크의 추가 없이 커패시터의 일측 전극으로 사용되는 다결정 실리콘을 도핑 함으로써, 수율 저하 없이 불량률을 감소시킬 수 있는 유기전계발광 표시장치의 제조 방법에 관한 것이다.

배경 기술

[0002]

평판표시장치(Flat Panel Display Device)는 경량 및 박형 등의 특성으로 인해, 음극선관 표시장치(Cathode-ray Tube Display Device)를 대체하는 표시장치로 사용되고 있다. 이러한 평판표시장치의 대표적인 예로서 액정 표시장치(Liquid Crystal Display Device; LCD)와 유기전계발광 표시장치(Organic Light Emitting Diode Display Device; OLED Display Device)가 있다. 이 중, 유기전계발광 표시장치는 액정표시장치에 비하여 휘도

특성 및 시야각 특성이 우수하고 백라이트(Back Light)를 필요로 하지 않아 초박형으로 구현할 수 있는 장점이 있다.

[0003] 이와 같은 유기전계발광표시장치는 유기박막에 음극(Cathode)과 양극(Anode)을 통해 주입된 전자(Electron)와 정공(Hole)이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생되는 현상을 이용한 표시장치이다.

[0004] 상기 유기전계발광표시장치는 구동 방법에 따라 수동 구동(Passive matrix) 방식과 능동 구동(Active matrix) 방식으로 나뉘는데, 능동 구동 방식은 박막 트랜지스터(Thin Film Transistor; TFT) 및 커패시터를 사용하는 회로를 가진다. 상기 수동 구동 방식은 그 표시 영역이 양극과 음극에 의하여 단순히 매트릭스 형태의 소자로 구성되어 있어 제조가 용이하다는 장점이 있으나, 해상도, 구동 전압의 상승, 재료 수명의 저하 등의 문제로 인하여 저해상도 및 소형 디스플레이의 응용 분야로 제한된다. 상기 능동 구동 방식은 표시 영역이 각 화소마다 박막 트랜지스터를 장착함으로써, 각 화소마다 일정한 전류를 공급함에 따라 안정적인 휘도를 나타낼 수 있다. 또한, 전력 소모가 적어 고해상도 및 대형 디스플레이를 구현할 수 있는 중요한 역할을 한다.

[0005] 상기 능동 구동 방식의 유기전계발광표시장치는 박막 트랜지스터 및 커패시터를 제조하기 위한 공정을 단순화하여 수율을 향상시키기 위하여, 기판 상에 형성된 다결정 실리콘층을 패터닝하여, 박막 트랜지스터의 반도체층 및 커패시터의 일측 전극을 형성하는 방법, 즉 일측 전극이 다결정 실리콘인 MOS형 커패시터를 형성하는 방법을 사용할 수 있다.

발명의 내용

해결 하고자하는 과제

[0006] 그러나, 상기와 같은 MOS형 커패시터는 스토리지 커패시터로서의 역할을 하기 위하여, 다결정 실리콘으로 형성된 전극에 높은 마이너스 전원을 인가하여야 하지만, 상기 커패시터에 인가되는 높은 마이너스 전원은 강한 필드(field)를 유발하여 명점 또는 암점으로 발현될 가능성이 높으므로, 불량률이 증가하는 문제점이 있다.

[0007] 또한, 상기 문제점을 해결하기 위하여, 커패시터의 일측 전극으로 사용되는 다결정 실리콘을 불순물로 도핑하여 MIM형 커패시터(Metal-Insulator-Metal type capacitor)와 동일하게 다결정 실리콘으로 형성된 일측 전극에 플러스 전원이 인가되어도 스토리지 커패시터로서의 역할을 할 수 있도록 하는 방법이 제안되어 있으나, 이 경우 상기 다결정 실리콘의 도핑을 위한 별도의 마스크가 추가되어야 하므로, 수율이 저하되는 문제점이 있다.

과제 해결수단

[0008] 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 별도의 마스크를 추가하지 않으며, 커패시터의 일측 전극으로 사용되는 다결정 실리콘을 도핑 할 수 있도록 함으로써, 수율의 저하 없이 불량률을 저하시킬 수 있는 유기전계발광표시장치의 제조 방법을 제공함에 목적이 있다.

[0009] 본 발명의 상기 목적은 박막 트랜지스터를 형성하기 위한 제 1 영역, 커패시터를 형성하기 위한 제 2 영역 및 그 외의 영역인 제 3 영역을 포함하는 기판을 제공하고, 상기 기판 상에 다결정 실리콘층을 형성하고, 하프톤 마스크를 이용하여 상기 다결정 실리콘층 상에 상기 제 1 영역에서 제 1 두께를 가지고, 상기 제 2 영역에서 상기 제 1 두께보다 얇은 제 2 두께를 가지는 포토 레지스트 패턴을 형성하고, 상기 포토 레지스트 패턴을 마스크로 상기 제 3 영역의 다결정 실리콘을 식각하여, 상기 제 1 영역 상에 반도체층 및 상기 제 2 영역 상에 커패시터 제 1 전극을 각각 형성하고, 상기 포토 레지스트 패턴을 마스크로 제 1 불순물을 도핑 하여, 상기 커패시터 제 1 전극을 도핑하고, 상기 포토 레지스트 패턴을 제거하고, 상기 반도체층 및 커패시터 제 1 전극을 포함하는 기판 상에 게이트 절연막을 형성하는 것을 포함하는 유기전계발광표시장치의 제조 방법에 의해 달성된다.

효 과

[0010] 따라서, 본 발명에 따른 유기전계발광표시장치의 제조 방법은 하프톤 마스크를 이용하여 기판 상에 다결정 실리콘층을 패터닝하기 위하여 형성되는 포토 레지스트 패턴이 박막 트랜지스터의 반도체층 상에서 커패시터의 제 1 전극보다 두꺼운 두께를 가지도록 하고, 상기 포토 레지스트 패턴을 마스크로 이용하여 상기 커패시터의 제 1 전극으로 사용되는 다결정 실리콘을 도핑 함으로써, 수율 저하 없이 불량율을 감소시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0011] 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용 효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 덧붙여, 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있고, 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성 요소들을 나타내는 것이며, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [0012] (실시 예)
- [0013] 도 1a는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 회로를 나타낸 회로도이며, 도 1b는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조를 나타낸 평면도이다.
- [0014] 도 1a 및 도 1b를 참조하면, 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소는 구동 트랜지스터(Td), 스위칭 트랜지스터(Ts), 커패시터(Cst) 및 유기전계발광소자(OLED)를 포함한다.
- [0015] 상기 구동 트랜지스터(Td)는 상기 유기전계발광소자(OLED)와 제 1 전원전압 공급라인(VDD)과 연결된 제 2 노드(N2) 사이에 전기적으로 연결되며, 제 1 노드(N1)의 전압에 따라 상기 유기전계발광소자(OLED)에 구동 전류를 인가한다.
- [0016] 상기 제 1 스위칭 트랜지스터(Ts)는 상기 데이터 라인(Dm)과 제 1 노드(N1) 사이에 전기적으로 연결되며, 상기 스캔 신호에 따라 상기 데이터 신호를 상기 제 1 노드(N1)에 전달한다.
- [0017] 상기 커패시터(Cst)는 상기 제 1 노드(N1)와 제 2 노드(N2) 사이에 전기적으로 연결되어, 상기 제 1 노드(N1)의 전압과 제 1 전원전압의 차이만큼의 전압을 저장한다.
- [0018] 도 2a 내지 도 2f는 상기 도 1b의 I-I'선으로 자른 단면도들로, 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조 방법을 순차적으로 설명하기 위한 단면도들이다.
- [0019] 도 2a를 참조하면, 박막 트랜지스터를 형성하기 위한 제 1 영역(A), 커패시터를 형성하기 위한 제 2 영역(B) 및 그 이외의 영역인 제 3 영역(C)을 포함하며, 유리나 합성 수지, 스테인레스 스틸 등의 재질로 형성되는 기판(100) 상에 다결정 실리콘층(110) 및 상기 다결정 실리콘(110)의 패터닝(patterning)하기 위한 포토 레지스트층(115)을 형성한다.
- [0020] 여기서, 상기 다결정 실리콘층(110)은 상기 기판(100) 상에 비정질 실리콘층(미도시)을 적층하고, 상기 비정질 실리콘층을 고상 결정화법(Solid Phase Crystallization : SPC), 급속열처리방법(Rapid Thermal Annealing : RTA), 금속 유도 결정화(Metal Induced Crystallization : MIC), 금속 유도 측면 결정화(Metal Induced Lateral Crystallization : MILC), 엑시머 레이저 어닐링(Excimer Laser Annealing : ELA) 결정화법 및 순차측면고상(Sequential Lateral Solidification : SLS) 결정화법 중 선택된 어느 하나를 이용하여 다결정 실리콘으로 결정화하여 형성할 수 있으며, 상기 비정질 실리콘층의 결정화 공정 시 상기 기판(100) 상의 불순물이 확산되는 것을 방지하기 위하여, 상기 기판(100) 상에 SiNx, SiO₂ 또는 이들의 적층으로 버퍼층(미도시)을 형성한 후, 상기 비정질 실리콘층을 적층하고, 상기 비정질 실리콘층을 결정화할 수도 있다.
- [0021] 이어서, 도 2b에 도시된 바와 같이, 하프톤 마스크(200)를 이용하여 상기 제 1 영역(A)의 다결정 실리콘층(110) 상에서 제 1 두께(t1)를 가지고, 상기 제 2 영역(B)의 다결정 실리콘층(110) 상에서 상기 제 1 두께(t1)보다 얇은 제 2 두께(t2)를 가지는 포토 레지스트 패턴(115a)을 형성하고, 상기 포토 레지스트 패턴(115a)을 마스크로 상기 다결정 실리콘층(110)을 패터닝하여, 상기 기판(100)의 제 1 영역(A) 상에 반도체층(110a)을 형성하고, 상기 기판(100)의 제 2 영역(B) 상에 커패시터 제 1 전극(110b)을 형성한다.
- [0022] 여기서, 본 발명의 실시 예와 관련된 도 2b는 상기 하프톤 마스크(200)는 상기 제 1 영역(A)에 대응하여 광을 차단하기 위한 광차단 영역(210)이 위치하고, 상기 제 2 영역(B)에 대응하여 투과되는 광의 일부 차단하기 위한 반차광 영역(220)이 위치하며, 상기 제 3 영역(C)에 대응하여 모든 광이 투과하는 광투과 영역(230)이 위치하는 것으로 도시하고 있으나, 상기 포토 레지스트층(115)의 특성에 따라 상기 하프톤 마스크(200)는 상기 제 1 영역(A)에 대응하여 광투과 영역(230)이 위치하고, 상기 제 2 영역(B)에 대응하여 반차광 영역(220)이 위치하며, 상기 제 3 영역(C)에 대응하여 광차단 영역(230)이 위치할 수도 있다.
- [0023] 다음으로, 도 2c에 도시된 바와 같이, 상기 포토 레지스트 패턴(115a)을 제 2 두께(t2)만큼 식각하여, 상기 포토 레지스트 패턴(115b)이 상기 제 2 영역(B)의 커패시터 제 1 전극(110c)을 노출시키며, 상기 제 1 영역(A)에

서 제 3 두께(t3)를 가지도록 하고, 제 2 두께(t2)만큼 식각된 상기 포토 레지스트 패턴(115b)을 마스크로 이용하여 제 1 불순물을 도핑 하여 상기 제 2 영역(B) 상에 위치하는 커패시터 제 1 전극(110c)를 도핑 한다.

[0024] 여기서, 상기 제 1 불순물은 N형 또는 P형 불순물일 수 있으나, 상기 제 1 영역(A) 상에 위치하는 반도체층(110a)을 플랫 밴드가 이동할 정도로 채널 도핑 하는 경우, 상기 제 1 불순물의 도핑 강도를 강하게 하여 상기 커패시터 제 1 전극(110c)과 동시에 도핑 하는 바람직하므로, 상기 제 1 불순물은 P형 불순물인 것이 바람직하다.

[0025] 또한, 본 발명의 실시 예에서는 상기 포토 레지스트 패턴(115a)을 제 2 두께(t2)만큼 식각하여, 상기 포토 레지스트 패턴(115b)이 상기 제 2 영역(B)의 커패시터 제 1 전극(110c)을 노출시킨 후 제 1 불순물을 도핑하고 있으나, 상기 반도체층(110a)의 채널 도핑을 수행하지 않는 경우에는 상기 포토 레지스트 패턴(115a)을 제 2 두께(t2)만큼 식각하지 않고 상기 제 1 불순물을 도핑 할 수도 있다.

[0026] 계속해서, 도 2d에 도시된 바와 같이, 상기 식각된 포토 레지스트 패턴(115b)을 완전히 제거하고, 상기 반도체층(110a) 및 도핑 된 커패시터 제 1 전극(110c)을 포함하는 기판(100) 상에 게이트 절연막(120)을 형성한다.

[0027] 이어서, 도 2e에 도시된 바와 같이, 상기 제 1 영역(A)의 게이트 절연막(120) 상에 상기 반도체층(110a)의 일부 영역에 대응되는 게이트 전극(132)을 형성하고, 상기 제 2 영역(B)의 게이트 절연막(120) 상에 커패시터 제 2 전극(134)을 형성하고, 상기 게이트 전극(132) 및 커패시터 제 2 전극(134)을 마스크로 제 2 불순물을 도핑 하여, 상기 제 1 불순물이 도핑 된 상기 반도체층(110a)의 소오스/드레인 영역(112) 및 상기 게이트 전극(132)에 의해 상기 제 1 불순물이 도핑 되지 않은 상기 반도체층(110a)의 채널 영역(113)을 형성한다.

[0028] 여기서, 본 발명의 실시 예와 같이 후속 공정을 통해 제 1 전원전압 공급라인(154)이 상기 커패시터 제 2 전극(134) 상에 위치하는 경우, 상기 커패시터 제 2 전극(134)은 상기 커패시터 제 1 전극(110c)보다 작은 면적을 가지도록 하여, 상기 커패시터 제 2 전극(134)에 대응되지 않는 상기 커패시터 제 1 전극(110c)과 제 1 전원전압 공급라인(154)과 용이하게 연결될 수 있도록 하는 것이 바람직하다.

[0029] 다음으로, 도 2f에 도시된 바와 같이, 상기 게이트 전극(132) 및 커패시터 제 2 전극(134)을 포함하는 상기 기판(100) 상에 층간 절연막(140)을 형성한다. 여기서, 앞서 설명한 바와 달리, 상기 제 2 불순물을 도핑 하는 공정을 상기 게이트 전극(132) 및 커패시터 제 2 전극(134)을 상기 층간 절연막(140) 형성한 이후 수행할 수도 있다.

[0030] 계속해서, 상기 게이트 절연막(120) 및 층간 절연막(140)을 식각하여, 상기 반도체층(110a)의 소오스/드레인 영역(113) 중 일부를 노출시키는 제 1 컨택홀(142) 및 커패시터 제 1 전극(110c)의 일부를 노출시키는 제 2 컨택홀(144)을 형성하고, 상기 제 2 컨택홀(142)을 통해 상기 반도체층의 소오스/드레인 영역(113)과 연결되는 소오스/드레인 전극(152) 및 상기 제 2 컨택홀(144)을 통해 상기 커패시터 제 1 전극(110c)과 전기적으로 연결되는 제 1 전원전압 공급라인(154)을 각각 형성한다.

[0031] 여기서, 상기 제 1 전원전압 공급라인(154) 및 소오스/드레인 전극(152)은 서로 상이한 물질로 형성하거나, 상이한 공정을 통해 형성할 수 있으나, 공정을 단순화하여 수율을 향상시키기 위해서는 동일 물질로 동시에 형성하는 것이 바람직하다.

[0032] 이어서, 도시되지는 않았지만, 통상적인 유기전계발광표시장치의 제조 방법에 의해 상기 소오스/드레인 전극(152)과 전기적으로 연결되는 하부 전극(미도시), 상부 전극(미도시) 및 상기 하부 전극과 상부 전극 사이에 위치하는 하나 또는 다수의 유기발광층(미도시)을 포함하는 유기전계발광소자(미도시)를 형성하여 유기전계발광표시장치를 완성하며, 상기 유기전계발광소자와 소오스/드레인 전극(152) 및 제 1 전원전압 공급라인(154) 사이에는 보호막(미도시)을 형성할 수 있고, 상기 유기전계발광소자와 보호막 사이에는 아크릴 등의 유기절연막 또는 실리콘 산화물 등의 무기 절연막인 평탄화막을 더 형성할 수도 있다.

[0033] 결과적으로, 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조 방법은 기판 상에 다결정 실리콘층을 패터닝하기 위하여 형성되는 포토 레지스트 패턴이 박막 트랜지스터의 반도체층 상에서 커패시터의 제 1 전극보다 두꺼운 두께를 가지도록 하고, 상기 포토 레지스트 패턴을 마스크로 이용하여 상기 커패시터의 제 1 전극으로 사용되는 다결정 실리콘을 도핑 함으로써, 별도의 마스크 없이 상기 커패시터 제 1 전극을 제 1 불순물로 도핑할 수 있다.

도면의 간단한 설명

[0034] 도 1a는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조를 나타낸 회로도이다.

[0035] 도 1b는 본 발명의 실시 예에 따른 유기전계발광표시장치의 화소 구조를 나타낸 평면도이다.

[0036] 도 2a 내지 도 2f는 본 발명의 실시 예에 따른 유기전계발광표시장치의 제조 방법을 순차적으로 설명하기 위한 단면도들이다.

[0037] <도면 주요 부호에 대한 부호의 설명>

[0038] 100 : 기관 110a : 반도체층

[0039] 110b, 110c : 커패시터 제 1 전극

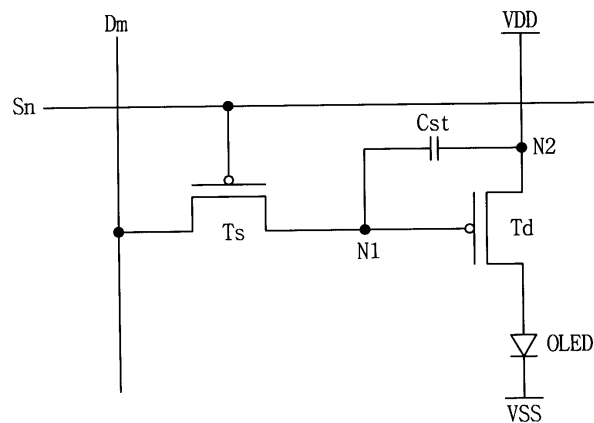
[0040] 120 : 게이트 절연막 132 : 게이트 전극

[0041] 134 : 커패시터 제 2 전극 140 : 층간 절연막

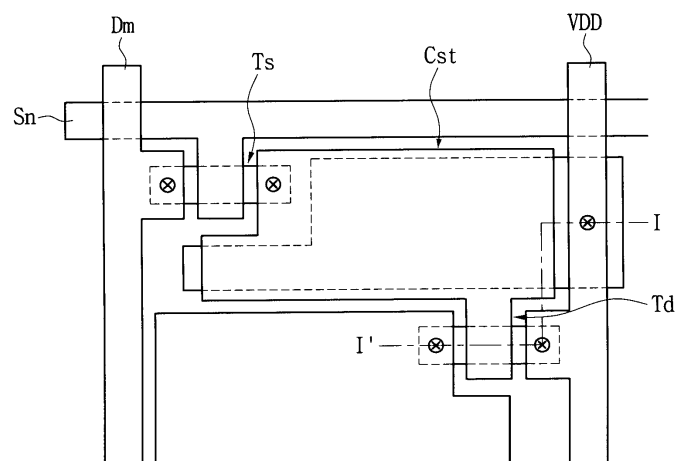
[0042] 152 : 소오스/드레인 전극 154 : 제 1 전원전압 공급라인

도면

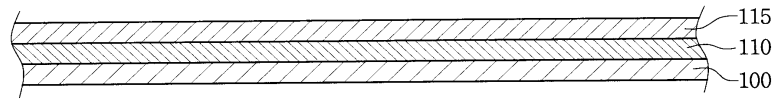
도면1a



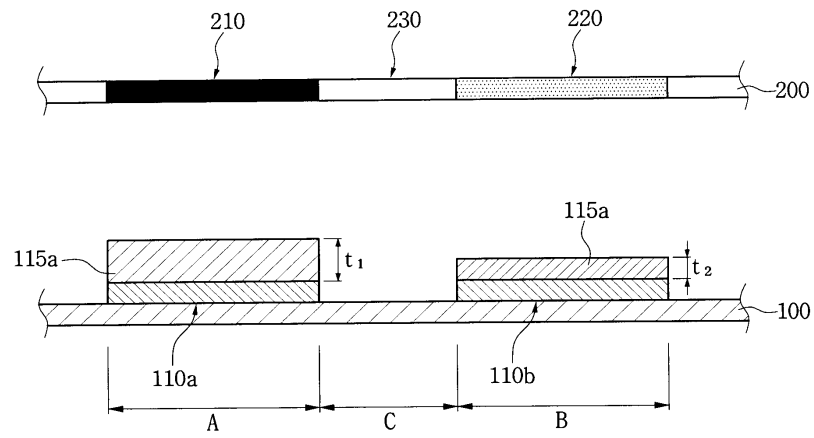
도면1b



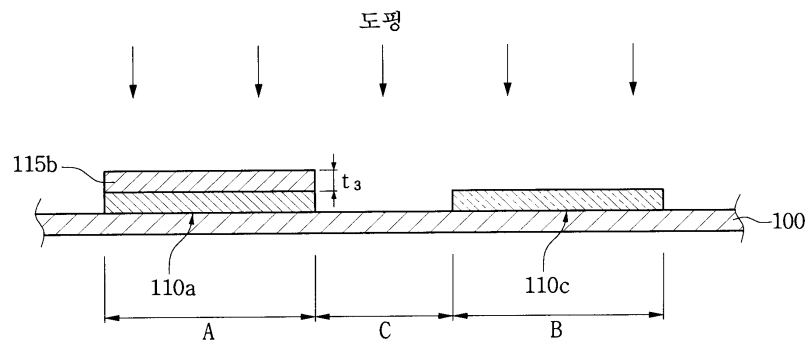
도면2a



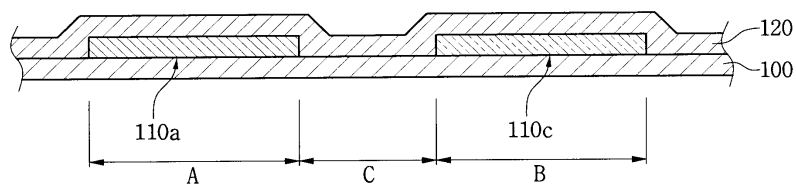
도면2b



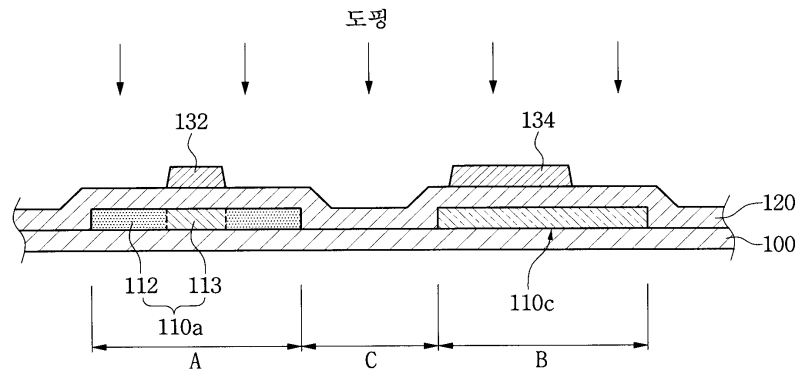
도면2c



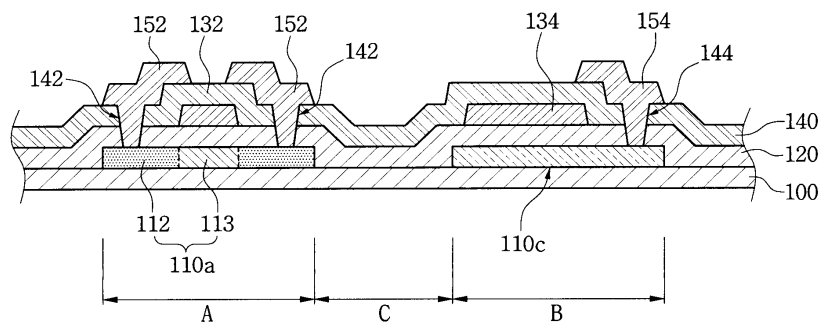
도면2d



도면2e



도면2f



专利名称(译)	制造有机电致发光显示装置的方法		
公开(公告)号	KR1020110040242A	公开(公告)日	2011-04-20
申请号	KR1020090097433	申请日	2009-10-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	CHOI WOONG SIK		
发明人	CHOI, WOONG SIK		
IPC分类号	H01L51/56 H05B33/10		
CPC分类号	H01L27/1255 H01L27/124 H01L27/1288 H01L27/3244 H01L27/3276		
外部链接	Espacenet		

摘要(译)

本发明降低了错误率，而不涉及一种制造有机发光显示装置，在使用多晶硅作为电容器的一个电极的情况下的方法，通过掺杂用作电容器的一个电极的多晶硅不添加的掩模，成品率下降的更具体地，涉及制造有机电致发光显示装置的方法。 本发明提供一种包括所述第二区域和在西班牙第三区域以外的区域用于形成第一区域，所述电容器用于形成薄膜晶体管的基板，在基板上形成多晶硅层，半色调掩模形成在多晶硅层上的第一区域中具有第一厚度的光刻胶图案和在第二区域中比第一厚度薄的第二厚度，蚀刻第三区域的多晶硅以在第一区域上形成半导体层和在第二区域上形成电容器第一电极，用光致抗蚀剂图案作为掩模掺杂第一杂质，一种制造半导体器件的方法，包括：掺杂电容器的第一电极;去除光刻胶图案;以及制造有机电致发光显示装置的方法，包括在栅极绝缘膜上形成栅极绝缘膜。

