

특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하는 트랜지스터 어레이;

상기 트랜지스터 어레이 상에 위치하며 상기 트랜지스터 어레이의 소오스 또는 드레인을 노출하는 다수의 콘택홀을 갖는 절연막;

상기 절연막 상에 위치하며 상기 다수의 콘택홀을 통해 상기 트랜지스터 어레이의 소오스 또는 드레인에 각각 연결된 다수의 제1전극;

상기 절연막 상에 위치하는 상기 다수의 제1전극 사이에 위치하는 다수의 더미전극;

상기 절연막 상에서 상기 다수의 제1전극을 노출하는 제1개구부와 상기 다수의 더미전극을 노출하는 제2개구부를 갖는 बैं크층;

상기 다수의 제1전극 상에 위치하는 발광층; 및

상기 발광층 상에 형성되며 상기 다수의 더미전극에 접촉하는 제2전극을 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 다수의 더미전극은,

상기 절연막 상에서 일 방향으로 나란한 줄무늬 형태로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 다수의 더미전극은,

상기 절연막 상에서 그물 형태로 위치하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 기관은 표시영역과 비표시영역을 포함하고,

상기 제2개구부는 상기 표시영역 상에서 상기 다수의 더미전극을 노출하며, 상기 제2전극은 상기 제2개구부를 통해 상기 다수의 더미전극과 접촉하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1항에 있어서,

상기 기관은 표시영역과 비표시영역을 포함하고,

상기 제2개구부는 상기 표시영역과 인접한 상기 비표시영역 상에서 상기 다수의 더미전극을 노출하며, 상기 제2전극은 상기 제2개구부를 통해 상기 다수의 더미전극과 접촉하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 다수의 더미전극은,

상기 제1전극의 재료와 동일한 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제1항에 있어서,
상기 제2전극은,
복층으로 형성되는 것을 포함하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,
상기 제2전극은,
상기 발광층 상에 위치하는 제1층과, 상기 제1층 상에 위치하는 제2층을 포함하며,
상기 제1층과 상기 제2층의 두께는 같거나 다른 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 유기전계발광표시장치에 관한 것이다.

배경 기술

- <2> 유기전계발광표시장치에 사용되는 유기전계발광소자는 기관 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.
- <3> 또한, 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.
- <4> 종래 유기전계발광표시장치는 트랜지스터 어레이와 트랜지스터 어레이의 소오스 또는 드레인에 연결된 제1전극과 제1전극 상에 형성된 유기 발광층과 유기 발광층 상에 형성된 제2전극을 포함할 수 있다.
- <5> 이러한 구조를 갖는 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원전압 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.
- <6> 한편, 종래 유기전계발광표시장치는 공통전압이 공급되는 전극재료의 저항 특성으로 인해 패널의 위치에 따라 저항차가 발생하는 문제가 있었는데, 이러한 저항차는 각 서브 픽셀에 공급되는 공통전압을 드랍(drop)시켜 표시품질이 저하되는 문제를 야기시켰다. 이와 같은 문제는 패널의 대면적 구현에 많은 어려움을 주므로 이를 해결할 수 있는 방법 마련이 시급하다.

발명의 내용

해결 하고자하는 과제

- <7> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 전극에 공급되는 전압의 드랍을 방지하고 패널에 휘도차가 발생하는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

- <8> 상술한 과제 해결 수단으로 본 발명은, 기관; 기관 상에 위치하는 트랜지스터 어레이; 트랜지스터 어레이 상에 위치하며 트랜지스터 어레이의 소오스 또는 드레인을 노출하는 다수의 콘택홀을 갖는 절연막; 절연막 상에 위치하며 다수의 콘택홀을 통해 트랜지스터 어레이의 소오스 또는 드레인에 각각 연결된 다수의 제1전극; 절연막 상에 위치하는 다수의 제1전극 사이에 위치하는 다수의 더미전극; 절연막 상에서 다수의 제1전극을 노출하는 제1개구부와 다수의 더미전극을 노출하는 제2개구부를 갖는 बैं크층; 다수의 제1전극 상에 위치하는 발광층; 및 발광층 상에 형성되며 다수의 더미전극에 접촉하는 제2전극을 포함하는 유기전계발광표시장치를 제공한다.

- <9> 다수의 더미전극은, 절연막 상에서 일 방향으로 나란한 줄무늬 형태로 위치할 수 있다.
- <10> 다수의 더미전극은, 절연막 상에서 그물 형태로 위치할 수 있다.
- <11> 기관 상에 정의된 표시영역과 비표시영역을 포함하고, 제2개구부는 표시영역 상에서 다수의 더미전극을 노출하며, 제2전극은 제2개구부를 통해 다수의 더미전극과 접촉할 수 있다.
- <12> 기관 상에 정의된 표시영역과 비표시영역을 포함하고, 제2개구부는 표시영역과 인접한 비표시영역 상에서 다수의 더미전극을 노출하며, 제2전극은 제2개구부를 통해 다수의 더미전극과 접촉할 수 있다.
- <13> 다수의 더미전극은, 제1전극의 재료와 동일할 수 있다.
- <14> 제2전극은, 복층으로 형성될 수 있다.
- <15> 제2전극은, 발광층 상에 위치하는 제1층과, 제1층 상에 위치하는 제2층을 포함하며, 제1층과 제2층의 두께는 같거나 다를 수 있다.

효 과

- <16> 본 발명은, 전극과 접촉하는 더미전극을 이용하여 전극에 공급되는 전압의 드랍을 방지하고 패널에 휘도차가 발생하는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 대면적 패널 구현에 적합한 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <17> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <18> <제1실시예>
- <19> 도 1a는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 평면도이고, 도 1b는 도 1a의 X-X영역의 단면 예시도이며, 도 1c는 도 1a의 X-X영역의 다른 단면 예시도이다.
- <20> 도 1a를 참조하면, 유기전계발광표시장치는 기관(110) 상에 위치하는 다수의 서브 픽셀(P)을 포함할 수 있다. 기관(110) 상에 위치하는 다수의 서브 픽셀(P)은 구동부(150)에 의해 구동되어 영상을 표현할 수 있다.
- <21> 다수의 서브 픽셀(P)은 기관(110) 상에 정의된 표시영역(AA) 내에 위치할 수 있다. 표시영역(AA)은 영상이 표시되는 영역이고, 비표시영역(NA)은 영상이 표시되지 않는 영역이다.
- <22> 도 1b를 참조하여 기관(110) 상에 위치하는 다수의 서브 픽셀(P)에 대해 더욱 자세히 설명한다.
- <23> 기관(110) 상에는 트랜지스터 어레이(120)가 위치할 수 있다. 트랜지스터 어레이(120)는 반도체층, 층간 절연막, 게이트, 게이트 절연막, 소오스 및 드레인을 포함할 수 있다. 트랜지스터 어레이(120)를 더욱 자세히 설명하면 다음과 같다.
- <24> 반도체층은 기관(110) 상에 위치할 수 있다. 반도체층은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 또한, 반도체층은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- <25> 반도체층 상에는 층간 절연막이 위치할 수 있다. 층간 절연막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <26> 반도체층과 대응하는 층간 절연막 상에는 게이트가 위치할 수 있다. 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.
- <27> 한편, 게이트와 동일한 층상에는 스캔신호가 공급되는 스캔배선과 데이터전압이 저장되는 커패시터의 하부 전극이 위치할 수 있으나 이에 한정되지 않는다. 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루

어질 수 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.

<28> 게이트 절연막은 게이트를 포함하는 기판(110) 상에 위치할 수 있다. 게이트 절연막은 반도체층의 일부를 노출할 수 있는 비어홀을 가질 수 있다. 게이트 절연막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 한편, 게이트와 동일한 층에 스캔배선, 커패시터의 하부 전극이 위치하는 경우, 게이트 절연막은 게이트와 스캔배선, 커패시터의 하부 전극을 포함하는 기판(110) 상에 위치할 수 있다.

<29> 소오스 및 드레인(121)은 게이트 절연막 상에 위치할 수 있다. 소오스 및 드레인은 게이트 절연막에 형성된 비어홀을 통해 반도체층의 소오스 영역과 드레인 영역에 각각 접촉된다. 도 1b에 도시된 전극 "121"은 소오스 또는 드레인을 나타낸다.

<30> 소오스 또는 드레인(121)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스 또는 드레인(121)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 소오스 또는 드레인(121)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있으나 이에 한정되지 않는다. 한편, 소오스 또는 드레인(121)과 동일한 층상에는 데이터신호가 공급되는 데이터배선과 커패시터의 상부 전극 및 전원배선이 위치할 수 있으나 이에 한정되지 않는다.

<31> 앞서 설명한 트랜지스터 어레이(120)의 소오스 또는 드레인(121) 상에는 절연막(130)이 위치할 수 있다. 절연막(130)은 트랜지스터 어레이(120)의 소오스 또는 드레인(121)을 노출하는 다수의 콘택홀(135)을 가질 수 있다. 절연막(130)은 하부 구조의 단차를 완화하기 위한 평탄화막 또는 보호막일 수 있다. 절연막(130)이 평탄화막인 경우, 이는 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물로 형성될 수 있으나 이에 한정되지 않는다. 반면, 절연막(130)이 보호막인 경우, 이는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

<32> 절연막(130) 상에는 다수의 콘택홀(135)을 통해 트랜지스터 어레이(120)의 소오스 또는 드레인(121)에 각각 연결된 다수의 제1전극(140)이 위치할 수 있다. 제1전극(140)은 애노드 또는 캐소드일 수 있으며 투명한 전극 또는 반사 전극일 수도 있다. 제1전극(140)의 재료는 발광 방향에 따라 선택될 수 있다. 일례로, 발광 방향이 배면 또는 양면발광인 경우, 제1전극(140)은 투명한 전극일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있으나 이에 한정되지 않는다.

<33> 절연막(130) 상에 위치하는 다수의 제1전극(140) 사이에는 다수의 더미전극(150)이 위치할 수 있다. 다수의 더미전극(150)은 절연막(130) 상에서 일 방향으로 나란한 줄무늬 형태로 위치할 수 있다. 이러한 다수의 더미전극(150)은 이후 형성될 제2전극의 재료에 따라 재료를 선택하여 형성할 수 있다. 일례로, 제2전극의 재료가 ITO인 경우, 더미전극(150)의 재료는 알루미늄이 선택되어 제2전극으로 공급되는 공통전압(예: VDD전압 또는 GND전압)에 드랍이 발생하는 문제를 물리적으로 방지할 수 있게 된다. 여기서, 제1전극(140)이 알루미늄으로 형성된다면 다수의 더미전극(150) 또한 알루미늄으로 형성할 수 있기 때문에 공정의 편의(마스크 사용 개수 저감 효과)를 제공할 수 있는 효과도 가져올 수 있다. 즉, 더미전극(150)은 제1전극(140)과 동시에 형성될 수도 있다.

<34> 그러므로, 다수의 더미전극(150)은 이후 형성될 제2전극의 재료에 따라 일함수가 높거나 일함수가 낮은 재료로 형성할 수 있다. 덧붙여, 다수의 더미전극(150)은 이후 형성될 제2전극의 재료보다 상대적으로 낮은 비저항을 가질 수 있다. 이로 인해 제2전극에 공급되는 공통전압은 다수의 더미전극(150)에 의해 보상 효과를 나타낼 수 있다.

<35> 절연막(130) 상에는 뱅크층(160)이 위치할 수 있다. 뱅크층(160)은 다수의 제1전극(140)을 노출하는 제1개구부(161)와 다수의 더미전극(150)을 노출하는 제2개구부(162)를 가질 수 있다. 여기서, 제1개구부(161)와 제2개구부(162)는 표시영역(AA) 상에 위치할 수 있다. 단, 제2개구부(162)는 편의상 하나만 도시하였으나 표시영역(AA) 내에 형성할 수 있다면 두 개 이상 필요에 따라 선택적으로 더 형성할 수 있다.

- <36> 뱅크층(160)에 형성된 제1개구부(161)를 통해 노출된 다수의 제1전극(140) 상에는 발광층(170, 171, 172)이 위치할 수 있다. 발광층(170, 171, 172)은 다수의 제1전극(140) 상에 위치하는 하부 공통층(170)과 하부 공통층(170) 상에 위치하는 유기 발광층(171)과 유기 발광층(171) 상에 위치하는 상부 공통층(172)을 포함할 수 있다.
- <37> 발광층(170, 171, 172)을 포함하는 뱅크층(160) 상에는 제2개구부(162)를 통해 다수의 더미전극(150)에 접촉하는 제2전극(180)이 위치할 수 있다. 여기서, 제2개구부(162)가 표시영역(AA) 내에 위치하므로 다수의 더미전극(150)과 제2전극(180)은 표시영역(AA) 내에서 접촉하게 된다. 제2전극(180)은 캐소드 또는 애노드일 수 있다. 일례로, 제2전극(180)이 캐소드인 경우, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다.
- <38> 한편, 도 1a를 참조하면 비표시영역(NA)에 뱅크층(160)이 위치하는 것을 볼 수 있다. 그러나 이는 뱅크층(160) 뿐만 아니라 트랜지스터 어레이(120)를 형성하는 공정부터 발광층(170, 171, 172)을 형성하는 공정 동안 각 층에 형성되는 절연물질 예를 들면, 층간 절연막, 게이트 절연막 등을 하나 이상 포함할 수 있다. 다만, 본 발명의 제1실시예에서는 비표시영역(NA)에 뱅크층(160)이 위치하는 것을 일례로 나타낸 것일 뿐이다.
- <39> 여기서, 도 1c를 참조하면, 제2전극(180)은 도 1b와 달리 복층으로 형성될 수 있다. 일례로, 제2전극(180)이 2층 구조로 형성되었다고 가정하면, 제1층(181)은 발광층(170, 171, 172) 상에 위치할 수 있고, 제2층(182)은 제1층(181) 상에 위치할 수 있다. 이와 같은 구조에서 제1층(181)과 제2층(182)의 두께는 같거나 다르게 형성될 수 있다.
- <40> <제2실시예>
- <41> 도 2a는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 개략적인 평면도이고, 도 2b는 도 2a의 Y-Y영역의 단면 예시도이다.
- <42> 도 2a를 참조하면, 유기전계발광표시장치는 기관(210) 상에 위치하는 다수의 서브 픽셀(P)을 포함할 수 있다. 기관(210) 상에 위치하는 다수의 서브 픽셀(P)은 구동부(250)에 의해 구동되어 영상을 표현할 수 있다.
- <43> 다수의 서브 픽셀(P)은 기관(210) 상에 정의된 표시영역(AA) 내에 위치할 수 있다. 표시영역(AA)은 영상이 표시되는 영역이고, 비표시영역(NA)은 영상이 표시되지 않는 영역이다.
- <44> 도 2b를 참조하여 기관(210) 상에 위치하는 다수의 서브 픽셀(P)에 대해 더욱 자세히 설명한다.
- <45> 기관(210) 상에는 트랜지스터 어레이(220)가 위치할 수 있다. 트랜지스터 어레이(220)는 반도체층, 층간 절연막, 게이트, 게이트 절연막, 소오스 및 드레인을 포함할 수 있다. 트랜지스터 어레이(220)를 더욱 자세히 설명하면 다음과 같다.
- <46> 반도체층은 기관(210) 상에 위치할 수 있다. 반도체층은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 또한, 반도체층은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- <47> 반도체층 상에는 층간 절연막이 위치할 수 있다. 층간 절연막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <48> 반도체층과 대응하는 층간 절연막 상에는 게이트가 위치할 수 있다. 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.
- <49> 한편, 게이트와 동일한 층상에는 스캔신호가 공급되는 스캔배선과 데이터전압이 저장되는 커패시터의 하부 전극이 위치할 수 있으나 이에 한정되지 않는다. 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.

- <50> 게이트 절연막은 게이트를 포함하는 기판(210) 상에 위치할 수 있다. 게이트 절연막은 반도체층의 일부를 노출할 수 있는 비어홀을 가질 수 있다. 게이트 절연막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 한편, 게이트와 동일한 층에 스캔배선, 커패시터의 하부 전극이 위치하는 경우, 게이트 절연막은 게이트와 스캔배선, 커패시터의 하부 전극을 포함하는 기판(210) 상에 위치할 수 있다.
- <51> 소오스 및 드레인층은 게이트 절연막 상에 위치할 수 있다. 소오스 및 드레인층은 게이트 절연막에 형성된 비어홀을 통해 반도체층의 소오스 영역과 드레인 영역에 각각 접촉된다. 도 2b에 도시된 전극 "221"은 소오스 또는 드레인층을 나타낸다.
- <52> 소오스 또는 드레인(221)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스 및 드레인(221)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 소오스 또는 드레인(221)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있으나 이에 한정되지 않는다. 한편, 소오스 또는 드레인(221)과 동일한 층상에는 데이터신호가 공급되는 데이터배선과 커패시터의 상부 전극 및 전원배선이 위치할 수 있으나 이에 한정되지 않는다.
- <53> 앞서 설명한 트랜지스터 어레이(220)의 소오스 또는 드레인(221) 상에는 절연막(230)이 위치할 수 있다. 절연막(230)은 트랜지스터 어레이(220)의 소오스 또는 드레인(221)을 노출하는 다수의 콘택홀(235)을 가질 수 있다. 절연막(230)은 하부 구조의 단차를 완화하기 위한 평탄화막 또는 보호막일 수 있다. 절연막(230)이 평탄화막인 경우, 이는 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물로 형성될 수 있으나 이에 한정되지 않는다. 반면, 절연막(230)이 보호막인 경우, 이는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <54> 절연막(230) 상에는 다수의 콘택홀(235)을 통해 트랜지스터 어레이(220)의 소오스 또는 드레인(221)에 각각 연결된 다수의 제1전극(240)이 위치할 수 있다. 제1전극(240)은 애노드 또는 캐소드일 수 있으며 투명한 전극 또는 반사 전극일 수도 있다. 제1전극(240)의 재료는 발광 방향에 따라 선택될 수 있다. 일례로, 발광 방향이 배면 또는 양면발광인 경우, 제1전극(240)은 투명한 전극일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있으나 이에 한정되지 않는다.
- <55> 절연막(230) 상에 위치하는 다수의 제1전극(240) 사이에는 다수의 더미전극(250)이 위치할 수 있다. 다수의 더미전극(250)은 절연막(230) 상에서 그물 형태로 위치할 수 있다. 이러한 다수의 더미전극(250)은 이후 형성될 제2전극의 재료에 따라 재료를 선택하여 형성할 수 있다. 일례로, 제2전극의 재료가 ITO인 경우, 더미전극(250)의 재료는 알루미늄이 선택되어 제2전극으로 공급되는 공통전압(예: VDD전압 또는 GND전압)에 드랍이 발생하는 문제를 물리적으로 방지할 수 있게 된다. 여기서, 제1전극(240)이 알루미늄으로 형성된다면 다수의 더미전극(250) 또한 알루미늄으로 형성할 수 있기 때문에 공정의 편의(마스크 사용 개수 저감 효과)를 제공할 수 있는 효과도 가져올 수 있다. 즉, 더미전극(250)은 제1전극(240)과 동시에 형성될 수도 있다.
- <56> 그러므로, 다수의 더미전극(250)은 이후 형성될 제2전극의 재료에 따라 일함수가 높거나 일함수가 낮은 재료로 형성할 수 있다. 덧붙여, 다수의 더미전극(250)은 이후 형성될 제2전극의 재료보다 상대적으로 낮은 비저항을 가질 수 있다. 이로 인해 제2전극에 공급되는 공통전압은 다수의 더미전극(250)에 의해 보상 효과를 나타낼 수 있다.
- <57> 절연막(230) 상에는 뱅크층(260)이 위치할 수 있다. 뱅크층(260)은 다수의 제1전극(240)을 노출하는 제1개구부(261)와 다수의 더미전극(250)을 노출하는 제2개구부(262)를 가질 수 있다. 여기서, 제1개구부(261)와 제2개구부(262)는 표시영역(AA) 내에 위치할 수 있다. 단, 제2개구부(262)는 편의상 하나만 도시하였으나 표시영역(AA) 내에 형성할 수 있다면 두 개 이상 필요에 따라 선택적으로 더 형성할 수 있다.
- <58> 뱅크층(260)에 형성된 제1개구부(261)를 통해 노출된 다수의 제1전극(240) 상에는 발광층(270, 271, 272)이 위치할 수 있다. 발광층(270, 271, 272)은 다수의 제1전극(240) 상에 위치하는 하부 공통층(270)과 하부 공통층(270) 상에 위치하는 유기 발광층(271)과 유기 발광층(271) 상에 위치하는 상부 공통층(272)을 포함할 수 있다.
- <59> 발광층(270, 271, 272)을 포함하는 뱅크층(260) 상에는 제2개구부(262)를 통해 다수의 더미전극(250)에 접촉하는 제2전극(280)이 위치할 수 있다. 여기서, 제2개구부(262)가 표시영역(AA)에 위치하므로 다수의 더미전극

(250)과 제2전극(280)은 표시영역(AA) 내에서 접촉하게 된다. 제2전극(280)은 캐소드 또는 애노드일 수 있다. 일례로, 제2전극(280)이 캐소드인 경우, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 여기서, 제2전극(280)은 제1실시예와 같이 복층으로 형성될 수도 있다.

<60> 한편, 도 2a를 참조하면 비표시영역(NA)에 뱅크층(260)이 위치하는 것을 볼 수 있다. 그러나 이는 뱅크층(260) 뿐만 아니라 트랜지스터 어레이(220)를 형성하는 공정부터 발광층(270, 271, 272)을 형성하는 공정 동안 각 층에 형성되는 절연물질 예를 들면, 층간 절연막, 게이트 절연막 등을 하나 이상 포함할 수 있다. 다만, 본 발명의 제2실시예에서는 비표시영역(NA)에 뱅크층(260)이 위치하는 것을 일례로 나타낸 것일 뿐이다.

<61> <제3실시예>

<62> 도 3a는 본 발명의 제3실시예에 따른 유기전계발광표시장치의 개략적인 평면도이고, 도 3b는 도 3a의 Z-Z영역의 단면 예시도이다.

<63> 도 3a를 참조하면, 유기전계발광표시장치는 기관(310) 상에 위치하는 다수의 서브 픽셀(P)을 포함할 수 있다. 기관(310) 상에 위치하는 다수의 서브 픽셀(P)은 구동부(350)에 의해 구동되어 영상을 표현할 수 있다.

<64> 다수의 서브 픽셀(P)은 기관(310) 상에 정의된 표시영역(AA) 내에 위치할 수 있다. 표시영역(AA)은 영상이 표시되는 영역이고, 비표시영역(NA)은 영상이 표시되지 않는 영역이다.

<65> 도 3b를 참조하여 기관(310) 상에 위치하는 다수의 서브 픽셀(P)에 대해 더욱 자세히 설명한다.

<66> 기관(310) 상에는 트랜지스터 어레이(320)가 위치할 수 있다. 트랜지스터 어레이(320)는 반도체층, 층간 절연막, 게이트, 게이트 절연막, 소오스 및 드레인을 포함할 수 있다. 트랜지스터 어레이(320)를 더욱 자세히 설명하면 다음과 같다.

<67> 반도체층은 기관(310) 상에 위치할 수 있다. 반도체층은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 또한, 반도체층은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.

<68> 반도체층 상에는 층간 절연막이 위치할 수 있다. 층간 절연막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.

<69> 반도체층과 대응하는 층간 절연막 상에는 게이트가 위치할 수 있다. 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 게이트는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.

<70> 한편, 게이트와 동일한 층상에는 스캔신호가 공급되는 스캔배선과 데이터전압이 저장되는 커패시터의 하부 전극이 위치할 수 있으나 이에 한정되지 않는다. 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수도 있으나 이에 한정되지 않는다. 또한, 스캔배선은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수도 있으나 이에 한정되지 않는다.

<71> 게이트 절연막은 게이트를 포함하는 기관(310) 상에 위치할 수 있다. 게이트 절연막은 반도체층의 일부를 노출할 수 있는 비어홀을 가질 수 있다. 게이트 절연막은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다. 한편, 게이트와 동일한 층에 스캔배선, 커패시터의 하부 전극이 위치하는 경우, 게이트 절연막은 게이트와 스캔배선, 커패시터의 하부 전극을 포함하는 기관(310) 상에 위치할 수 있다.

<72> 소오스 및 드레인은 게이트 절연막 상에 위치할 수 있다. 소오스 및 드레인은 게이트 절연막에 형성된 비어홀을 통해 반도체층의 소오스 영역과 드레인 영역에 각각 접촉된다. 도 3b에 도시된 전극 "321"은 소오스 또는 드레인을 나타낸다.

- <73> 소오스 또는 드레인(321)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스 또는 드레인(321)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 또한, 소오스 또는 드레인(321)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있으나 이에 한정되지 않는다. 한편, 소오스 또는 드레인(321)과 동일한 층상에는 데이터신호가 공급되는 데이터배선과 커패시터의 상부 전극 및 전원배선이 위치할 수 있으나 이에 한정되지 않는다.
- <74> 앞서 설명한 트랜지스터 어레이(320)의 소오스 또는 드레인(321) 상에는 절연막(330)이 위치할 수 있다. 절연막(330)은 트랜지스터 어레이(320)의 소오스 또는 드레인(321)을 노출하는 다수의 콘택홀(335)을 가질 수 있다. 절연막(330)은 하부 구조의 단차를 완화하기 위한 평탄화막 또는 보호막일 수 있다. 절연막(330)이 평탄화막인 경우, 이는 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 또는 실리콘 산화물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 무기물로 형성될 수 있으나 이에 한정되지 않는다. 반면, 절연막(330)이 보호막인 경우, 이는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <75> 절연막(330) 상에는 다수의 콘택홀(335)을 통해 트랜지스터 어레이(320)의 소오스 또는 드레인(321)에 각각 연결된 다수의 제1전극(340)이 위치할 수 있다. 제1전극(340)은 애노드 또는 캐소드일 수 있으며 투명한 전극 또는 반사 전극일 수도 있다. 제1전극(340)의 재료는 발광 방향에 따라 선택될 수 있다. 일례로, 발광 방향이 배면 또는 양면발광인 경우, 제1전극(340)은 투명한 전극일 수 있으며, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있으나 이에 한정되지 않는다.
- <76> 절연막(330) 상에 위치하는 다수의 제1전극(340) 사이에는 다수의 더미전극(350)이 위치할 수 있다. 다수의 더미전극(350)은 절연막(330) 상에서 일 방향으로 나란한 줄무늬 형태 또는 그물 형태로 위치할 수 있다. 이러한 다수의 더미전극(350)은 이후 형성될 제2전극의 재료에 따라 재료를 선택하여 형성할 수 있다. 일례로, 제2전극의 재료가 ITO인 경우, 더미전극(350)의 재료는 알루미늄이 선택되어 제2전극으로 공급되는 공통전압(예: VDD전압 또는 GND전압)에 드랍이 발생하는 문제를 물리적으로 방지할 수 있게 된다. 여기서, 제1전극(340)이 알루미늄으로 형성된다면 다수의 더미전극(350) 또한 알루미늄으로 형성할 수 있기 때문에 공정의 편의(마스크 사용 개수 저감 효과)를 제공할 수 있는 효과도 가져올 수 있다. 즉, 더미전극(350)은 제1전극(340)과 동시에 형성될 수도 있다.
- <77> 그러므로, 다수의 더미전극(350)은 이후 형성될 제2전극의 재료에 따라 일함수가 높거나 일함수가 낮은 재료로 형성할 수 있다. 덧붙여, 다수의 더미전극(350)은 이후 형성될 제2전극의 재료보다 상대적으로 낮은 비저항을 가질 수 있다. 이로 인해 제2전극에 공급되는 공통전압은 다수의 더미전극(350)에 의해 보상 효과를 나타낼 수 있다.
- <78> 절연막(330) 상에는 뱅크층(360)이 위치할 수 있다. 뱅크층(360)은 다수의 제1전극(340)을 노출하는 제1개구부(361)와 다수의 더미전극(350)을 노출하는 제2개구부(362)를 가질 수 있다. 여기서, 제1개구부(361)는 표시영역(AA) 상에 위치할 수 있고, 제2개구부(362)는 표시영역(AA)과 인접한 비표시영역(NA) 상에 위치할 수 있다.
- <79> 뱅크층(360)에 형성된 제1개구부(361)를 통해 노출된 다수의 제1전극(340) 상에는 발광층(370, 371, 372)이 위치할 수 있다. 발광층(370, 371, 372)은 다수의 제1전극(340) 상에 위치하는 하부 공통층(370)과 하부 공통층(370) 상에 위치하는 유기 발광층(371)과 유기 발광층(371) 상에 위치하는 상부 공통층(372)을 포함할 수 있다.
- <80> 발광층(370, 371, 372)을 포함하는 뱅크층(360) 상에는 제2개구부(362)를 통해 다수의 더미전극(350)에 접촉하는 제2전극(380)이 위치할 수 있다. 여기서, 제2개구부(362)가 비표시영역(NA) 상에 위치하므로 다수의 더미전극(350)과 제2전극(380)은 비표시영역(NA) 상에서 접촉하게 된다. 제2전극(380)은 캐소드 또는 애노드일 수 있다. 일례로, 제2전극(380)이 캐소드인 경우, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있으나 이에 한정되지 않는다. 여기서, 제2전극(380)은 제1실시예와 같이 복층으로 형성될 수도 있다.
- <81> 한편, 도 3a를 참조하면 비표시영역(NA)에 뱅크층(360)이 위치하는 것을 볼 수 있다. 그러나 이는 뱅크층(360) 뿐만 아니라 트랜지스터 어레이(320)를 형성하는 공정부터 발광층(370, 371, 372)을 형성하는 공정 동안 각 층에 형성되는 절연물질 예를 들면, 층간 절연막, 게이트 절연막 등을 하나 이상 포함할 수 있다. 다만, 본 발명의 제3실시예에서는 비표시영역(NA)에 뱅크층(360)이 위치하는 것을 일례로 나타낸 것일 뿐이다.

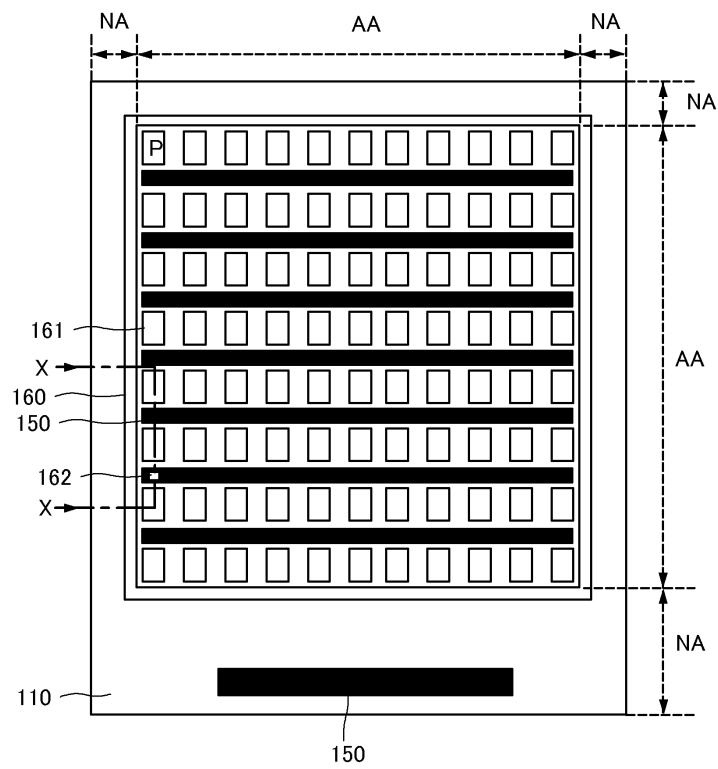
- <82> 이상 본 발명의 각 실시예는 전극과 접촉하는 더미전극을 이용하여 전극에 공급되는 공통전압의 드랍을 방지하고 패널에 휘도차가 발생하는 문제를 해결하여 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 표시품질이 균일한 대면적 유기전계발광표시장치를 제공하는 효과가 있다.
- <83> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

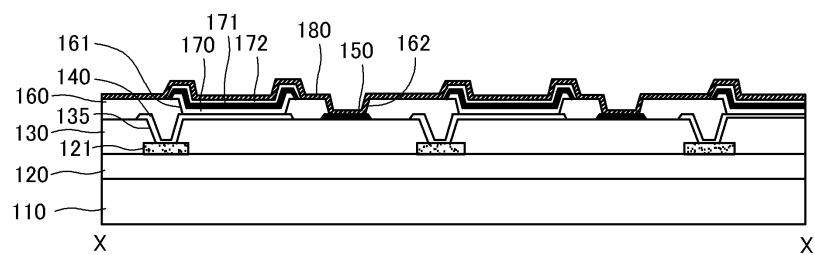
- <84> 도 1a는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 평면도.
- <85> 도 1b는 도 1a의 X-X영역의 단면 예시도.
- <86> 도 1c는 도 1a의 X-X영역의 다른 단면 예시도.
- <87> 도 2a는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 개략적인 평면도.
- <88> 도 2b는 도 2a의 Y-Y영역의 단면 예시도.
- <89> 도 3a는 본 발명의 제3실시예에 따른 유기전계발광표시장치의 개략적인 평면도.
- <90> 도 3b는 도 3a의 Z-Z영역의 단면 예시도.
- <91> <도면의 주요 부분에 관한 부호의 설명>
- <92> 110: 기판 120: 트랜지스터 어레이
- <93> 130: 절연막 140: 제1전극
- <94> 150: 더미전극 160: 뱅크층
- <95> 161: 제1개구부 162: 제2개구부

도면

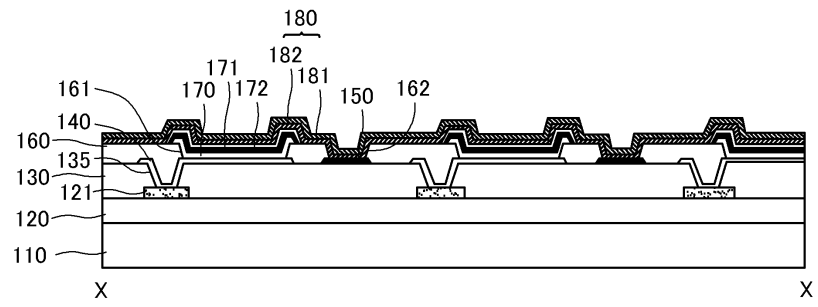
도면1a



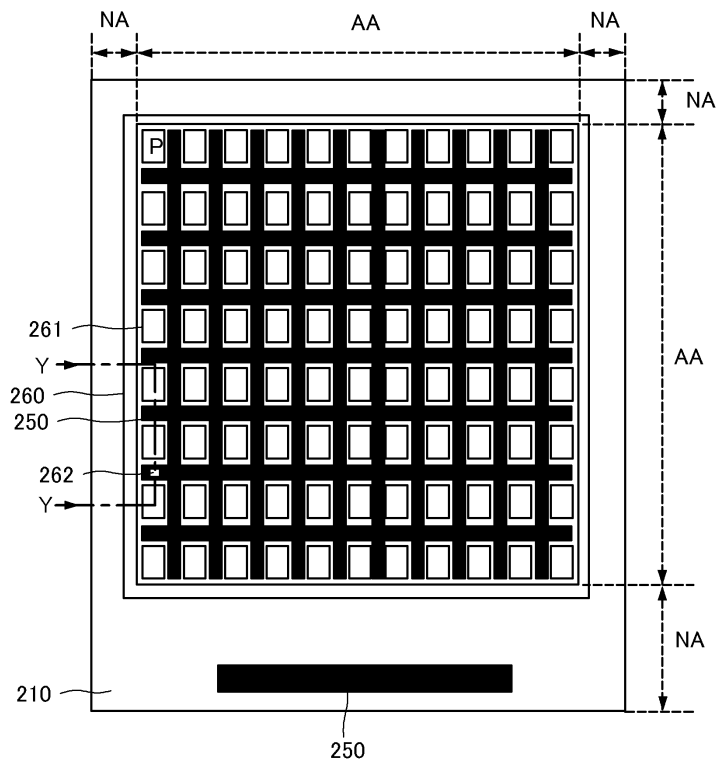
도면1b



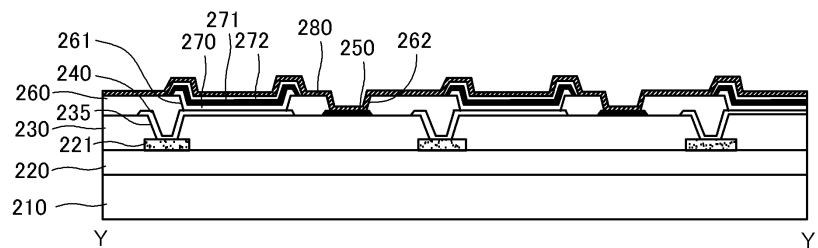
도면1c



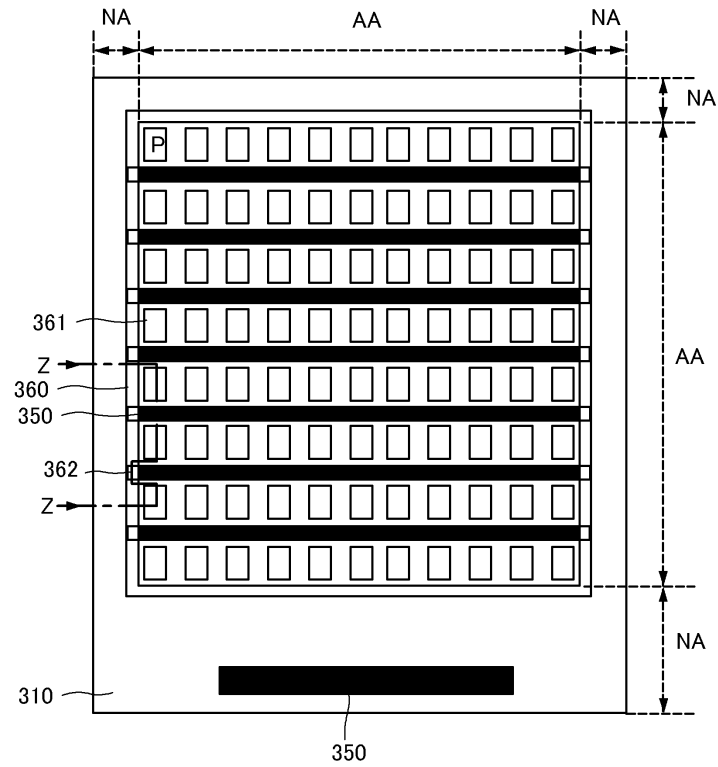
도면2a



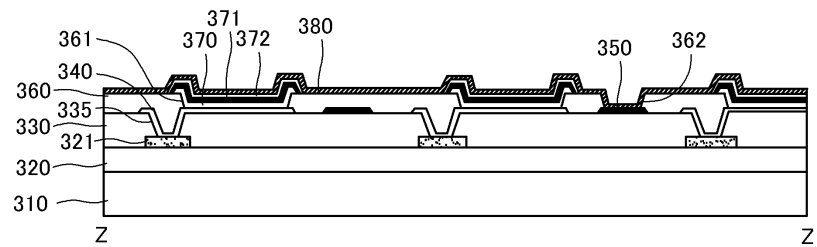
도면2b



도면3a



도면3b



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020090092484A	公开(公告)日	2009-09-01
申请号	KR1020080017748	申请日	2008-02-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HEE DONG		
发明人	CHOI HEE DONG		
IPC分类号	H05B33/26 H05B33/22 H01L51/50		
CPC分类号	H01L51/0096 H01L21/02063 H01L21/32055 H01L27/3246 H01L51/504		
外部链接	Espacenet		

摘要(译)

本发明提供一种有机电致发光显示装置，包括位于多个接触孔表面上的发光层，所述多个接触孔暴露晶体管阵列的源极或漏极，所述晶体管阵列位于基板上的晶体管阵列的表面上：基板：晶体管阵列具有绝缘层的堤层：多个虚设电极：在绝缘层上暴露多个第一电极的第一开口和暴露多个虚设电极的第二开口通过第一电极之间的多个接触孔位于晶体管阵列的源极或漏极中。位于第一电极上的多个：相应连接的多个绝缘层位于其具有的绝缘层的表面上：多个第一电极和第二电极，其在形成于发光层上的同时接触多个虚设电极。有机电致发光显示装置，电极和亮度。

