

	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2009-0066658 (43) 공개일자 2009년06월24일
(51) Int. Cl. <i>H05B 33/26</i> (2006.01) <i>H05B 33/10</i> (2006.01) (21) 출원번호 10-2007-0134304 (22) 출원일자 2007년12월20일 심사청구일자 없음	(71) 출원인 엘지디스플레이 주식회사 서울 영등포구 여의도동 20번지 (72) 발명자 이희동 울산 중구 학산동 7-24번지 명노훈 충남 천안시 불당동 동일2차아파트 205동 101호 이세희 서울 강북구 수유4동 288-11번지 유림주택 201호 (74) 대리인 특허법인로얄	

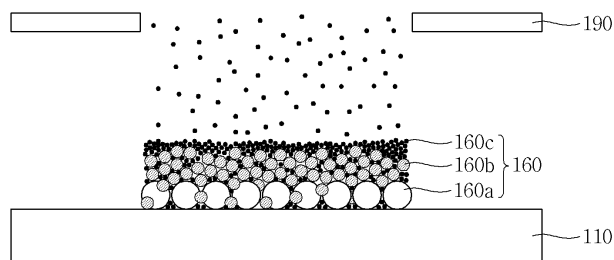
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치의 제조방법

(57) 요약

본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법은 박막트랜지스터를 포함하는 기판을 마련하는 단계, 기판 상에 제 1 증착속도로 제 1 캐소드 전극 재료를 증착하는 단계, 제 1 캐소드 전극 재료 상에 제 2 증착속도로 제 2 캐소드 전극 재료를 증착하는 단계, 제 2 캐소드 전극 재료 상에 제 3 증착속도로 제 3 캐소드 전극 재료를 증착하여 캐소드 전극의 증착을 완료하는 단계, 캐소드 전극 상에 유기층을 형성하는 단계, 유기층 상에 애노드 전극을 형성하는 단계를 포함할 수 있다.

대표도 - 도9



특허청구의 범위

청구항 1

박막트랜지스터를 포함하는 기판을 마련하는 단계;

상기 기판 상에 제 1 증착속도로 제 1 캐소드 전극 재료를 증착하는 단계;

상기 제 1 캐소드 전극 재료 상에 제 2 증착속도로 제 2 캐소드 전극 재료를 증착하는 단계;

상기 제 2 캐소드 전극 재료 상에 제 3 증착속도로 제 3 캐소드 전극 재료를 증착하여 캐소드 전극의 증착을 완료하는 단계;

상기 캐소드 전극 상에 유기층을 형성하는 단계;

상기 유기층 상에 애노드 전극을 형성하는 단계;

를 포함하는 유기전계발광표시장치의 제조방법.

청구항 2

제 1 항에 있어서,

상기 제 1 증착속도, 제 2 증착속도 및 제 3 증착속도의 빠르기는 제 1 증착속도>제 2 증착속도>제 3 증착속도 순서인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 3

제 1 항에 있어서,

상기 제 1 증착속도는 8 내지 10 Å/s인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제 2 증착속도는 4 내지 6 Å/s인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 5

제 1 항에 있어서,

상기 제 3 증착속도는 1 내지 2 Å/s인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 6

제 1 항에 있어서,

상기 캐소드 전극의 두께는 50 내지 150nm인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 7

제 1 항에 있어서,

상기 제 1 캐소드 전극 재료, 상기 제 2 캐소드 전극 재료 및 상기 제 3 캐소드 전극 재료는 서로 동일한 물질이거나, 서로 다른 물질인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 8

제 7 항에 있어서,

상기 제 1 캐소드 전극 재료, 상기 제 2 캐소드 전극 재료 또는 상기 제 3 캐소드 전극 재료는 알루미늄(Al), 은(Ag), 마그네슘(Mg) 또는 칼슘(Ca) 중 각각 어느 하나인 것을 특징으로 하는 유기전계발광표시장치의 제조방법

청구항 9

제 7 항에 있어서,

상기 캐소드 전극은 알루미늄/은, 칼슘/마그네슘 및 칼슘/은 중 어느 하나로 이루어지는 이중층인 것을 특징으로 하는 유기전계발광표시장치의 제조방법.

청구항 10

박막트랜지스터를 포함하는 기판을 마련하는 단계;

상기 기판 상에 애노드 전극을 형성하는 단계;

상기 애노드 전극 상에 유기층을 형성하는 단계;

상기 유기층 상에 제 1 증착속도로 제 1 캐소드 전극 재료를 증착하는 단계;

상기 제 1 캐소드 전극 재료 상에 제 2 증착속도로 제 2 캐소드 전극 재료를 증착하는 단계;

상기 제 2 캐소드 전극 재료 상에 제 3 증착속도로 제 3 캐소드 전극 재료를 증착하여 캐소드 전극의 증착을 완료하는 단계;

를 포함하는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 디스플레이에 관한 것으로, 보다 상세하게는 유기전계발광표시장치의 제조방법에 관한 것이다.

배경 기술

- <2> 일반적으로, 정보통신기술의 발달로, 다양화된 정보화 사회의 요구에 따라, 전자 디스플레이의 수요가 증가되고 있고, 요구되는 디스플레이 또한 다양해지고 있다.
- <3> 이와 같이 다양화된 정보화 사회의 요구를 만족시키기 위하여, 전자 디스플레이소자는 고정세화, 대형화, 저가격화, 고성능화, 박형화, 소형화 등의 특성을 가질 것이 요구되고 있으며, 이를 위해, 기존의 음극선관(Cathode Ray Tube: CRT) 이외에 새로운 평판 디스플레이(Flat Panel Display: FPD) 소자가 개발되고 있다.
- <4> 특히, 통신 및 컴퓨터에 관련된 반도체와 디스플레이 등의 소재 개발이 각 분야의 기술 진보에 주요한 관건이 되고 있으며, 현재 사용되고 있는 여러 디스플레이 소자들 중에서 천연색 표시 소자로서의 응용면에서 주목 받고 있는 하나가 유기전계발광표시장치이다.
- <5> 유기전계발광표시장치는 넓은 시야각, 고속응답성, 고콘트라스트 등의 뛰어난 특징을 갖고 있으므로 그래픽 디스플레이의 픽셀, 텔레비전 영상 디스플레이나 표면광원의 픽셀로서 사용될 수 있으며, 얇고 가벼우며 색감이 좋기 때문에 차세대 평면 디스플레이에 적합한 소자이다.
- <6> 유기전계발광표시장치에서는 전극과 유기층과의 두께의 조절, 전극재료 및 유기층(정공수송층, 정공주입층, 발광층, 전자주입층, 전자수송층) 재료의 선택 등을 통해 정공과 전자의 이동성을 최적화시키고, 궁극적으로 발광층에서 최종적으로 전자와 정공이 만나 여기자(exiton)을 형성하게 함으로써, 발광효율을 높이려고 하는 시도가 많이 되고 있다.
- <7> 이와 같은 일환으로, 전극계면과 유기층과의 계면특성에 대한 연구도 활발히 진행된다.
- <8> 계면간에 있어서 접촉성이 좋지 않은 경우, 특히 전극의 표면조도(surface roughness)가 좋지 않은 경우, 정공 또는 전자의 유기층으로의 전달이 원활하지 않으며, 전계인가시 거칠기가 좋지 않은 부분으로 전계가 집중되므로 발광효율이 좋지 않다.
- <9> 일반적으로 계면 특성을 향상시키기 위하여 플라즈마 처리를 하지만, 전극, 특히 캐소드로 사용되는 전극의 메탈은 일함수가 낮은 메탈로서 반응성이 높은 편이다.

<10> 따라서, 플라즈마 공정을 거치면서 전극이 수분과 공기에 노출이 되면서 산화가 이루어지게 되고 결과적으로 캐소드 전극 상에 절연막이 생겨, 유기층으로의 전자 전달이 저해되고 소자의 효율 및 수명이 저하될 수 있다.

발명의 내용

해결 하고자하는 과제

<11> 본 발명이 해결하고자 하는 과제는 전극의 성막 조건을 개선하여 전극의 표면조도를 향상시킴으로써, 소자의 효율 및 수명을 높일 수 있는 유기전계발광표시장치의 제조방법을 제공하는데 있다.

<12> 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

<13> 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법은 박막트랜지스터를 포함하는 기판을 마련하는 단계, 기판 상에 제 1 증착속도로 제 1 캐소드 전극 재료를 증착하는 단계, 제 1 캐소드 전극 재료 상에 제 2 증착속도로 제 2 캐소드 전극 재료를 증착하는 단계, 제 2 캐소드 전극 재료 상에 제 3 증착속도로 제 3 캐소드 전극 재료를 증착하여 캐소드 전극의 증착을 완료하는 단계, 캐소드 전극 상에 유기층을 형성하는 단계, 유기층 상에 애노드 전극을 형성하는 단계를 포함할 수 있다.

<14> 또한, 제 1 증착속도, 제 2 증착속도 및 제 3 증착속도의 빠르기는 제 1 증착속도>제 2 증착속도>제 3 증착속도 순서일 수 있다.

<15> 또한, 제 1 증착속도는 8 내지 10Å/s일 수 있다..

<16> 또한, 제 2 증착속도는 4 내지 6Å/s일 수 있다.

<17> 또한, 제 3 증착속도는 1 내지 2Å/s일 수 있다.

<18> 또한, 캐소드 전극의 두께는 50 내지 150nm일 수 있다.

<19> 또한, 제 1 캐소드 전극 재료, 제 2 캐소드 전극 재료 및 제 3 캐소드 전극 재료는 서로 동일한 물질이거나, 서로 다른 물질일 수 있다.

<20> 또한, 제 1 캐소드 전극 재료, 제 2 캐소드 전극 재료 또는 제 3 캐소드 전극 재료는 알루미늄(Al), 은(Ag), 마그네슘(Mg) 또는 칼슘(Ca) 중 각각 어느 하나일 수 있다.

<21> 또한, 캐소드 전극은 알루미늄/은, 칼슘/마그네슘 및 칼슘/은 중 어느 하나로 이루어지는 이중층일 수 있다.

<22> 본 발명의 다른 일 실시예에 따른 유기전계발광표시장치의 제조방법은 박막트랜지스터를 포함하는 기판을 마련하는 단계, 기판 상에 애노드 전극을 형성하는 단계, 애노드 전극 상에 유기층을 형성하는 단계, 유기층 상에 제 1 증착속도로 제 1 캐소드 전극 재료를 증착하는 단계, 제 1 캐소드 전극 재료 상에 제 2 증착속도로 제 2 캐소드 전극 재료를 증착하는 단계, 제 2 캐소드 전극 재료 상에 제 3 증착속도로 제 3 캐소드 전극 재료를 증착하여 캐소드 전극의 증착을 완료하는 단계를 포함할 수 있다.

효 과

<23> 본 발명이 일 실시예에 따른 유기전계발광표시장치의 제조방법은 전극의 성막 조건을 개선하여 전극의 표면조도를 향상시킴으로써, 소자의 효율 및 수명을 높일 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<24> 후술하는 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

<25> 이하, 첨부된 도면을 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법에 대하여 상세히 설명한다.

- <26> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 블록도이고, 도 2a내지 도 2b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀 회로의 일 예이다.
- <27> 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 표시패널(100), 스캔 구동부(200), 데이터 구동부(300) 및 제어부(400)를 포함한다.
- <28> 표시패널(100)은 복수의 신호라인($S_1 \sim S_n$, $D_1 \sim D_m$), 복수의 전원라인(미도시) 및 이들에 연결되어 매트릭스 형태로 배열된 복수의 서브픽셀(PX)을 포함한다.
- <29> 복수의 신호라인($S_1 \sim S_n$, $D_1 \sim D_m$)은 스캔신호를 전달하는 복수의 스캔라인($S_1 \sim S_n$) 및 데이터 신호를 전달하는 데이터 라인($D_1 \sim D_m$)을 포함하며, 각 전원라인(미도시)은 제 1 전원 전압(VDD)등을 각 서브픽셀(PX)에 전달할 수 있다.
- <30> 여기서, 복수의 신호라인은 스캔라인($S_1 \sim S_n$) 및 데이터 라인($D_1 \sim D_m$)만을 포함하는 것으로 도시하고 설명하였지만, 이에 한정되는 것은 아니며, 구동방식에 따라 소거신호를 전달하는 소거라인(미도시)을 더 포함할 수도 있다.
- <31> 그러나, 소거 신호가 사용되는 경우에도 소거 라인이 생략되는 것이 가능하다. 이러한 경우에는 소거 신호를 다른 라인으로 공급할 수 있다. 예를 들면, 도시하지는 않았지만, 표시 패널(100)에는 제 1 전원 전압(VDD)을 공급하는 전원 라인이 더 포함되는 경우에, 소거 신호는 전원 라인을 통해 공급될 수도 있다.
- <32> 도 2a를 참조하면, 서브픽셀(PX)은 스캔라인(S_n)으로부터 스캔 신호에 의하여 데이터 신호를 전달하는 스위칭 박막 트랜지스터(T1), 데이터 신호를 저장하는 커패시터(Cst), 커패시터(Cst)에 저장된 데이터 신호와 제 1전원 전압(VDD)의 차이에 해당하는 구동 전류를 생성하는 구동 박막 트랜지스터(T2) 및 구동전류에 해당하는 빛을 발광하는 발광 다이오드(OLED)를 포함할 수 있다.
- <33> 그리고, 서브픽셀은, 도 2b에 도시한 바와 같이, 스캔라인(S_n)으로부터 스캔 신호에 의하여 데이터 신호를 전달하는 스위칭 박막 트랜지스터(T1), 데이터 신호를 저장하는 커패시터(Cst), 커패시터(Cst)에 저장된 데이터 신호와 제 1전원전압의 차이에 해당하는 구동 전류를 생성하는 구동 박막 트랜지스터(T2), 구동전류에 해당하는 빛을 발광하는 발광 다이오드(OLED) 및 소거 라인(E_n)으로부터의 소거 신호에 따라 커패시터에 저장된 데이터 신호를 소거하는 소거용 스위칭 박막 트랜지스터(T3)를 포함할 수 있다.
- <34> 도 2b에 도시한 픽셀 회로는 하나의 프레임을 복수개의 서브필드로 나누어 계조를 표현하는 디지털 구동 방식에 의하여 유기전계발광표시장치를 구동할 경우, 어드레스 시간보다 발광 시간이 작은 서브필드에 소거 신호를 공급함으로써 발광 시간을 조절할 수 있다. 따라서, 유기전계발광표시장치의 최소 휘도를 낮출 수 있는 장점이 있다.
- <35> 다시 도 1을 참조하면, 스캔 구동부(200)는 표시패널(100)의 스캔라인($S_1 \sim S_n$)에 연결되어, 제1박막트랜지스터(T1)를 턴온시킬 수 있는 스캔신호를 스캔라인($S_1 \sim S_n$)에 각각 인가한다.
- <36> 데이터 구동부(300)는 표시패널(100)의 데이터 라인($D_1 \sim D_m$)에 연결되어 출력 영상 신호(DAT)를 나타내는 데이터 신호를 데이터 라인($D_1 \sim D_m$)에 인가한다. 이러한, 데이터 구동부(300)는 데이터 라인($D_1 \sim D_m$)에 연결되는 적어도 하나의 데이터 구동 집적회로(integrated circuit, IC)를 포함할 수 있다.
- <37> 데이터 구동 IC는 차레로 연결되어 있는 쉬프트 레지스터(shift register), 래치(latch), 디지털-아날로그 변환부(DA-converter) 및 출력 버퍼(output buffer)를 포함할 수 있다.
- <38> 쉬프트 레지스터는 수평동기시작신호(STH)(또는 시프트 클럭신호)가 들어오면 데이터 클럭신호(HCLK)에 따라 출력 영상 신호(DAT)를 래치에 전달할 수 있다. 데이터 구동부(300)가 복수의 데이터 구동 IC를 포함하는 경우, 한 구동 IC의 시프트 레지스터는 시프트 클럭신호를 다음 구동 IC의 시프트 레지스터로 내보낼 수 있다.
- <39> 래치는 출력 영상 신호(DAT)를 기억하며, 기억하고 있는 출력 영상 신호(DAT)를 로드 신호(LOAD)에 따라 해당 계조 전압을 선택하여 출력 버퍼로 내보낼 수 있다.
- <40> 디지털-아날로그 변환부는 출력 영상 신호(DAT)에 따라 해당 계조 전압을 선택하여 출력 버퍼로 내보낼 수 있다.

- <41> 출력 버퍼는 디지털-아날로그 변환부로부터의 출력 전압을 데이터 신호로서 데이터 라인(D₁~D_m)으로 출력하며, 이를 1 수평 주기(1H) 동안 유지한다.
- <42> 제어부(400)는 스캔 구동부(200) 및 데이터 구동부(300)의 동작을 제어한다. 또한, 제어부(400)는 입력 영상 신호(R, G, B)를 감마변환하여 출력 영상 신호(DAT)를 생성하는 신호변환부(450)을 포함할 수 있다.
- <43> 즉, 제어부(400)는 스캔 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 스캔 제어 신호(CONT1)를 스캔 구동부(200)로 출력하고, 데이터 제어 신호(CONT2)와 처리한 출력 영상 신호(DAT)를 데이터 구동부(300)로 출력한다.
- <44> 또한, 제어부(400)는 외부의 그래픽 컨트롤러(미도시)로부터의 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 여기서, 입력 제어 신호의 예로는 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <45> 이러한 구동장치(200, 300, 400) 각각은 적어도 하나의 집적 회로 칩의 형태로 표시패널(100) 위에 직접 장착되거나, 가요성 인쇄회로 필름(Flexible Printed Circuit Film)(미도시) 위에 장착되어 TCP(tape carrier package)의 형태로 표시패널(100)에 부착되거나, 별도의 인쇄회로기판(Printed Circuit Board)(미도시) 위에 장착될 수도 있다.
- <46> 이와는 달리, 이들 구동장치(200, 300, 400)가 복수의 신호라인(S₁~S_n, D₁~D_m) 또는 박막 트랜지스터(T1, T2, T3) 등과 함께 표시패널(100)에 집적될 수도 있다.
- <47> 또한, 구동장치(200, 300, 400)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로소자가 단일 칩 외부에 있을 수 있다.
- <48> 도 3은 본 발명의 일 실시 예에 따른 유기전계발광표시장치의 화소 구조를 도시한 평면도이다.
- <49> 도 3을 참조하면, 일 방향으로 배열된 스캔 라인(120a), 상기 스캔 라인(120a)과 수직하게 배열된 데이터 라인(140a) 및 상기 데이터 라인(140a)과 평행하게 배열된 전원 라인(140e)에 의해 정의되는 화소 영역 및 상기 화소 영역 외의 비화소 영역을 포함하는 기관(110)이 위치한다.
- <50> 상기 화소 영역에는 스캔 라인(120a) 및 데이터 라인(140a)과 연결된 스위칭 박막 트랜지스터(T1)와, 상기 스위칭 박막 트랜지스터(T1) 및 전원 라인(140e)과 연결된 커패시터(Cst)와, 상기 커패시터(Cst) 및 전원 라인(140e)과 연결된 구동 박막 트랜지스터(T2)가 위치한다.
- <51> 상기 커패시터(Cst)는 커패시터 하부전극(120b) 및 커패시터 상부전극(140b)을 포함할 수 있다.
- <52> 상기 화소영역에는 상기 구동 박막 트랜지스터(T2)와 전기적으로 연결된 제 1 전극(160)과, 상기 제 1 전극(160) 상에 발광층(미도시) 및 제 2 전극(미도시)을 포함하는 발광다이오드가 위치한다.
- <53> 상기 화소 영역은 스캔 라인(120a), 데이터 라인(140a) 및 전원 라인(140e)을 포함할 수 있다.
- <54> 도 4는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다.
- <55> 먼저, 도 4를 참조하면, 기관(110) 상에 버퍼층(105)이 위치한다. 상기 버퍼층(105)은 기관(110)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO₂), 실리콘 질화물(SiNx) 등을 사용하여 선택적으로 형성할 수 있다.
- <56> 여기서, 상기 기관(110)은 유리, 플라스틱 또는 금속일 수 있다.
- <57> 상기 버퍼층(105) 상에 반도체층(111)이 위치한다. 상기 반도체층(111)은 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다.
- <58> 또한, 상기 반도체층(111)은 p형 또는 n형의 불순물을 포함하는 소오스 영역 및 드레인 영역을 포함할 수 있으며, 상기 소오스 영역 및 드레인 영역 이외의 채널 영역을 포함할 수 있다.
- <59> 상기 반도체층(111) 상에 게이트 절연막일 수 있는 제 1 절연막(115)이 위치한다. 상기 제 1 절연막(115)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다.
- <60> 상기 제 1 절연막(115) 상에 상기 반도체층(111)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널 영역과 대응되는 위치에 게이트 전극(120c)이 위치한다. 그리고, 상기 게이트 전극(120c)과 동일층 상에 스캔 라인(120a)

및 커패시터 하부 전극(120b)이 위치한다.

- <61> 상기 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <62> 또한, 상기 게이트 전극(120c)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- <63> 예를 들면, 게이트 전극(120c)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <64> 상기 스캔 라인(120a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <65> 또한, 상기 스캔 라인(120a)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다.
- <66> 예를 들면, 스캔 라인(120a)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <67> 층간 절연막일 수 있는 제 2 절연막(125)은 상기 스캔 라인(120a), 커패시터 하부 전극(120b) 및 게이트 전극(120c)을 포함하는 기판(110) 상에 위치한다. 상기 제 2 절연막(125)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다.
- <68> 상기 제 2 절연막(125) 및 제 1 절연막(115) 내에 반도체층(111)의 일부를 노출시키는 콘택홀들(130b, 130c)이 위치한다.
- <69> 상기 제 2 절연막(125) 및 제 1 절연막(115)을 관통하는 콘택홀들(130b, 130c)을 통하여 반도체층(111)과 전기적으로 연결되는 드레인 전극 및 소오스 전극(140c, 140d)이 화소 영역에 위치한다.
- <70> 상기 드레인 전극 및 소오스 전극(140c, 140d)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 드레인 전극 및 소오스 전극(140c, 140d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <71> 또한, 상기 드레인 전극 및 소오스 전극(140c, 140d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <72> 그리고, 드레인 전극 및 소오스 전극(140c, 140d)과 동일층 상에 데이터 라인(140a), 커패시터 상부 전극(140b) 및 전원 라인(140e)이 위치할 수 있다.
- <73> 상기 화소 영역에 위치하는 데이터 라인(140a), 전원 라인(140e)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 데이터 라인(140a) 및 전원 라인(140e)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <74> 또한, 상기 데이터 라인(140a) 및 전원 라인(140e)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <75> 특히, 상기 데이터 라인(140a) 및 전원 라인(140e)은 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <76> 제 3 절연막(145)은 상기 데이터 라인(140a), 커패시터 상부 전극(140b), 드레인 및 소오스 전극(140c, 140d)과 전원 라인(140e) 상에 위치한다. 상기 제 3 절연막(145)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부티렌 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물 등을 액상 형태로 코팅한 다음 경화시키는 스핀 코팅(spin coating)법으로 형성하거나 실리콘 산화물 또는 실리콘 질화물 등의 무기물을 SOG(silicate on glass)법으로 형성할 수 있다.
- <77> 이와는 달리, 상기 제 3 절연막(145)은 패시베이션막일 수 있으며, 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x) 또는 이들의 다중층일 수 있다.
- <78> 제 3 절연막(145) 내에 드레인 및 소오스 전극(140c, 140d) 중 어느 하나를 노출시키는 비어홀(165)이 위치하며, 제 3 절연막(145) 상에 비어홀(165)을 통하여 드레인 및 소오스 전극(140c, 140d) 중 어느 하나와 전

기적으로 연결되는 제 1 전극(160)이 위치한다.

- <79> 상기 제 1 전극(160)은 캐소드 전극일 수 있다. 인버티드(inverted) 유기전계발광표시장치 하에서, 제 1 전극은 캐소드 전극으로서 박막트랜지스터와 연결될 수 있다. 여기서, 캐소드 전극이 형성되는 과정 등은 후술하는 제조방법에서 상세히 설명하기로 한다. 상기 구조하에서 유기전계발광표시장치는 전면발광할 수 있다
- <80> 제 1 전극(160) 상에 인접하는 제 1 전극들을 절연시키며, 제 1 전극(160)의 일부를 노출시키는 개구부(175)를 포함하는 제 4 절연막(155)이 위치한다. 개구부(175)에 의해 노출된 제 1 전극(160) 상에 발광층(170)이 위치한다.
- <81> 상기 발광층(170) 상에 제 2 전극(180)이 위치한다. 상기 제 2 전극(180)은 애노드 전극일 수 있으며 투명전극으로 형성되어 빛을 외부로 방출시킬 수 있다.
- <82> 여기서, 또한 제 1 전극은 투명전극으로서 형성되는 애노드 전극일 수 있고, 제 2 전극은 캐소드 전극일 수 있다. 본 구조하에서 유기전계발광표시장치는 배면발광할 수 있다.
- <83> 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 발광다이오드의 단면도이다.
- <84> 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 기판(110), 기판(110) 상에 위치하는 제 1 전극(160)을 포함한다. 이때 제 1 전극이 애노드 전극인 경우에는, 제 1 전극(160) 상에 정공주입층(171), 정공수송층(172), 발광층(170), 전자수송층(173), 전자주입층(174) 및 캐소드 전극인 제 2 전극(180)이 위치할 수 있다.
- <85> 제 1 전극(160)이 캐소드 전극인 경우에는, 제 1 전극(160) 상에 전자주입층(174), 전자수송층(173), 발광층(170), 정공수송층(172), 정공주입층(171) 및 애노드 전극인 제 2 전극(180)이 위치할 수 있다.
- <86> 이하에서는, 유기전계발광표시장치의 제조방법, 특히 캐소드 전극의 제조방법에 대하여 보다 상세히 설명하기로 한다.
- <87> 도 6 내지 도 9는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 나타내는 도이다.
- <88> 도 6을 참조하면, 기판 상에 박막트랜지스터, 전원라인을 비롯한 각종 라인 및 절연막들이 도시되어 있다. 도 6에 따른 도면은 도 4에서 설명한 유기전계발광표시장치에서 전극 및 발광층을 제외한 구조로써, 상술한 설명에서 이미 언급한 바, 여기에 대해서는 설명을 생략하기로 한다.
- <89> 도 7 내지 도 9를 참조하면, 기판(110, 여기서 기판은 도 6의 도면과 같이 캐소드 전극을 증착하기 전까지의 구성요소가 형성된 기판을 말한다.) 상에 마스크(190)를 통해 제 1 증착속도로 제 1 캐소드 전극 재료(160a)를 증착할 수 있다.
- <90> 여기서, 제 1 증착속도는 8 내지 10 Å/s일 수 있고, 바람직하게는 10 Å/s일 수 있다.
- <91> 제 1 증착속도로 제 1 캐소드 전극 재료(160a)가 기판 상에 일정량이 증착되고 나면, 제 1 캐소드 전극 재료(160a) 상에 제 2 증착속도로 제 2 캐소드 전극 재료(160b)가 증착될 수 있다.
- <92> 여기서, 제 2 증착속도는 4 내지 6 Å/s일 수 있고, 바람직하게는 5 Å/s일 수 있다.
- <93> 제 2 증착속도로 증착되는 제 2 캐소드 전극 재료(160b)는 제 1 증착속도로 증착되는 제 1 캐소드 전극 재료(160a)보다 증착되는 물질의 크기가 더 작기 때문에 증착된 제 1 캐소드 전극 재료(160a)의 빈 공간을 채우면서 제 1 캐소드 전극 재료(160a) 상에 일정량이 증착될 수 있다.
- <94> 제 2 증착속도로 제 2 캐소드 전극 재료(160b)가 제 1 캐소드 전극 재료(160a) 상에 일정량이 증착되고 나면, 제 2 캐소드 전극 재료(160b) 상에 제 3 증착속도로 제 3 캐소드 전극 재료(160c)가 증착될 수 있다.
- <95> 여기서, 제 3 증착속도는 1 내지 2 Å/s일 수 있고, 바람직하게는 2 Å/s일 수 있다.
- <96> 제 3 증착속도로 증착되는 제 3 캐소드 전극 재료(160c)는 제 1 캐소드 전극 재료(160a)나 제 2 캐소드 전극 재료(160b)보다 증착되는 물질의 크기가 더 작기 때문에 증착된 제 1 캐소드 전극 및 제 2 캐소드 전극 재료(160b)의 빈 공간을 채우면서 제 2 캐소드 전극 재료(160b) 상에 일정량이 증착되어 캐소드 전극(160)을 형성할 수 있다.
- <97> 상술한 과정을 거친 캐소드 전극(160)은 50nm 내지 150nm가 될 수 있다.
- <98> 일반적으로 캐소드 전극(160)을 형성시 증착하는 속도를 낮추면 증착되는 물질의 크기를 작게하여 조밀하게 증

작할 수 있으므로, 캐소드 전극(160)의 표면조도(surface roughness)를 향상시킬 수 있지만, 속도가 낮아지는 만큼 제품을 완성하는 시간이 늦춰져 수율 향상이 어렵다.

<99> 반대로 캐소드 전극(160)을 형성시 증착하는 속도를 높이면, 속도가 높아지는 만큼 제품을 완성하는 시간이 빨라져 수율 측면에서 효율성을 가져올 수 있으나, 증착되는 물질의 크기가 커져 완성된 전극 내부에 빈 공간이 남을 뿐 아니라 표면조도에 있어서도 거칠기가 있어 정공 또는 전자의 유기층으로의 전달이 원활하지 않으며, 전계인가시 거칠기가 좋지 않은 부분으로 전계가 집중되므로 발광효율이 좋지 않다.

<100> 따라서, 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 사용함으로써, 캐소드 전극의 표면조도를 증착속도를 낮게할 때와 같이 향상시킬 수 있으며, 동시에 제품 완성의 시기를 앞당겨 수율 촉진에도 이바지할 수 있다.

<101> 여기서 제 1 내지 제 3 캐소드 전극 재료(160a, 160b, 160c)는 알루미늄(Al), 은(Ag), 마그네슘(Mg) 또는 칼슘(Ca), 셀렌화아연(ZnSe), ITO, 산화텔루르(TeO₂) 중 어느 하나가 될 수 있다. 즉, 제 1 내지 제 3 캐소드 전극 재료(160a, 160b, 160c)는 상기 물질 중 어느 하나를 동일하게 사용할 수 있으나, 각각 다른 물질을 사용할 수도 있다.

<102> 제 1 내지 제 3 캐소드 전극 재료(160a, 160b, 160c)를 다른 물질을 사용하는 경우에, 캐소드 전극(160)은 이중층 또는 삼중층이 될 수 있다. 제 1 캐소드 전극 재료(160a) 및 제 2 캐소드 전극 재료(160b)는 알루미늄을 사용하고, 제 3 캐소드 전극 재료(160c)는 은을 사용하는 경우 캐소드 전극은 알루미늄(Al)/은(Ag)이 될 수 있다. 또한, 칼슘(Ca)/은(Ag), 칼슘(Ca)/마그네슘(Mg), 알루미늄(Al)/은(Ag), 칼슘(Ca)/ITO, 칼슘(Ca)/마그네슘(Mg)/셀렌화아연(ZnSe), 알루미늄(Al)/은(Ag)/산화텔루르(TeO₂) 등이 될 수도 있다.

<103> 또한, 상기 재료를 호스트(host)와 도펀트(dopant)로 사용하여 증착할 수도 있다.

<104> 도 10a 내지 도 11c는 본 발명의 일 실시예에 따른 캐소드 전극(160)의 미세 촬영사진이다. 보다 상세히 설명하면, 도 10a 내지 도 10c는 주사전자현미경(SEM, scanning electron microscope)에 의한 각각의 캐소드 전극 재료가 증착되고 난 후의 사진이며, 도 11a 내지 도 11c는 원자현미경(AFM, atomic force microscope)에 의한 각각의 캐소드 전극 재료(160a, 160b, 160c)가 증착되고 난 후의 사진이다.

<105> [표 1]

도면부호	증착속도(Å/s)	두께(Å)	RMS Roughness(nm)
10a, 11a	2	2000	1.1
10b, 11b	5	2000	1.5
10c, 11c	10	2000	2.6

<107> 도 10a 내지 도 11c와 표1을 함께 참고하면, 증착속도가 높아질수록 표면의 증착되고 난 후의 전극 재료의 표면이 거칠게 형성됨을 알 수 있다. 즉, 제 1 캐소드 전극 재료(160a)(10Å/s)가 증착되고 난 후의 표면의 거칠기가 가장 크며, 제 3 캐소드 전극 재료(160c)(2Å/s)가 증착되고 난 후의 표면의 거칠기가 가장 작음을 알 수 있다.

<108> 표면조도(roughness)를 RMS(root mean square)의 수치값으로 나타낸 자료로써 수치가 작을수록 표면의 거칠기가 작음을 나타낸다. 따라서, 증착속도가 2<5<10 Å/s로 커짐에 따라, 표면 조도의 RMS의 수치도 1.1<1.5<2.6nm로, 증착속도가 높아질수록 표면의 거칠기가 커지게 된다.

<109> 도 7 내지 도 9의 증착과정을 거친 유기전계발광표시장치는 도 12와 같이 캐소드 전극(160)이 형성될 수 있다.

<110> 도 13을 참조하면, 캐소드 전극(160)이 형성된 유기전계발광표시장치는 캐소드 전극(160, 제 1 전극) 상에 유기층(170) 및 애노드 전극(180, 제 2 전극)이 형성되어 유기전계발광표시장치의 일련의 제조과정이 마무리될 수 있다. 여기서 애노드 전극은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명한 물질로 이루어질 수 있다.

<111> 지금까지, 전면발광을 하는 인버티드 유기전계발광표시장치에 대해서 설명하였지만, 본 과정은 배면발광(bottom emission) 구조를 가지는 유기전계발광표시장치에서 유기층 상에 위치하는 캐소드 전극(180, 제 2 전극)을 형성시킬 때에도 동일하게 적용될 수 있다.

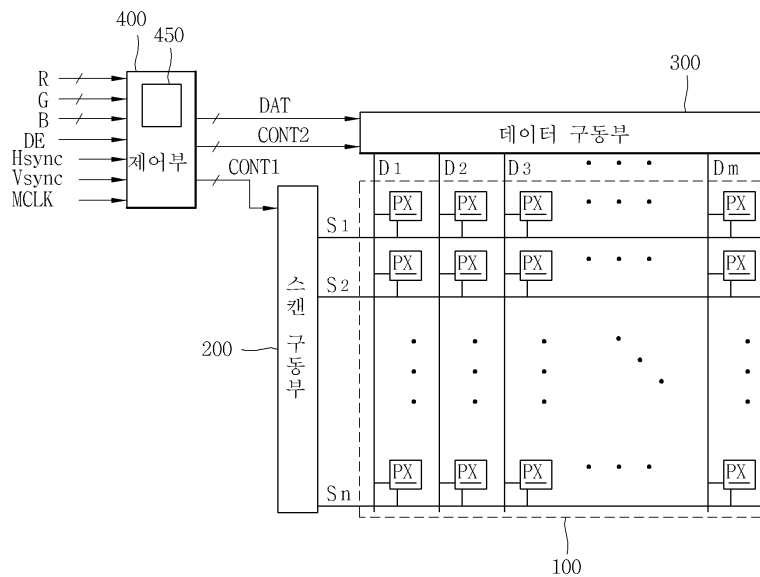
<112> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

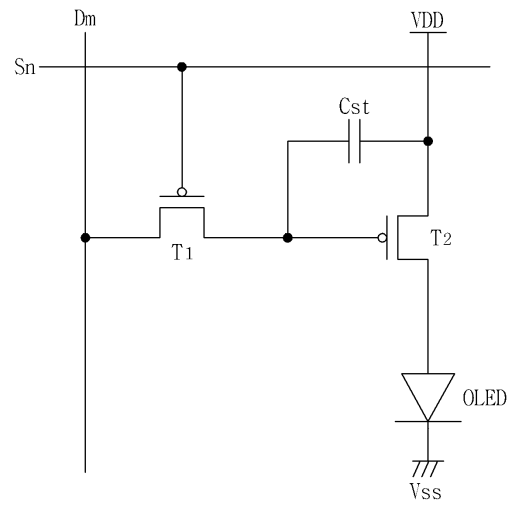
- <113> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 블록도이다.
- <114> 도 2a내지 도 2b는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀 회로의 일 예이다.
- <115> 도 3은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타낸 평면도이다.
- <116> 도 4는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 단면도이다.
- <117> 도 5는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 발광다이오드의 단면도이다.
- <118> 도 6 내지 도 9, 도 12 내지 도 13은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 나타내는 도이다.
- <119> 도 10a 내지 도 11c는 본 발명의 일 실시예에 따른 캐소드 전극의 미세 촬영사진이다.

도면

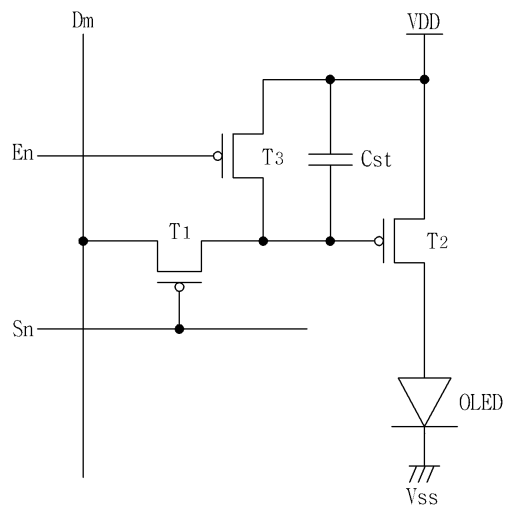
도면1



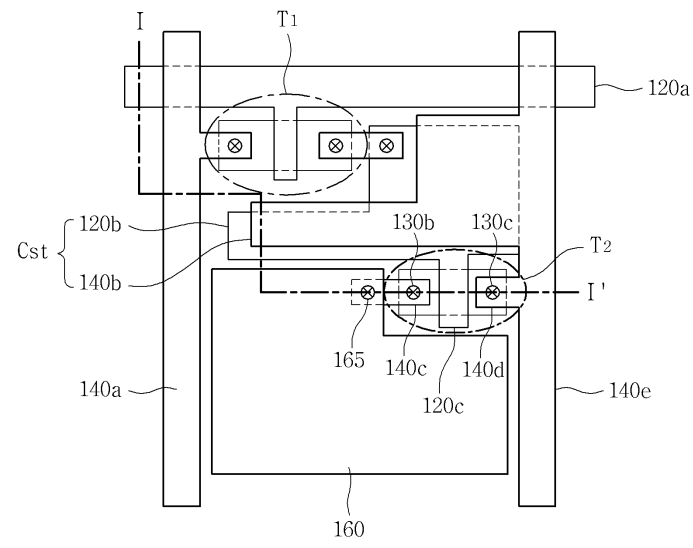
도면2a



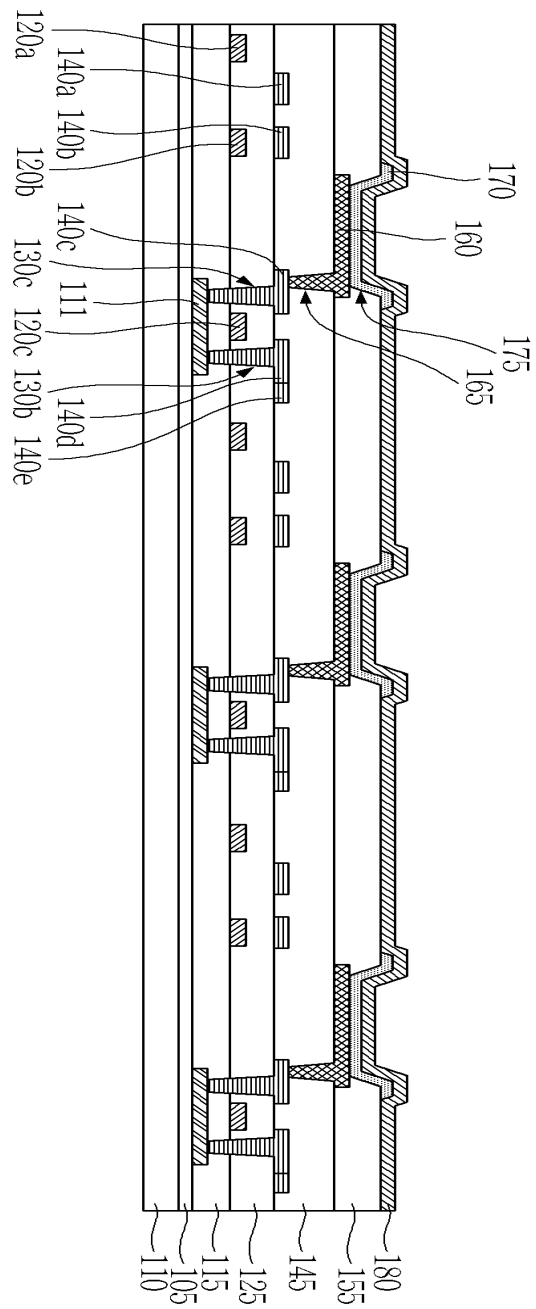
도면2b



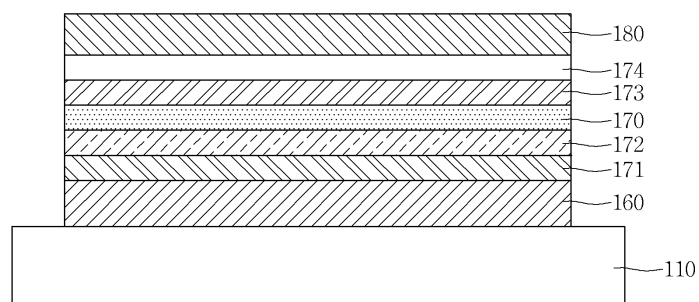
도면3



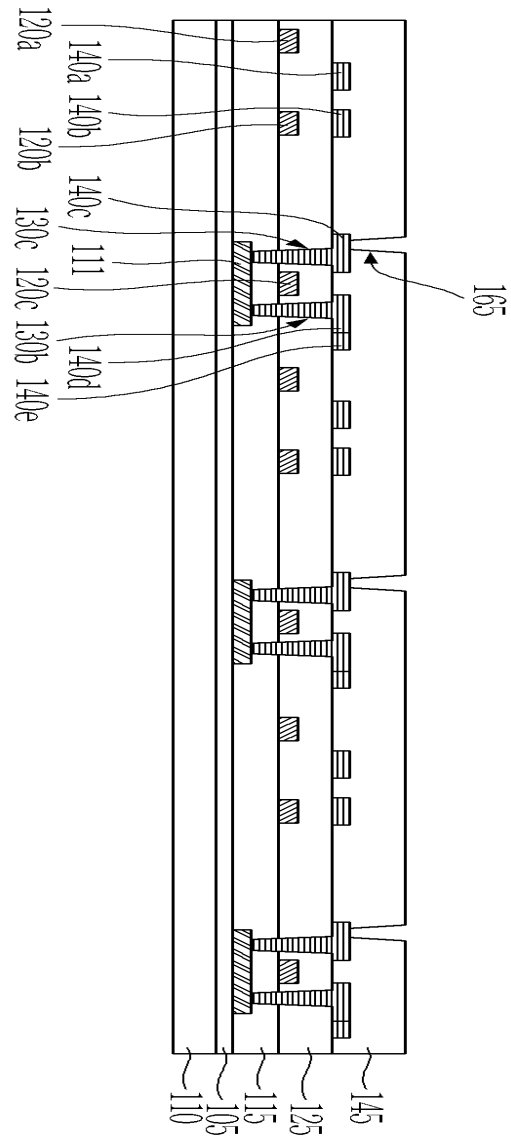
도면4



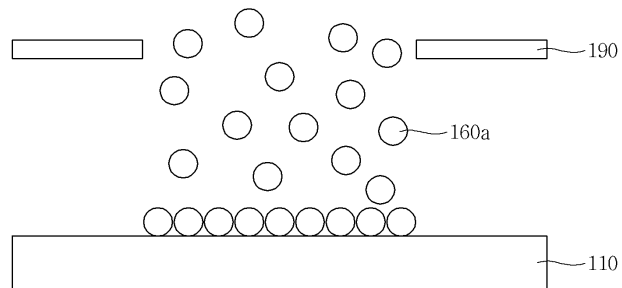
도면5



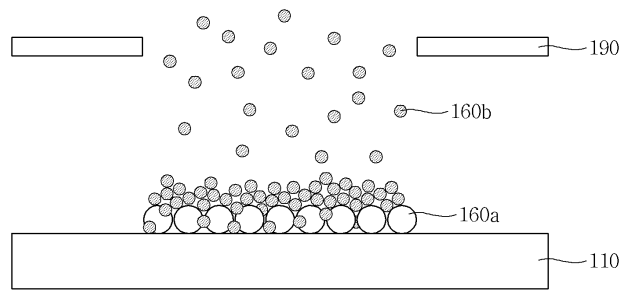
도면6



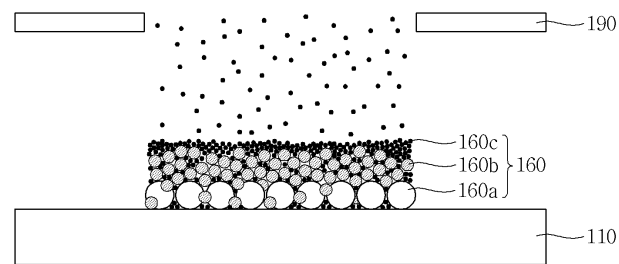
도면7



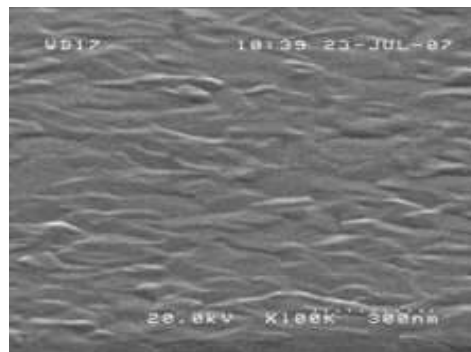
도면8



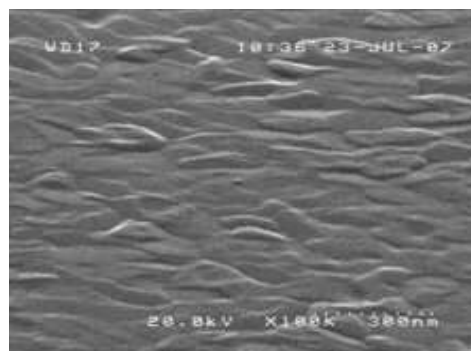
도면9



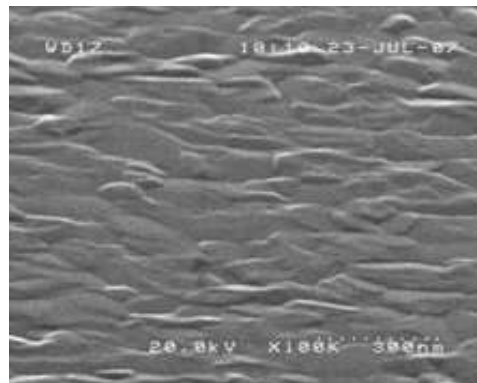
도면10a



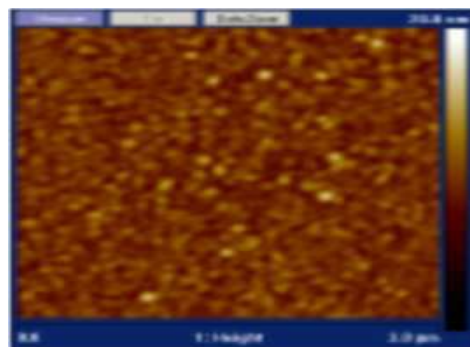
도면10b



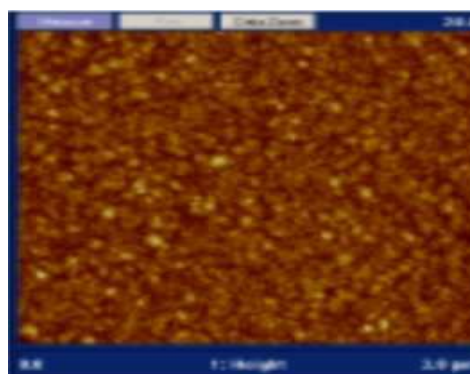
도면10c



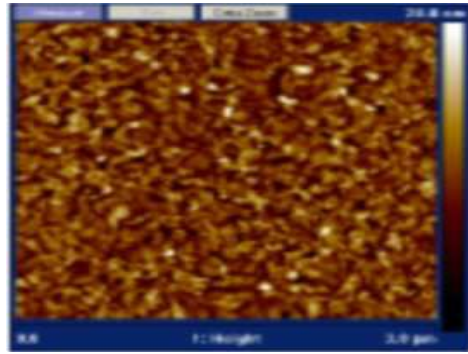
도면11a



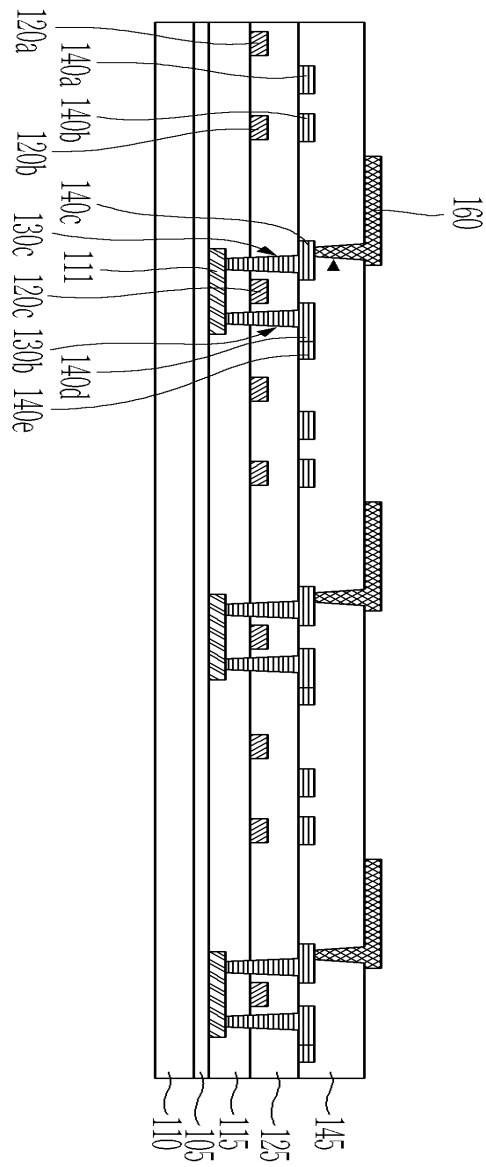
도면11b



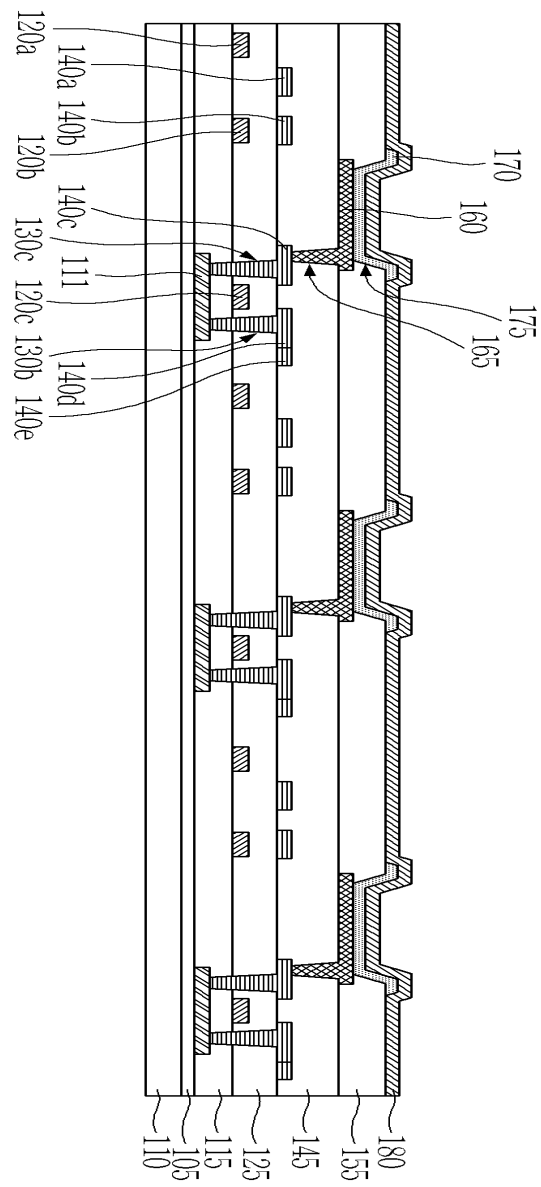
도면11c



도면12



도면13



专利名称(译)	制造有机电致发光显示装置的方法		
公开(公告)号	KR102009006658A	公开(公告)日	2009-06-24
申请号	KR1020070134304	申请日	2007-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HEUI DONG 이희동 MYOUNG NHO HOON 명노훈 LEE SE HEE 이세희		
发明人	이희동 명노훈 이세희		
IPC分类号	H05B33/26 H05B33/10		
CPC分类号	H01L27/3244 H01L51/0002 H01L51/5206 H01L51/5221 H01L51/56 H01L2924/12044		
其他公开文献	KR101475069B1		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施例的有机电致发光显示装置的制造方法可以包括制备基板的步骤，包括在基板上沉积第一沉积速率的第一电极材料的步骤，沉积步骤第二阴极电极材料上的第二沉积速率，第二阴极电极材料的沉积速率，沉积阴极电极的沉积步骤，阴极电极上形成有机层的步骤，有机层上形成阳极电极的步骤将薄膜晶体管分层。沉积率。

