



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.

H05B 33/00 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호 10-2007-0053838

(43) 공개일자 2007년05월28일

(21) 출원번호 10-2005-0111536

(22) 출원일자 2005년11월22일

심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 진흥기
경기 수원시 장안구 조원동 한일타운 147동 201호
이영욱
경기 수원시 영통구 매탄동 514-14 미래빌리지 E동 108호
김병준
경기 성남시 분당구 서현동 시범단지한신아파트 112동 1503호
김상갑
서울특별시 강동구 명일동 15번지 삼익@ 301동 306호
오민석
경기 용인시 신봉동 한일아파트 102동 202호

(74) 대리인 박영우

전체 청구항 수 : 총 10 항

(54) 표시 기판 및 이의 제조방법

(57) 요약

제조 공정을 감소시키기 위한 표시 기판 및 이의 제조 방법이 개시된다. 표시 기판의 제조 방법은 베이스 기판 위에 제1 금속 패턴으로 소스 배선, 전원 배선, 단선부를 갖는 게이트 배선, 구동 소자의 소스 전극 및 드레인 전극을 형성하는 단계와, 제1 금속 패턴이 형성된 베이스 기판 위에 패시베이션층을 형성하는 단계와, 드레인 전극을 노출시키는 제1 콘택홀 및 단선부를 노출시키는 제2 콘택홀을 형성하는 단계와, 제2 금속 패턴으로 구동 소자의 게이트 전극과, 제1 콘택홀을 통해 드레인 전극과 연결되는 발광 소자의 애노드 전극 및 제2 콘택홀을 통해 인접한 단선부들을 연결하는 연결 패턴을 형성하는 단계와, 애노드 전극의 위에 발광층을 형성하는 단계 및 캐소드 전극을 형성하는 단계를 포함한다. 이에 따라, 마스크 4매 공정으로 표시 기판의 금속 배선을 형성할 수 있으므로 제조 공정을 감소시킬 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 방향으로 연장되며 제1 금속패턴으로 형성된 소스 배선;

상기 소스 배선과 인접하고 상기 제1 방향으로 연장되며 상기 제1 금속패턴으로 형성된 전원 배선;

상기 제1 방향과 교차하는 제2 방향으로 연장되고, 상기 제1 금속패턴으로 형성되며, 상기 소스 및 전원 배선과 교차하는 영역에 단선부가 형성된 게이트 배선;

제2 금속 패턴으로 형성되어 인접한 단선부들 간을 전기적으로 연결시키는 연결 패턴;

상기 제2 금속 패턴으로 형성된 게이트 전극과, 상기 전원 배선으로부터 연장된 소스 전극 및 상기 제1 금속 패턴으로 형성된 드레인 전극을 포함하는 구동 소자; 및

상기 구동 소자의 드레인 전극과 전기적으로 연결되고 상기 제2 금속 패턴으로 형성된 애노드 전극을 갖는 발광 소자를 포함하는 것을 특징으로 하는 표시 기판.

청구항 2.

제1항에 있어서, 상기 소스 배선과 게이트 배선에 연결된 스위칭 소자를 더 포함하며,

상기 스위칭 소자의 소스 전극 및 드레인 전극은 상기 제1 금속 패턴으로 형성되며, 상기 스위칭 소자의 게이트 전극은 상기 연결 패턴으로부터 연장되어 형성된 것을 특징으로 하는 표시 기판.

청구항 3.

제2항에 있어서, 상기 스위칭 소자의 드레인 전극과 상기 구동 소자의 게이트 전극은 전기적으로 연결되는 것을 특징으로 하는 표시 기판.

청구항 4.

제1항에 있어서, 상기 구동 소자 및 상기 스위칭 소자는 탑 게이트 구조의 트랜지스터인 것을 특징으로 하는 표시 기판.

청구항 5.

제1항에 있어서, 상기 제2 금속 패턴은 불투명한 금속물질인 것을 특징으로 하는 표시 기판.

청구항 6.

제1항에 있어서, 상기 제2 금속 패턴은 투명한 도전성 물질인 것을 특징으로 하는 표시 기판.

청구항 7.

제1항에 있어서, 상기 발광 소자는 상기 제2 금속패턴으로 형성된 애노드 전극과, 상기 애노드 전극층 위에 형성된 유기전계발광층 및 상기 유기전계발광층 위에 투명한 도전성 물질로 형성된 캐소드 전극을 포함하는 것을 특징으로 하는 표시 기판.

청구항 8.

제1 방향으로 연장된 소스 배선 및 전원 배선과, 제2 방향으로 연장된 게이트 배선에 의해 화소 영역이 정의되고, 상기 화소 영역에는 상기 전원 배선에 연결된 구동 소자와, 상기 구동 소자에 연결된 발광 소자가 형성된 표시 기관의 제조 방법에서,

- (a) 베이스 기관 위에 제1 금속 패턴으로 상기 소스 배선, 전원 배선, 단선부를 갖는 게이트 배선, 상기 구동 소자의 소스 전극 및 드레인 전극을 형성하는 단계;
- (b) 상기 제1 금속 패턴이 형성된 베이스 기관 위에 패시베이션층을 형성하는 단계;
- (c) 상기 드레인 전극을 노출시키는 제1 콘택홀 및 상기 단선부를 노출시키는 제2 콘택홀을 형성하는 단계;
- (d) 제2 금속 패턴으로 상기 구동 소자의 게이트 전극과, 상기 제1 콘택홀을 통해 드레인 전극과 연결되는 상기 발광 소자의 애노드 전극과 상기 제2 콘택홀을 통해 인접한 단선부들을 연결하는 연결 패턴을 형성하는 단계;
- (e) 상기 애노드 전극의 위에 발광층을 형성하는 단계; 및
- (f) 상기 발광층 위에 상기 발광 소자의 캐소드 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 9.

제8항에 있어서, 상기 단계(a)는

- (a1) 상기 베이스 기관 위에 제1 금속층 및 오믹 콘택층을 순차적으로 적층하는 단계; 및
- (a2) 상기 제1 금속층 및 오믹 콘택층을 동시에 패터닝하여 상기 제1 금속패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

청구항 10.

제8항에 있어서, 상기 제1 금속패턴이 형성된 베이스 기관 위에 저항성 접착층을 증착 및 패터닝하여 상기 소스 전극 및 드레인 전극 위에 채널부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 기관의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시기관 및 이의 제조방법에 관한 것으로, 보다 상세하게는 제조 공정을 감소시키기 위한 표시 기관 및 이의 제조방법에 관한 것이다.

유기전계발광 소자(Organic Light Emitting Diode)는 두 개의 전극과 상기 전극 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 상기 발광층에서 결합하여 여기자(exciton)를 형성하고, 상기 여기자가 에너지를 방출하면서 발광한다. 유기전계발광 소자는 수동 매트릭스 방식과 능동 매트릭스 방식으로 분류된다.

현재 상용화되어 있는 제품은 대부분 수동 매트릭스 방식 유기전계발광 소자(Passive Matrix Organic Light Emitting Diode)로, 직교하는 양극배선과 음극배선 사이에 유기물이 삽입되어 있는 단순한 구조이다. 그러나 소비전력이 높아 대면적화가 어렵고 고해상도 제작이 불가능하다는 단점이 있다.

능동 매트릭스 방식 유기전계발광 소자(Active Matrix Organic Light Emitting Diode, 이하 AMOLED)는 각 화소를 스위칭하는 소자(thin film transistor)를 가지며, 스위칭 소자를 이용하여 각각의 화소를 조절하므로 소비전력이 적고 우수한 화질을 얻을 수 있다는 장점이 있다.

유기전계발광 소자는 전류량에 따라 휘도가 증가하는 특성을 갖기 때문에, AMOLED를 구동시키기 위해서는 최소한 두 개 이상의 TFT가 사용된다. 하나는 스위칭 TFT이며 다른 하나는 전류제어를 위한 구동 TFT이다.

일반적으로 AMOLED의 스위칭 소자는 게이트 전극이 소스 전극 및 드레인 전극의 하부에 형성되는 바텀 게이트 방식 또는 게이트 전극이 소스 전극 및 드레인 전극의 상부에 형성되는 탑 게이트 방식으로 형성된다.

탑 게이트 스위칭 소자의 제조 공정은 화소 전극을 패터닝하는 단계와, 소스 및 드레인 전극을 패터닝 하는 단계와, 오믹 콘택층을 패터닝 하는 단계와, 활성층 및 게이트 절연막을 동시에 패터닝하는 단계와, 게이트 전극을 패터닝하는 단계를 포함한다.

이와 같이, 마스크 5매 공정의 탑 게이트 방식으로 스위칭 소자를 형성할 경우, 제조 공정 및 비용이 증가하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 제조 공정 및 제조 비용을 절감시키기 위한 표시 기관 및 이의 제조방법을 제공하는 것이다.

발명의 구성

상기한 본 발명의 목적을 실현하기 위하여 일실시예에 따른 표시 기관은 제1 방향으로 연장되며 제1 금속패턴으로 형성된 소스 배선과, 상기 소스 배선과 인접하고 상기 제1 방향으로 연장되며 상기 제1 금속패턴으로 형성된 전원 배선과, 상기 제1 방향과 교차하는 제2 방향으로 연장되고, 상기 제1 금속패턴으로 형성되며, 상기 소스 및 전원 배선과 교차하는 영역에 단선부가 형성된 게이트 배선과, 제2 금속 패턴으로 형성되어 인접한 단선부들 간을 전기적으로 연결시키는 연결 패턴과, 상기 제2 금속 패턴으로 형성된 게이트 전극, 상기 전원 배선으로부터 연장된 소스 전극 및 상기 제1 금속 패턴으로 형성된 드레인 전극을 포함하는 구동 소자 및 상기 구동 소자의 드레인 전극과 전기적으로 연결되고 상기 제2 금속 패턴으로 형성된 애노드 전극을 갖는 발광 소자를 포함한다.

제1 방향으로 연장된 소스 배선 및 전원 배선과, 제2 방향으로 연장된 게이트 배선에 의해 화소 영역이 정의되고, 상기 화소 영역에는 상기 전원 배선에 연결된 구동 소자와, 상기 구동 소자에 연결된 발광 소자가 형성된 본 발명의 실시예에 따른 표시 기관의 제조 방법은, 베이스 기관 위에 제1 금속 패턴으로 상기 소스 배선, 전원 배선, 단선부를 갖는 게이트 배선, 상기 구동 소자의 소스 전극 및 드레인 전극을 형성하는 단계와, 상기 제1 금속 패턴이 형성된 베이스 기관 위에 패시베이션층을 형성하는 단계와, 상기 드레인 전극을 노출시키는 제1 콘택홀 및 상기 단선부를 노출시키는 제2 콘택홀을 형성하는 단계와, 제2 금속 패턴으로 상기 구동 소자의 게이트 전극과, 상기 제1 콘택홀을 통해 드레인 전극과 연결되는 상기 발광 소자의 애노드 전극과 상기 제2 콘택홀을 통해 인접한 단선부들을 연결하는 연결 패턴을 형성하는 단계와, 상기 애노드 전극의 위에 발광층을 형성하는 단계 및 상기 발광층 위에 상기 발광 소자의 캐소드 전극을 형성하는 단계를 포함한다.

이러한 표시 기관 및 이의 제조방법에 의하면, 제조 공정 및 제조 비용을 절감할 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도면에서 여러 층(또는 막) 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 전체적으로 도면 설명시 관찰자 관점에서 설명하였고, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라, 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 의미한다.

도 1은 본 발명의 실시예에 따른 표시 기관의 평면도이다.

도 1을 참조하면, 표시 기관(100)은 복수의 소스 배선(DL)들과, 복수의 게이트 배선(GL)들과, 복수의 전원선(VL)들에 의해 정의되는 복수의 화소부(P)들을 포함한다.

상기 소스 배선(DL)들 및 전원선(VL)들은 제1 방향으로 연장되고, 상기 게이트 배선(GL)들은 상기 제1 방향과 교차하는 제2 방향으로 연장된다. 상기 소스 배선(DL)들 및 전원선(VL)들과 교차하는 상기 게이트 배선(GL)들은 각각의 교차영역마다 단선되어 단선부(121)를 갖는다.

각각의 화소부(P_i, P_j, P_k...)에는 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 스토리지 캐패시터(CST) 및 유기전계발광소자(EL)들이 형성된다.

상기 제1 스위칭 소자(TFT1)는 제1 소스 전극(122), 제1 드레인 전극(124), 제1 채널부(132) 및 제1 게이트 전극패턴(152)을 포함한다.

상기 제1 소스 전극(122)은 상기 소스 배선(DL)과 연결되어 형성된다.

상기 제1 드레인 전극(124)은 상기 제1 소스 전극(122)과 소정 간격 이격하여 형성되며, 상기 스토리지 캐패시터(CST) 및 상기 제2 스위칭 소자(TFT2)와 전기적으로 연결된다.

상기 제1 채널부(132)는 상기 제1 소스 및 드레인 전극(122, 124)과 상기 제1 게이트 전극패턴(152) 사이에 형성된다.

상기 제1 게이트 전극패턴(152)은 상기 게이트 배선(GL)의 단선부(121)를 커버하도록 상기 단선부(121)보다 넓게 형성됨과 동시에 상기 제1 채널부(132)를 커버하도록 연장되어 형성된다.

상기 제2 스위칭 소자(TFT2)는 상기 유기전계발광소자(EL)를 구동하는 구동 소자로, 제2 소스 전극(126), 제2 드레인 전극(128) 제2 채널부(134) 및 제2 게이트 전극패턴(154)을 포함한다.

상기 제2 소스 전극(126)은 상기 전원선(VL)과 연결되어 형성된다.

상기 제2 드레인 전극은 상기 제2 소스 전극(126)과 소정간격 이격되어 형성되며, 상기 유기전계발광 소자(EL)와 전기적으로 연결된다.

상기 제2 채널부(134)는 상기 제2 소스 및 드레인 전극(124, 126)과 상기 제2 게이트 전극패턴(154) 사이에 형성된다.

상기 제2 게이트 전극패턴(154)은 상기 제1 드레인 전극(124)과 전기적으로 연결되며, 상기 제1 드레인 전극(124)의 일부와 상기 제2 채널부(134)를 커버하도록 연장되어 형성된다.

상기 스토리지 캐패시터(CST)는 상기 전원선(VL) 및 상기 제2 소스 전극(126)과 연결된 제1 전극(129)과, 제2 게이트 전극패턴(154)과 연결된 제2 전극(156)을 포함한다.

상기 유기전계발광소자(EL)는 상기 제2 드레인 전극(128)과 연결되는 화소 전극(158)과, 공통 전극(미도시)과, 상기 화소 전극(158)과 공통 전극(미도시) 사이에 개재된 유기전계발광층(170)을 포함한다.

상기 표시패널은 상기 제1 및 제2 채널부(132, 134)와 상기 제1 및 제2 게이트 전극패턴(152, 154) 사이에 형성되는 패시베이션 막(미도시)을 더 포함한다.

상기 패시베이션막(미도시)은 상기 단선된 게이트 배선(GL)의 일측 단부에 해당하는 영역에 형성되어 상기 게이트 배선(GL)의 일측 단면을 노출 시키는 제1 콘택홀(142i, 142j)들과, 반대측 단부에 해당하는 영역에 형성되어 상기 게이트 배선(GL)의 반대측 단면을 노출시키는 제2 콘택홀(143j, 143k)들을 포함한다.

상기 제1 콘택홀들(142i, 142j) 및 제2 콘택홀들(143j, 143k)은 각각의 화소부(Pi, Pj, Pk...)에 따라 제i 화소부(Pi)에 형성된 제1 콘택홀(142i), 제j 화소부(Pj)에 형성된 제1 콘택홀(142j) 및 제2 콘택홀(143j), 제k 화소부(Pk)에 형성된 제2 콘택홀(143k)들을 포함한다.

일례로, 제k 화소부(Pk)에 형성된 제2 콘택홀(143k)과 제j 화소부(Pj)에 형성된 제1 콘택홀(142j)을 상기 제1 게이트 전극 패턴(152)이 커버하므로써, 단선되었던 상기 게이트 배선(GL)들이 전기적으로 연결된다.

상기 패시베이션 막(미도시)는 또한 상기 제1 드레인 전극(124)의 소정 영역을 노출시키는 제3 콘택홀과(144), 상기 제2 드레인 전극(128)의 소정 영역을 노출시키는 제4 콘택홀(146)들을 포함한다.

상기 제3 콘택홀(144)을 통해 상기 제1 드레인 전극(124)과 상기 제2 게이트 전극 패턴(154)이 전기적으로 연결되며, 상기 제4 콘택홀(144)을 통해 상기 제2 드레인 전극(128)과 상기 유기전계발광층(170)이 전기적으로 연결된다.

상기 화소부(P)의 구동방식은 다음과 같다. 게이트배선(GL)을 통하여 게이트 신호가 제1 스위칭 소자(TFT1)의 제1 게이트 전극 패턴(152)으로 공급되면, 상기 제1 스위칭 소자(TFT1)는 턴-온 된다. 상기 소스 배선(DL)으로부터 공급된 화소 신호는 상기 턴-온된 제1 스위칭 소자(TFT1)를 경유하여 상기 스토리지 캐패시터(CST)로 공급되며, 상기 스토리지 캐패시터(CST)는 공급된 화소 신호를 유지한다.

상기 스토리지 캐패시터(CST)에 의해 유지된 화소 신호는 제2 스위칭 소자(TFT2)의 제2 게이트 전극 패턴(154)에 공급되어 상기 제2 스위칭 소자가 턴-온된다. 상기 턴-온된 제2 스위칭 소자(TFT2)를 통하여 화소 전극(158)이 전원선(VL)에 전기적으로 접촉하면 상기 전원선(VL)으로부터 화소 전극(158)으로 구동 전류가 흐른다.

상기 전원선(VL)으로부터 화소 전극(158)으로 구동 전류가 흐르고, 또한 유기전계발광층(170)을 통하여 공통 전극(미도시)으로 전류가 흐른다. 상기 유기전계발광층(170)은 이에 흐르는 전류량에 따라 발광 한다.

도 2는 도 1에 도시된 I-I'라인을 따라 절단한 단면도이다.

도 1 및 도 2를 참조하면, 상기 표시 기관(100)은 베이스 기관(110)을 포함한다. 상기 베이스 기관(110) 위에는 제1 금속 패턴(120) 내지 제2 금속 패턴(150)을 포함하는 소스 배선(DL)들, 게이트 배선들(GL), 전원선(VL)들, 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 스토리지 캐패시터(CST) 및 유기전계발광소자(EL)가 형성된다.

상기 베이스 기관(110)은, 예를 들면, 유리(Glass), 사파이어(Sapphire) 또는 폴리에스테르(Polyester), 폴리아크릴레이트(Poly acrylate), 폴리카보네이트(Poly carbonate), 폴리에테르케톤(Poly ether ketone) 등의 투명한 합성 수지로 형성된다.

상기 제1 금속 패턴(120)은 저저항 금속층(112)위에 오믹 콘택층(114)이 적층된 구조로 형성되고, 상기 제2 금속 패턴(150)은 저저항 금속층으로 이루어진다.

이때, 상기 저저항 금속층은 일례로, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 혼합물을 포함하는 합금 등으로 이루어 질 수 있으며, 물리적 성질이 다른 두 개 이상의 층으로 형성될 수도 있다.

상기 제2 금속 패턴(150)은 불투명한 재질의 금속층 또는 투명한 도전성 물질로 형성될 수 있다. 상기 불투명한 재질의 금속층은 일례로 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 혼합물을 포함하는 합금 등으로 이루어 질 수 있으며, 상기 투명한 도전성 물질은 일례로 인듐 틴 옥사이드(Indium Tin Oxide) 또는 인듐 징크 옥사이드(Indium Zinc Oxide)로 이루어 질 수 있다.

상기 소스 배선(DL), 게이트 배선(GL) 및 전원선(VL)들은 상기 제1 금속 패턴(120)으로 동시에 패터닝되며, 상기 소스 배선(DL) 및 전원선(VL)들과 교차하는 영역에서의 상기 게이트 배선(GL)은 단선부(121)를 갖는다.

상기 제1 스위칭 소자(TFT1)는 상기 베이스 기판(110) 위에 형성된 제1 소스 및 드레인 전극(122,124)과, 상기 제1 소스 및 드레인 전극(122,124)위에 형성된 제1 채널부(132)와, 상기 제1 채널부(132) 위에 형성된 패시베이션 막(140)과, 상기 패시베이션 막(140) 위에 형성된 제1 게이트 전극패턴(152)을 포함한다.

제1 소스 전극(122) 및 제1 드레인 전극(124)은 상기 제1 금속 패턴(120)으로 형성되며, 상기 제1 게이트 전극 패턴(152)은 상기 제2 금속 패턴(150)으로 형성된다.

상기 제2 스위칭 소자(TFT2)는 상기 베이스 기판(110)위에 형성된 제2 소스 및 드레인 전극(126,128)과, 상기 제2 소스 및 드레인 전극(126,128)위에 형성된 제2 채널부(134)와, 상기 제2 채널부(134) 위에 형성된 패시베이션 막(140)과 상기 패시베이션 막(140) 위에 형성된 제2 게이트 전극 패턴(154)을 포함한다.

상기 제2 소스(126) 및 드레인 전극(128)은 상기 제1 소스 및 드레인 전극(122,124)과 동일한 제1 금속 패턴(120)으로 형성되고, 상기 제2 게이트 전극 패턴(154)은 상기 제1 게이트 전극 패턴(152)과 동일한 제2 금속 패턴(150)으로 형성된다.

상기 패시베이션 막(140)은 상기 제2 금속 패턴(150)을 커버하도록 상기 베이스 기판의 전면에 형성된다.

상기 패시베이션 막(140)은 단선 되어 각각 분리된 상기 게이트 배선(GL)의 일측 단부를 노출시키는 제1 콘택홀(142i,142j)들과 반대측 단부를 노출시키는 제2 콘택홀(143j,143k)들을 포함한다. 상기 제1 콘택홀(142i,142j) 및 제2 콘택홀(143j,143k)들은 각각의 화소부(Pi,Pj,Pk...)에 따라 제j 화소부(Pj)에 형성된 제1 콘택홀(142j)과, 제k 화소부(Pk)에 형성된 제2 콘택홀(143k)들을 포함한다.

또한, 상기 패시베이션 막(140)은 상기 제1 드레인 전극(124)의 일부를 노출시키는 제3 콘택홀(144)들과, 상기 제2 드레인 전극의 일부를 노출시키는 제4 콘택홀(146)들을 포함한다.

상기 제1, 제2, 제3 및 제4 콘택홀(142i,142j,143j,143k,144,146)들이 노출시키는 영역의 상기 제1 금속 패턴(120)은 상기 오믹 콘택층(114)이 식각 되어 상기 저저항 금속층(112)이 노출된다.

상기 스토리지 캐패시터(CST)는 상기 전원선(VL)및 상기 제2 소스 전극(126)과 연결된 제1 전극(129)과, 상기 제1 전극(129)위에 형성된 상기 패시베이션 막(140)과, 상기 패시베이션 막(140)위에 형성되며 상기 제2 게이트 전극패턴(154)과 연결된 제2 전극(156)으로 형성된다.

상기 제1 전극(129)은 상기 전원선(VL)과 연결되어 형성되므로, 상기 전원선(VL)과 동일한 제1 금속패턴(120)으로 형성된다.

상기 제2 전극은 상기 제2 게이트 전극패턴(154)과 연결되므로 상기 제2 게이트 전극패턴(154)과 동일한 제2 금속패턴(150)으로 형성된다.

상기 유기전계발광소자(EL)는 화소 전극(158)과, 유기전계발광층(170)과 공통 전극(180)을 포함한다.

상기 화소 전극(158)은 각각의 화소부(Pi,Pj,Pk...)에 대응하는 패시베이션 막(140)위에 형성되며, 상기 제2 금속패턴(150)으로 이루어진다.

상기 유기전계발광층(170)은 상기 화소 전극(158) 위에 형성되며, 정공 주입층, 정공 수송층, 발광층, 전자 주입층 및 전자 수송층의 일부 또는 전부를 포함하며, बैं크층(160)으로 분리 구획된 발광 영역에 해당하는 화소 전극(158) 위에 형성된다.

상기 공통 전극(180)은 상기 유기전계발광층(170) 및 बैं크부(160) 상부 전면에 형성되며, 상기 화소 전극(158)과 쌍을 이루어 상기 유기전계발광층(170)에 전류를 흘려 보내는 역할을 한다. 이때, 상기 화소 전극(158)은 전자를 제공하는 양극(Anode)으로 작용하고 상기 공통 전극(180)은 정공을 제공하는 음극(Cathode)으로 작용한다.

상기 공통 전극(180) 상부에는 수분 및/또는 산소의 침투를 방지하기 위한 보호층(190)이 형성될 수 있다. 보호층(190)은 유기전계발광층(170)으로부터 발생된 광이 투과될 수 있도록 투명한 물질로 형성된다.

보호층(190)은 유기물로 이루어진 유기막 또는 무기물로 이루어진 무기막으로 이루어진다. 유기막은 예를 들어, 폴리 아세틸렌(Polyacetylene) 또는 폴리 이미드(Polyimide) 등의 유기물을 포함한다. 무기막은 예를 들어, 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 마그네슘 옥사이드, 알루미늄 옥사이드, 알루미늄 나이트라이드 또는 타이타늄 옥사이드 등의 무기물을 포함한다. 무기막은 스퍼터 또는 CVD 등의 진공 증착 장비를 통해 형성된다. 한편, 보호층(190)은 유기막과 무기막이 교대로 형성된 다층 구조를 가질 수 있다. 보호층(190)은 수분 및/또는 산소를 흡수하기 위한 흡습제를 더 포함할 수 있다.

보호층(190)은 공통 전극(180)의 상부에 전면적으로 형성된다. 이와 달리, 보호층(190)은 유기전계발광층(170)에 대응되는 영역에만 선택적으로 형성될 수도 있다.

도 3a 내지 도 3e는 도 2에 도시된 표시 기관의 제조 방법을 설명하는 공정도들이다.

도 3a를 참조하면, 베이스 기관(110)위에 저저항 금속층(미도시)을 형성한 후, n 형 불순물이 고농도로 도핑 되어 있는 n⁺ 수소화 비정질 규소등의 물질로 오믹 콘택층(미도시)을 적층한다. 상기 저저항 금속층은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 혼합물을 포함하는 합금을 포함하는 도전막으로, 스퍼터링 공정에 의해 증착된다. 이때, 상기 저저항 금속층은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수도 있다.

이어서, 제1 마스크(MASK 1)를 이용한 사진 식각 공정으로 상기 오믹 콘택층 및 저항성 접촉층을 동시에 식각하여 게이트 배선(GL), 소스 배선(DL), 제1 소스 전극(122), 제1 드레인 전극(124), 전원선(미도시), 제1 전극(미도시), 제2 소스 전극(126) 및 제2 드레인 전극(128)을 포함하는 제1 금속 패턴(120)을 형성한다. 즉, 상기 제1 금속 패턴(120)은 하부에는 저저항 금속층(112)이 형성되고 상부에는 오믹 콘택층(114)이 형성된 적층 구조를 갖는다.

이때, 도 1 및 도 3a를 참조하면, 상기 소스 배선(DL) 및 전원선(VL)은 제1 방향으로 연장되고, 상기 게이트 배선(GL)은 상기 제1 방향과 교차하는 제2 방향으로 연장되도록 형성한다. 상기 소스 배선(DL)들 및 전원선(VL)들과 교차하는 상기 게이트 배선(GL)들은 각각의 교차영역 마다 단선되어 형성된다. 따라서, 상기 각각의 화소부(Pi,Pj,Pk,...)에 해당하는 게이트 배선들(GLi, GLj, GLk,...)이 형성되며, 각각의 게이트 배선들(GLi, GLj, GLk,...)사이에는 단선부(121)가 형성된다.

도 3b를 참조하면, 상기 제1 금속 패턴(120)이 형성된 베이스 기관(110) 위에 수소화 비정질 실리콘 등으로 이루어진 활성층(미도시)을 형성한다. 이어서 제2 마스크(MASK 2)를 이용한 사진 식각 공정으로 상기 활성층(미도시)을 식각 하여, 상기 제1 소스 및 드레인 전극(122,124)의 일부를 커버하도록 상기 베이스 기관(110)위에 제1 채널부(132)를 형성한다. 마찬가지로, 상기 제2 소스 및 드레인 전극(126,128)의 일부를 커버하도록 상기 베이스 기관(110) 위에 제2 채널부(134)를 형성한다.

도 1 및 도 3c를 참조하면, 상기 제1 및 제2 채널부(132,134)가 형성된 베이스 기관(110)위에 패시베이션 막(140)을 증착한다. 이어서, 제3 마스크(MASK 3)를 이용한 사진 식각 공정을 통해 상기 패시베이션 막(140) 및 상기 패시베이션 막(140) 하부에 위치한 오믹 콘택층(114)을 동시에 식각하여, 제1, 제2, 제3 및 제4 콘택홀(142i,142j,143j,143k,144,146)들을 형성한다.

상기 제1 콘택홀(142i,142j)들은 상기 단선된 게이트 배선(GL)의 일측 단부에 대응하는 소정 영역에 형성되어 상기 게이트 배선(GL)의 일측 단면을 노출시킨다.

상기 제2 콘택홀(143j,143k)들은 상기 단선된 게이트 배선(GL)의 반대측 단부에 대응하는 소정영역에 형성되어 상기 게이트 배선(GL)의 반대측 단면을 노출 시킨다.

이때, 상기 제1 콘택홀(142i,142j)들은 제j 화소부(Pj)에 형성된 제1 콘택홀(142j)을 포함하며, 상기 제2 콘택홀(143)들은 제k 화소부(Pk)에 형성된 제2 콘택홀(143k)을 포함한다.

상기 제3 콘택홀(144)은 상기 제1 드레인 전극(124)의 소정 영역을 노출시키며, 상기 제4 콘택홀(146) 제2 드레인 전극(126)의 소정 영역을 노출시키도록 형성된다.

도 3d를 참조하면, 상기 제1, 제2, 제3, 제4 콘택홀(142j,143k,144,146)들이 형성된 패시베이션 막(140) 위에 불투명한 재질의 금속층 또는 투명한 도전성 물질을 형성한다. 상기 금속층은 예를 들면, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄,

텅스텐, 구리, 은 등의 금속 또는 이들의 합금을 포함하는 도전막으로 형성될 수 있으며, 상기 투명한 도전성 물질은 일례로 인듐 틴 옥사이드(ITO) 또는 인듐 징크 옥사이드(IZO)로 이루어 질수 있다. 상기 금속층 또는 투명한 도전성 물질은 스퍼터링 공정에 의해 증착된다.

이어서, 제4 마스크(MASK 4)를 이용한 사진 식각 공정으로 상기 금속층(미도시)또는 투명한 도전성 물질(미도시)을 식각하여, 제1 게이트 전극패턴(152), 제2 게이트 전극패턴(154) 및 화소 전극(158)을 포함하는 제2 금속 패턴(150)을 형성한다.

도 1 및 도 3d를 참조하면, 상기 제1 게이트 전극패턴(152)은 제k 화소부(Pj)에 형성된 제2 콘택홀(143k), 제k 게이트 배선(GLk)과 제j 게이트 배선(GLj)의 단선부(121), 제j 화소부(Pj)에 형성된 제1 콘택홀(142j) 및 상기 제1 채널부(132)를 커버하도록 연장되어 상기 패시베이션 막(140)위에 형성된다.

상기 제1 게이트 전극패턴(152)이 제1 콘택홀(142j)을 통해 제j 게이트 배선(GLj)과 접촉하고, 동시에 제2 콘택홀(143k)을 통해 제k 게이트배선(GLk)에 접촉하므로써, 단선되었던 제j 게이트 배선(GLj)과 제k 게이트 배선(GLk)이 연결된다.

상기 제1 게이트 전극패턴(152)과 상기 게이트 배선(GL)은 모두 금속재질로 이루어지므로 저항 보상에 대한 문제가 발생하지 않는다.

또한, 상기 제1 채널부(132)위에 형성된 상기 제1 게이트 전극패턴(152)은 상기 게이트 배선(GL)으로부터 게이트 신호를 제공받음으로써 게이트 전극 기능을 수행한다. 따라서 게이트 전극이 소스 및 드레인 전극의 위에 형성된 탑 게이트(TOP GATE) 방식의 제1 스위칭 소자(TFT1)가 형성된다.

상기 제2 게이트 금속패턴(154)은 상기 제3 콘택홀(144) 및 제2 채널부(134)를 커버하도록 연장되어 형성된다. 상기 제2 게이트 금속패턴(154)은 상기 제3 콘택홀(144)을 통해 상기 제1 드레인 전극(124)과 전기적으로 접촉된다. 또한, 상기 제2 채널부(134)위에 형성된 상기 제2 게이트 금속패턴(154)은 스토리지 캐패시터(CST)에 충전된 화소 신호를 공급받음으로써, 게이트 전극 기능을 수행한다. 따라서 게이트 전극이 소스 및 드레인 전극 위에 형성된 탑 게이트 방식의 제2 스위칭 소자(TFT2)가 형성된다.

상기 화소 전극(158)은 상기 제4 콘택홀(146)을 통해 상기 제2 드레인 전극(128)과 전기적으로 접촉되도록 화소부(P)에 형성된다.

상기 화소 전극(158) 역시 제2 금속패턴(150)이므로, 상기 제2 금속 패턴이 불투명한 금속층으로 형성될 경우 상기 화소 전극(158)위에 형성될 유기전계발광층의 빛을 표시 화면 방향으로 반사시키므로써 탑 에미션 방식의 표시 기판이 형성된다.

또한 상기 제2 금속 패턴이 투명한 도전성 물질로 형성될 경우, 상기 유기전계발광층의 빛이 베이스 기판 방향으로 투과됨으로써 바텀 에미션 방식의 표시기판이 형성된다.

도 3e를 참조하면, 상기 화소 전극(158)이 형성된 기판 위에 뱅크부(160)를 형성한다. 상기 뱅크부(160)는 SiO₂, TiO₂ 등의 무기막 재료를 스퍼터링, 코팅법, 화학기상증착법 등을 통해 형성한다. 또는, 아크릴 수지, 폴리이미드 수지 등의 내열성, 내용제성을 갖는 재료를 포토리소그래피 기술등에 의해 패터닝하여 형성한다. 상기 뱅크부(160)는 게이트 배선(GL), 소스 배선(DL), 전원배선(VL), 제1 및 제2 스위칭 소자(TFT1, TFT2)가 형성된 영역 위에 형성되어 각각의 화소부(P)를 분리 구획하며, 뱅크부가 형성되지 않은 나머지 영역은 발광영역으로 정의된다.

이어서, 상기 발광영역에 해당하는 화소 전극(158)위에 정공 주입층, 정공 수송층, 발광층, 전자 주입층, 및 전자 수송층의 일부 또는 전부를 포함하는 유기전계발광층(170)을 형성한다.

이어서, 상기 유기전계발광층(170) 및 상기 뱅크부(160) 전면에 공통 전극(180)을 형성한다. 상기 공통 전극(180)은 투명한 도전성 물질로 형성되며, 일례로 ITO(Indium Tin Oxide), 또는 IZO(Indium Zinc Oxide)로 이루어진다. 상기 공통 전극(180)은 화학기상증착법, 스퍼터링법 등에 의해 형성된다.

상기 공통 전극(180)의 상부에는 수분 및/또는 산소의 침투를 방지하기 위한 보호층(190)이 형성될 수 있다. 보호층(190)은 유기전계발광층(170)으로부터 발생된 광이 투과될 수 있도록 투명한 물질로 형성된다.

보호층(190)은 유기물로 이루어진 유기막 또는 무기물로 이루어진 무기막으로 이루어진다. 유기막은 예를 들어, 폴리 아세틸렌(Polyacetylene) 또는 폴리 이미드(Polyimide) 등의 유기물을 포함한다. 무기막은 예를 들어, 실리콘 옥사이드, 실리콘 나이트라이드, 실리콘 옥시나이트라이드, 마그네슘 옥사이드, 알루미늄 옥사이드, 알루미늄 나이트라이드 또는 타이타늄 옥사이드 등의 무기물을 포함한다. 무기막은 스퍼터 또는 CVD 등의 진공 증착 장비를 통해 형성된다. 한편, 보호층(190)은 유기막과 무기막이 교대로 형성된 다층 구조를 가질 수 있다. 보호층(190)은 수분 및/또는 산소를 흡수하기 위한 흡습제를 더 포함할 수 있다.

보호층(190)은 공통 전극(180)의 상부에 전면적으로 형성되거나, 유기전계발광층(170)에 대응되는 영역에만 선택적으로 형성할 수 있다.

발명의 효과

이상에서 설명한 바와 같이 본 발명에 따르면, 소스 배선, 게이트 배선, 전원 배선을 동시에 식각하는 단계와, 채널부를 식각 하는 단계와, 패시베이션 막을 식각하는 단계와 게이트 전극패턴을 식각 하는 단계로 이루어진 4 마스크 공정의 탑 게이트 방식 스위칭 소자들을 형성하므로써, 유기전계발광 표시기판의 제조 공정 및 제조 비용을 절감할 수 있다.

이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 표시패널의 평면도이다.

도 2는 도 1에 도시된 I-I'라인을 따라 절단한 단면도이다.

도 3a 내지 도 3e는 도 2에 도시된 표시 기판의 제조 방법을 설명하는 공정도들이다.

<도면의 주요부분에 대한 부호의 설명>

100 : 표시 기판 120 : 제1 금속패턴

121 : 단선부 140 : 패시베이션 막

142i, 142j : 제1 콘택홀 143j, 143k : 제2 콘택홀

144 : 제3 콘택홀 146 : 제4 콘택홀

150 : 제2 금속패턴 152 : 제1 게이트 전극패턴

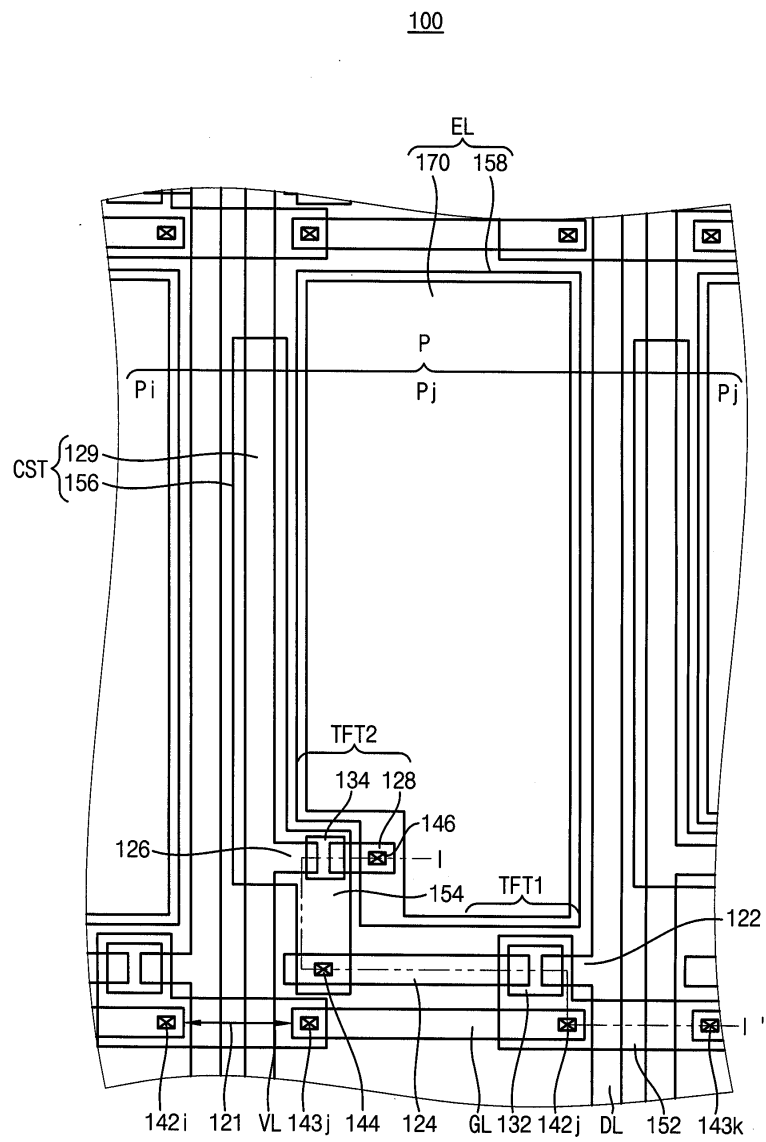
154 : 제2 게이트 전극패턴 158 : 화소 전극

160 : 뱅크부 170 : 유기전계발광층

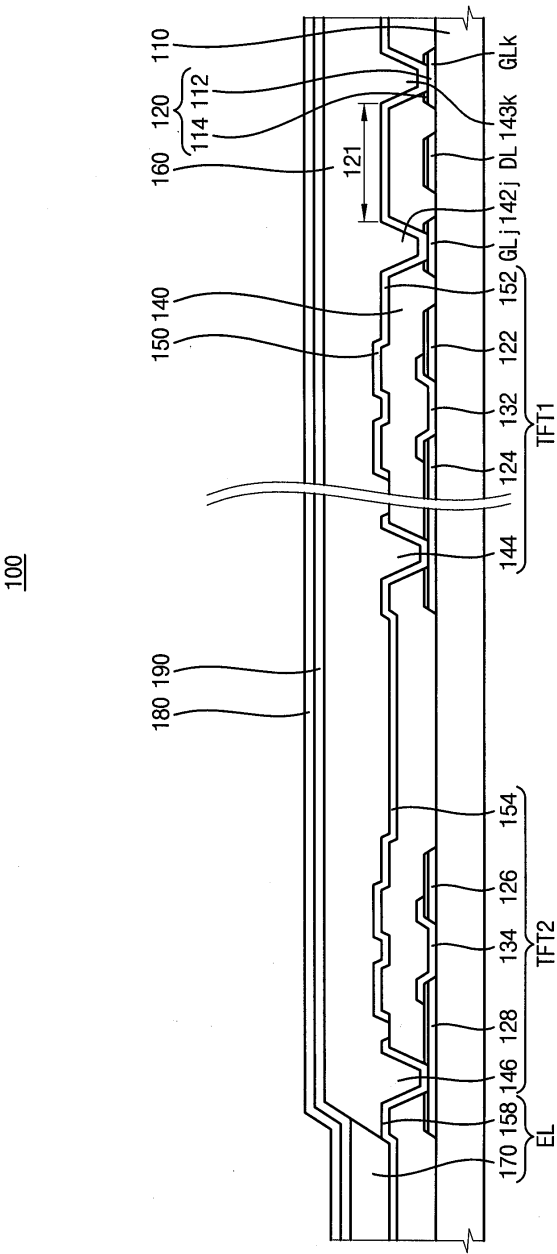
180 : 공통 전극 200 : 대향 기판

도면

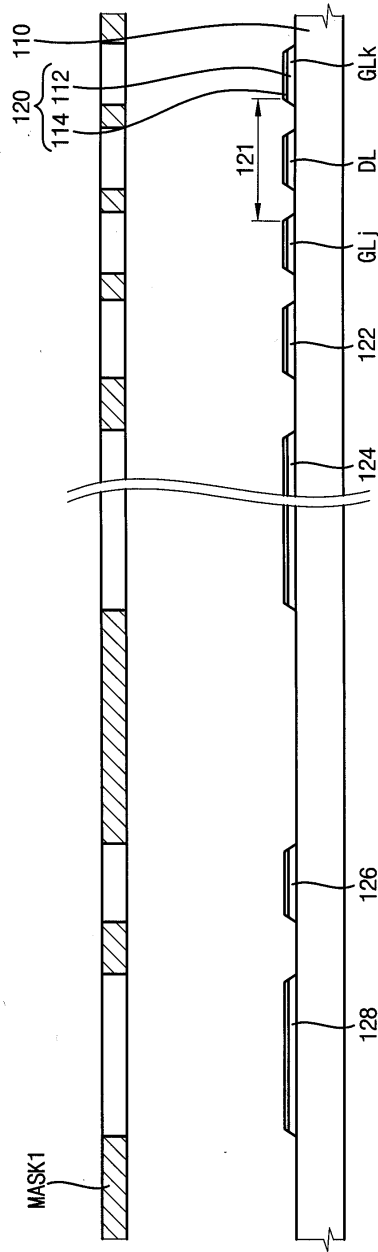
도면1



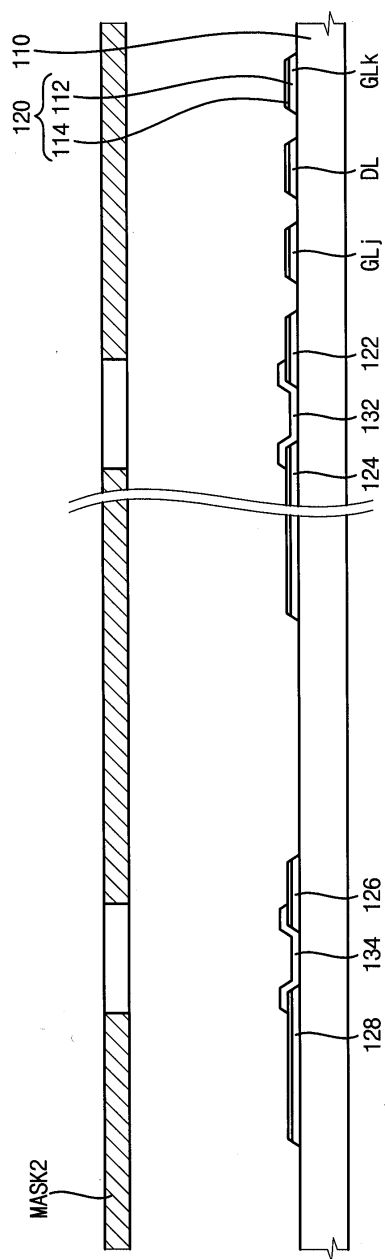
도면2



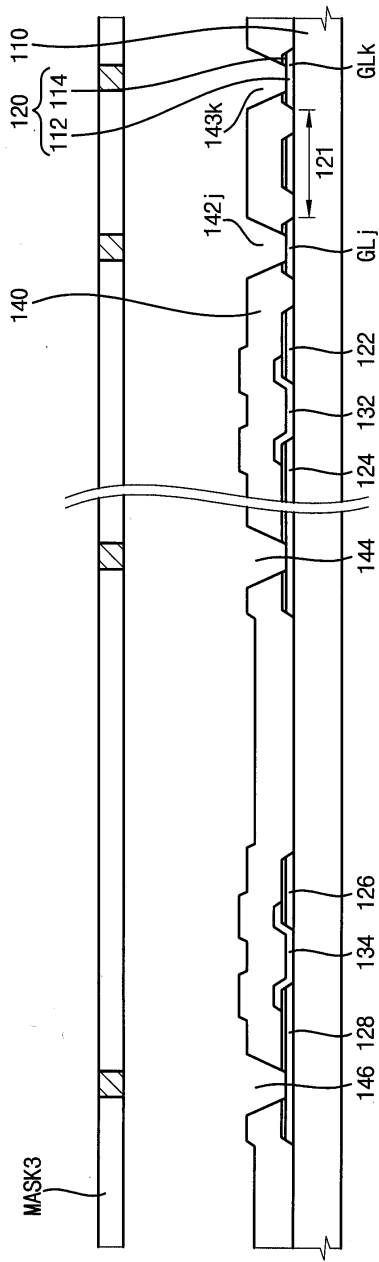
도면3a



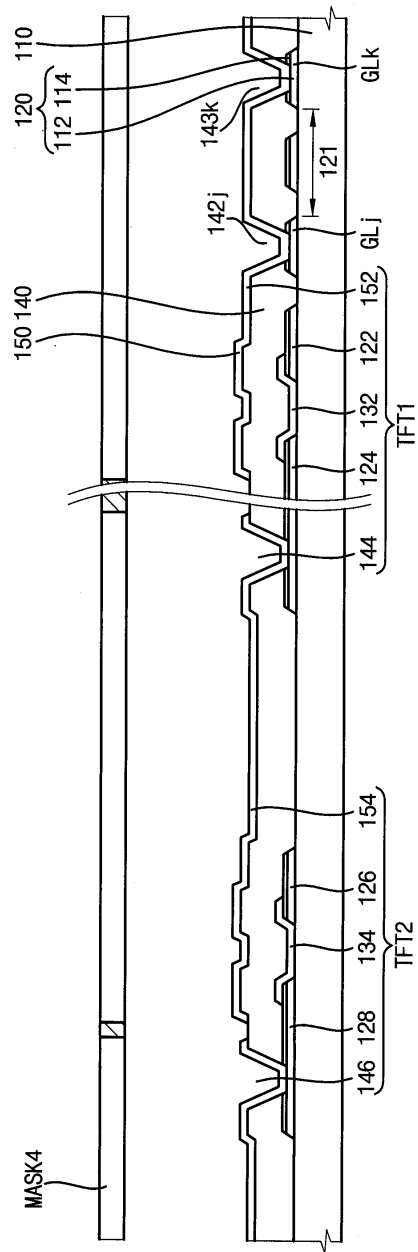
도면3b



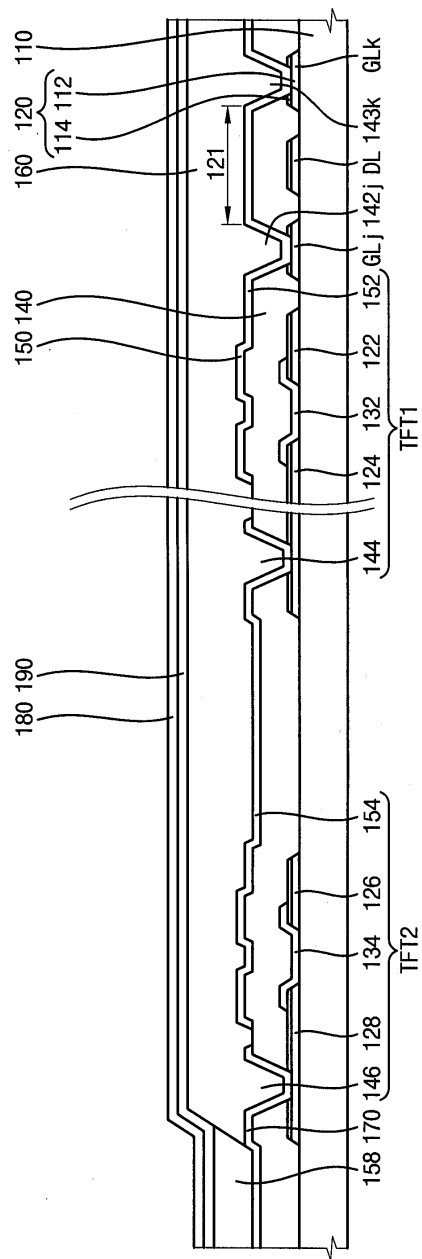
도면3c



도면3d



도면3e



专利名称(译)	显示基板及其制造方法		
公开(公告)号	KR1020070053838A	公开(公告)日	2007-05-28
申请号	KR1020050111536	申请日	2005-11-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHIN HONG KEE 진흥기 LEE YOUNG WOOK 이영욱 KIM BYOUNG JUNE 김병준 KIM SANG GAB 김상갑 OH MIN SEOK 오민석		
发明人	진흥기 이영욱 김병준 김상갑 오민석		
IPC分类号	H05B33/00 H05B33/10		
CPC分类号	H01L27/3276 H01L27/124 H01L27/3244 H01L27/3248 H01L51/56		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

公开了一种用于减少制造工艺的显示基板及其制造方法。制造显示基板的方法包括在基板上形成具有第一金属图案的栅极布线的步骤，源极布线，电源线和断开部分，形成驱动器部件的源电极和漏电极的步骤，在形成有第一金属图案的基底基板上形成钝化层的步骤，形成暴露漏电极的第一接触孔和暴露断开部分的第二接触孔的步骤，形成连接图案的步骤通过驱动器组件的栅电极连接与第二金属图案相邻的断开部分，以及通过第一接触孔连接到漏电极的发光器件的阳极和第二接触孔，形成阳极电极和阴极电极上部的发光层。因此，由于在每个工艺中将显示基板的金属布线形成成为掩模4，所以可以减少制造工艺。有机电致发光，顶部发光，4掩模，开关元件，像素电极。

