

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G09G 3/30

(11) 공개번호 10-2005-0110942
(43) 공개일자 2005년11월24일

(21) 출원번호 10-2004-0035917
(22) 출원일자 2004년05월20일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 정보용
서울특별시송파구가락2동173-19호

(74) 대리인 유미특허법인

심사청구 : 있음

(54) 발광 표시 장치 및 그 구동 방법

요약

본 발명은 발광 표시 장치 및 그 구동 방법에 관한 것이다. 본 발명에 따르면 화소 회로는 발광 소자, 발광 소자를 구동하는 제1 트랜지스터, 직전 주사선의 선택 신호에 응답하여 트랜지스터를 다이오드 연결시키는 제1 스위칭 소자, 일전극이 트랜지스터의 제어 전극에 접속되는 제1 커패시터, 제1 전원과 제1 커패시터의 타전극 간에 접속되는 제2 커패시터, 직전 주사선의 선택 신호에 응답하여 제1 커패시터의 타전극과 제2 전원을 연결하는 제2 스위칭 소자, 및 현재 주사선으로부터의 선택 신호에 응답하여 데이터 전압을 제1 커패시터의 타전극으로 전달하는 제3 스위칭 소자를 포함하며, 현재 주사선에 인가되는 선택 신호는 직전 주사선에 선택 신호가 인가된 이후 제1 기간이 경과된 타이밍에서 인가된다.

대표도

도 7

색인어

유기 EL, 표시 장치, 선택 신호, 지연 시간, 휘도 불균일

명세서

도면의 간단한 설명

도 1은 종래의 화소 회로를 도시한 것이다.

도 2는 종래의 다른 화소 회로를 도시한 것이다.

도 3은 본 발명의 일실시예에 따른 발광 표시 장치를 개략적으로 도시한 것이다.

도 4는 본 발명의 제1 실시예에 따른 화소 회로의 등가 회로도이다.

도 5는 도 4의 화소 회로를 구동하기 위한 본 발명의 제1 실시예에 따른 구동 파형을 도시한 것이다.

도 6은 이상적인 주사 신호와 현실의 주사 신호를 예시적으로 도시한 것이다.

도 7은 도 4의 화소 회로를 구동하기 위한 본 발명의 제2 실시예에 따른 구동 파형을 도시한 것이다.

도 8은 도 7에 도시된 구동 파형을 생성할 수 있는 주사 구동부를 예시적으로 도시한 것이다.

도 9는 도 8에 도시된 주사 구동부의 구동 파형도이다.

도 10은 본 발명의 제2 실시예에 따른 화소 회로를 도시한 것이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 유기 전계발광(electroluminescent, 이하 'EL'이라 함) 표시 장치 및 그 구동 방법에 관한 것이다.

일반적으로 유기 EL 표시 장치는 형광성 유기 화합물을 전기적으로 여기시켜 발광시키는 표시 장치로서, N X M 개의 유기 발광셀들을 전압 기입 혹은 전류 기입하여 영상을 표현할 수 있도록 되어 있다. 이러한 유기 발광셀은 애노드, 유기 박막, 캐소드 레이어의 구조를 가지고 있다. 유기 박막은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emitting layer, EML), 전자 수송층(electron transport layer, ETL), 및 정공 수송층(hole transport layer, HTL)을 포함한 다층 구조로 이루어지고, 또한 별도의 전자 주입층(electron injecting layer, EIL)과 정공 주입층(hole injecting layer, HIL)을 포함하고 있다.

이와 같이 이루어지는 유기 발광셀을 구동하는 방식에는 단순 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor, TFT) 또는 MOSFET를 이용한 능동 구동(active matrix) 방식이 있다. 단순 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 구동 방식은 박막 트랜지스터와 커패시터를 각 ITO(indium tin oxide) 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동 방식이다. 이때, 커패시터에 전압을 유지시키기 위해 인가되는 신호의 형태에 따라 능동 구동 방식은 전압 기입(voltage programming) 방식과 전류 기입(current programming) 방식으로 나누어진다.

도 1은 TFT를 이용하여 유기 EL 소자를 구동하기 위한 종래의 화소 회로로서, N X M 개의 화소 회로 중 하나를 대표적으로 도시한 것이다.

도 1에 도시된 바와 같이, 유기 EL 소자(OLED)에 트랜지스터(M1)가 연결되어 발광을 위한 전류를 공급한다. 트랜지스터(M1)의 전류량은 스위칭 트랜지스터(M2)를 통해 인가되는 데이터 전압에 의해 제어되도록 되어 있다. 이때, 인가된 전압을 일정 기간 유지하기 위한 커패시터(Cst)가 트랜지스터(M2)의 소스와 게이트 사이에 연결되어 있다. 트랜지스터(M2)의 게이트는 주사선(Sn)에 연결되고, 소스는 데이터선(Dm)에 연결되어 있다.

이와 같은 종래의 화소 회로의 동작을 살펴보면, 트랜지스터(M2)의 게이트에 인가되는 선택 신호에 의해 트랜지스터(M2)가 턴온되면, 데이터선(Dm)을 통해 데이터 전압이 구동 트랜지스터(M1)의 게이트에 인가된다. 그리고, 게이트에 인가되는 데이터 전압에 대응하여 트랜지스터(M1)를 통해 유기 EL 소자(OLED)에 전류가 흘러 발광이 이루어진다.

이때, 유기 EL 소자(OLED)에 흐르는 전류는 다음의 수학식 1과 같다.

수학식 1

$$I_{OLED} = \frac{\beta}{2}(V_{gs} - V_{th})^2 = \frac{\beta}{2}(V_{DD} - V_{data} - |V_{th}|)^2$$

여기서, I_{OLED} 는 유기 EL 소자(OLED)에 흐르는 전류, V_{gs} 는 트랜지스터(M1)의 게이트와 소스 사이의 전압, V_{th} 는 트랜지스터(M1)의 문턱 전압, V_{data} 는 데이터 전압, β 는 상수 값을 나타낸다.

수학식 1에 나타낸 바와 같이, 도 1에 도시된 화소 회로에 의하면 인가되는 데이터 전압(V_{data})에 대응되는 전류가 유기 EL 소자(OLED)에 공급되고, 공급되는 전류에 대응하여 유기 EL 소자(OLED)가 발광하게 된다.

그러나, 도 1에 도시된 화소 회로는 구동 트랜지스터(M1)의 문턱 전압(V_{th}) 및 캐리어(carrier)의 이동도의 편차에 의하여 화소 회로 사이에 휘도가 불균일하게 되는 문제가 있었다.

도 2는 종래의 다른 화소 회로를 도시한 것으로, 구동 트랜지스터(M1)의 문턱 전압(V_{th}) 변화에 의한 휘도 불균일성을 방지할 수 있는 화소 회로를 나타낸 것이다.

그런데, 이러한 회로에서는 제어 신호(AZn)가 로우(Low)인 동안에 구동 트랜지스터를 구동하는 데이터 전압이 전압(V_{DD})과 같아야 한다. 또한, 제어 신호(AZn)가 하이가 되고, 데이터선(Dm)에 로우 레벨의 데이터 전압이 인가되면, 구동 트랜지스터(M1)의 게이트와 소스 간의 전압은 다음의 수학식 2와 같게 된다.

수학식 2

$$V_{gs} = V_{th} - \frac{C1}{C1 + C2}(V_{DD} - V_{data})$$

여기서, V_{th} 는 트랜지스터(M1)의 문턱 전압, V_{data} 는 데이터 전압, V_{DD} 는 전압을 나타낸다.

그러나, 도 2에 도시된 화소 회로는, 수학식 2에서 알 수 있듯이, 데이터 전압이 커패시터 $C1$, $C2$ 에 의해 분할되기 때문에, 커패시터 $C1$ 의 값이 커야 하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차를 보상하여 균일한 휘도를 표현할 수 있는 발광 표시 장치를 제공하기 위한 것이다.

본 발명의 다른 목적은 전원 전압을 공급하는 전원선에서 발생하는 전압 강하량을 보상하여 균일한 휘도를 표현할 수 있는 발광 표시 장치를 제공하기 위한 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위하여 본 발명의 하나의 특징에 따른 발광 표시 장치는 화상 신호에 대응되는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 주사선과 상기 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 발광 표시 장치로서, 상기 화소 회로는, 인가되는 전류에 대응하여 빛을 방출하는 발광 소자, 제어 전극, 제1 전원에 연결되는 제1 주 전극, 및 상기 발광 소자에 전기적으로 연결되는 제2 주 전극을 구비하고, 상기 제1 주 전극과 상기 제어 전극 사이의 전압에 대응되는 전류를 출력하는 제1 트랜지스터, 제1 제어 신호에 응답하여 상기 트랜지스터를 다이오드 연결시키는 제1 스위칭 소자, 일전극이 상기 트랜지스터의 상기 제어 전극에 접속되는 제1 커패시터, 상기 제1 전원과 상기 제1 커패시터의 타전극 간에 접속되는 제2 커패시터, 제2 제어 신호에 응답하여 상기 제1 커패시터의 상기 타전극과 제2 전원을 연결하는 제2 스위칭 소자, 및 상기 주사선으로부터의 상기 선택 신호에 응답하여 상기 데이터 전압을 상기 제1 커패시터의 상기 타전극으로 전달하는 제3 스위칭 소자를 포함하며, 상기 선택 신호는 상기 제1 스위칭 소자에 상기 제1 제어 신호가 인가된 이후 제1 기간만큼 경과된 타이밍에서 상기 주사선에 인가된다.

본 발명의 하나의 특징에 따른 발광 표시 장치에 있어서, 상기 제1 기간은 상기 제1 제어 신호의 지연 시간보다 길게 설정된다.

본 발명의 하나의 특징에 따른 발광 표시 장치에 있어서, 상기 제1 및 제2 제어 신호는 상기 주사선의 직전 주사선에 인가되는 선택 신호이다.

본 발명의 하나의 특징에 따른 발광 표시 장치에 있어서, 상기 제1 기간은 상기 직전 주사선에 인가되는 상기 선택 신호의 상승 시간보다 실질적으로 길게 설정된다.

본 발명의 하나의 특징에 따른 발광 표시 장치에 있어서, 상기 제2 전극은 상기 제1 전극과 실질적으로 동일하다.

본 발명의 하나의 특징에 따른 발광 표시 장치에 있어서, 제3 제어 신호에 응답하여 상기 발광 소자와 상기 트랜지스터의 상기 제2 주 전극을 차단시키는 제4 스위칭 소자를 더 포함한다.

본 발명의 하나의 특징에 따른 발광 표시 장치의 구동 방법은 매트릭스 모양으로 형성된 복수의 화소 회로를 구동하기 위한 구동 방법으로서, 상기 화소 회로는 인가되는 전류에 대응하여 발광하는 발광 소자, 제1 전원과 상기 발광 소자 간에 접속되고, 게이트에 인가되는 전압에 대응하는 전류를 출력하는 트랜지스터, 일전극이 상기 트랜지스터의 게이트에 접속되는 제1 커패시터, 및 상기 제1 전원과 상기 제1 커패시터의 타전극 간에 접속되는 제2 커패시터를 포함하며, 상기 화소 회로의 구동 방법은, 상기 제1 커패시터에 상기 트랜지스터의 문턱 전압과 상기 제1 전원과 별도로 형성된 제2 전원에 대응되는 전압을 충전시키는 제1 단계, 상기 제1 단계가 수행된 이후 제1 기간이 경과된 타이밍에서 상기 제2 커패시터에 상기 데이터 전압에 대응되는 전압을 충전시키는 제2 단계, 및 상기 제1 커패시터와 상기 제2 커패시터에 충전된 전압에 의하여 상기 트랜지스터를 구동하는 제3 단계를 포함한다.

이하, 본 발명의 실시예를 도면을 참조하여 상세히 설명한다.

이하의 설명에서, 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명과 관계없는 부분은 본 발명의 설명을 명확하게 하기 위하여 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

도 3은 본 발명의 일 실시예에 따른 발광 표시 장치를 개략적으로 도시한 것이다.

도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 발광 표시 장치는 유기 EL 표시 패널(100), 주사 구동부(200), 및 데이터 구동부(300)를 포함한다.

유기 EL 표시 패널(100)은 열 방향으로 뻗어 있는 복수의 데이터선(D1-Dm), 행 방향으로 뻗어 있는 복수의 주사선(S1-Sn), 및 복수의 화소 회로(10)를 포함한다. 데이터선(D1-Dm)은 화상 신호를 나타내는 데이터 신호를 화소 회로(10)로 전달하며, 주사선(S1-Sn)은 선택 신호를 화소 회로(10)로 전달한다. 화소 회로(10)는 이웃한 두 데이터선(D1-Dm)과 이웃한 두 주사선(S1-Sn)에 의해 정의되는 화소 영역에 형성되어 있다.

주사 구동부(200)는 주사선(S1-Sn)에 각각 선택 신호를 순차적으로 인가하며, 데이터 구동부(300)는 데이터선(D1-Dm)에 화상 신호에 대응되는 데이터 전압을 인가한다.

주사 구동부(200) 및/또는 데이터 구동부(300)는 표시 패널(100)에 전기적으로 연결될 수 있으며 또는 표시 패널(100)에 접촉되어 전기적으로 연결되어 있는 테이프 캐리어 패키지(tape carrier package, TCP)에 칩 등의 형태로 장착될 수 있다. 또는 표시 패널(100)에 접촉되어 전기적으로 연결되어 있는 가요성 인쇄 회로(flexible printed circuit, FPC) 또는 필름(film) 등에 칩 등의 형태로 장착될 수도 있다. 이와는 달리 주사 구동부(200) 및/또는 데이터 구동부(300)는 표시 패널의 유리 기판 위에 직접 장착될 수도 있으며, 또는 유리 기판 위에 주사선, 데이터선 및 박막 트랜지스터와 동일한 층들로 형성되어 있는 구동 회로와 대체될 수도 직접 장착될 수도 있다.

도 4는 본 발명의 제1 실시예에 따른 화소 회로의 등가 회로도이다.

도 4에서는 설명의 편의상 m번째 데이터선(Dm)과 n번째 주사선(Sn)에 연결된 화소 회로만을 도시하였다. 한편, 주사선에 관한 용어를 정의하면, 현재 선택 신호를 전달하려고 하는 주사선을 "현재 주사선"이라 하고, 현재 선택 신호가 전달되기 전에 선택 신호를 전달한 주사선을 "직전 주사선"이라 한다.

도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 화소 회로(10)는 트랜지스터(M1-M5), 커패시터(Cst, Cvth), 및 유기 EL 소자(OLED)를 포함한다.

트랜지스터(M1)는 유기 EL 소자(OLED)를 구동하기 위한 구동 트랜지스터로서, 전압(VDD)을 공급하기 위한 전원과 유기 EL 소자(OLED) 간에 접속되고, 게이트에 인가되는 전압에 의하여 트랜지스터(M5)를 통하여 유기 EL 소자(OLED)에 흐르는 전류를 제어한다. 트랜지스터(M2)는 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 트랜지스터(M1)를 다이오드 연결시킨다.

트랜지스터(M1)의 게이트는 커패시터(Cvth)의 일전극(A)에 접속되고, 커패시터(Cst)는 커패시터(Cvth)의 타전극(B)과 전압(VDD)을 공급하는 전원선 사이에 연결된다. 또한, 트랜지스터(M4)는 커패시터(Cvth)의 타전극(B) 및 보상 전압(Vsus)을 공급하는 전원선 간에 접속되고, 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 커패시터(Cvth)의 타전극(B)에 보상 전압(Vsus)을 공급한다.

트랜지스터(M3)는 현재 주사선(Sn)으로부터의 선택 신호에 응답하여 데이터선(Dm)으로부터의 데이터를 커패시터(Cvth)의 타단(B)으로 전달한다.

트랜지스터(M5)는 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)의 애노드 간에 접속되고, 직전 주사선(Sn-1)으로부터의 선택 신호에 응답하여 트랜지스터(M1)의 드레인과 유기 EL 소자(OLED)를 차단시킨다.

유기 EL 소자(OLED)는 입력되는 전류에 대응하여 빛을 방출한다. 본 발명의 일실시예에 따르면, 유기 EL 소자(OLED)의 캐소드에 연결되는 전압(VSS)은 전압(VDD)보다 낮은 레벨의 전압으로서, 그라운드 전압 등이 사용될 수 있다.

이하, 본 발명의 제1 실시예에 따른 화소 회로의 동작을 도 5를 참조하여 설명한다.

구간(T1)에서, 직전 주사선(Sn-1)에 로우 레벨의 주사 전압이 인가되면, 트랜지스터(M2)가 턴온되어 트랜지스터(M1)는 다이오드 연결 상태가 된다. 따라서, 트랜지스터(M1)의 게이트 및 소스간 전압이 트랜지스터(M1)의 문턱 전압(Vth)이 될 때까지 변하게 된다. 이때 트랜지스터(M1)의 소스에 전압(VDD)이 인가되므로, 트랜지스터(M1)의 게이트 즉, 커패시터(Cvth)의 일전극(A)에 인가되는 전압은 (VDD+Vth)가 된다

또한, 트랜지스터(M4)가 턴온되므로 커패시터(Cvth)의 타단(B)에는 보상 전압(Vsus)이 인가되어, 커패시터(Cvth)는 수학식 3과 같은 전압이 충전된다.

수학식 3

$$V_{Cvth} = V_{CvthA} - V_{CvthB} = (V_{DD} + V_{th}) - V_{sus}$$

여기서, V_{Cvth} 는 커패시터(Cvth)에 충전되는 전압을 의미하고, V_{CvthA} 는 커패시터(Cvth)의 일전극(A)에 인가되는 전압, V_{CvthB} 는 커패시터(Cvth)의 타전극(B)에 인가되는 전압을 의미한다.

또한, 구간(T1)에서 N 타입의 채널을 갖는 트랜지스터(M5)는 차단되어, 트랜지스터(M1)에 흐르는 전류가 유기 EL 소자(OLED)로 흐르는 것을 방지하고, 현재 주사선(Sn)에는 하이 레벨의 신호가 인가되므로 트랜지스터(M3)는 차단된다.

구간(T2)에서, 현재 주사선(Sn)에 로우 레벨의 전압이 인가되어 트랜지스터(M3)가 턴온된다. 따라서, 데이터 전압(Vdata)이 커패시터(Cst)에 충전되며, 커패시터(Cvth)에 수학식 3과 같은 전압이 충전되어 있으므로, 트랜지스터(M1)의 게이트 및 소스간 전압은 수학식 4와 같게 된다.

수학식 4

$$V_{gs} = (V_{data} + (V_{DD} + V_{th} - V_{sus})) - V_{DD} = V_{data} + V_{th} - V_{sus}$$

이로서, 유기 EL 소자에 흐르는 전류는 수학식 5와 같다.

수학식 5

$$I_{OLED} = \frac{\beta}{2}(V_{gs} - V_{th})^2 = \frac{\beta}{2}((V_{data} + V_{th} - V_{sus}) - V_{th})^2 = \frac{\beta}{2}(V_{data} - V_{sus})^2$$

여기서, I_{OLED} 는 유기 EL 소자(OLED)에 흐르는 전류, V_{gs} 는 트랜지스터(M1)의 소스와 게이트 사이의 전압, V_{th} 는 트랜지스터(M1)의 문턱 전압, V_{data} 는 데이터 전압, β 는 상수 값을 나타낸다.

수학식 5에서 알 수 있듯이, 각 화소에 위치하는 트랜지스터(M1)의 문턱 전압(V_{th})이 서로 다르더라도, 이 문턱 전압(V_{th})의 편차가 커패시터(C_{vth})에 의하여 보상되므로, 유기 EL 소자(OLED)에 공급되는 전류는 일정하게 된다. 이로써, 화소의 위치에 따른 휘도 불균형 문제를 해결할 수 있다.

또한, 보상 전압(V_{sus})은 전원 전압(V_{DD})과 달리 전류 패스를 형성하고 있지 않으므로, 전류 누설로 인한 전압 강하의 문제가 발생되지 않는다. 따라서, 모든 화소 회로에 실질적으로 동일한 보상 전압(V_{sus})이 인가되며, 데이터 전압에 대응되는 전류가 유기 EL 소자(OLED)에 흐르게 된다.

그리고, 본 발명의 제1 실시예에 따르면, 수학식 5에서 알 수 있듯이, 보상 전압(V_{sus})은, 데이터 전압(V_{data})과 트랜지스터(M1)의 문턱 전압의 합에서 보상 전압(V_{sus})을 뺀 값의 절대값이 트랜지스터(M1)의 문턱 전압의 절대값보다 크도록 설정되어야 한다. 이러한 보상 전압(V_{sus})으로서, 전압(V_{DD})과 동일한 레벨의 전압을 사용할 수 있다.

그러나, 본 발명의 제1 실시예에 따른 화소 회로를 도 5에 도시된 바와 같이 구동한 경우, 현재 주사선(S_n)에 선택 신호가 인가되는 구간(T_2)에서 직전 주사선에 발생된 신호의 지연으로 인하여 직전 주사선(S_{n-1})에 선택 신호가 유지되고 있는 경우가 발생할 수 있다. 이와 같이, 현재 주사선(S_n)과 직전 주사선(S_{n-1})에 모두 선택 신호가 인가되는 경우에는 커패시터(C_{vth})에 의한 트랜지스터(M1)의 문턱 전압(V_{th})의 보상이 이루어질 수 없다.

구체적으로, 도 6과 같이, 직전 주사선(S_{n-1})에 인가되는 이상적인 선택 신호와 달리 현실적으로 직전 주사선(S_{n-1})에 인가되는 선택 신호는 지연 시간(T_d) 동안 지연된 후 하강 시간(T_f) 동안 하강하고, 로우 레벨 기간(T_{pw}) 동안 로우 레벨을 유지한다. 이후, 상승 시간(T_r) 동안 상승하는 파형을 띄게 된다. 여기서, 구간(T_d , T_f , T_{pw} , T_r)의 합은 하나의 주사선에 할당된 수평 주기와 실질적으로 동일하다.

즉, 발광 표시 장치를 실제 구현하는 경우, 주사선에 존재하는 기생 성분으로 인하여, 현재 주사선(S_n)의 선택 신호와 직전 주사선(S_{n-1})의 선택 신호가 오버랩(overlap)되는 문제가 발생할 수 있으며, 이러한 경우, 블랭크 구간(T_b) 동안 화소 회로의 스위칭 트랜지스터(M2-M5)가 모두 턴온되어 화소 회로가 오동작하게 된다.

따라서, 본 발명의 제2 실시예에서는 직전 주사선(S_{n-1})의 지연으로 인하여 발생할 수 있는 블랭크 구간(T_b) 동안 현재 주사선(S_n)에 인가되는 선택 신호를 지연시킴으로써, 상기의 문제를 해결한다.

도 7은 도 4의 화소 회로를 구동하기 위한 본 발명의 제2 실시예에 따른 구동 파형을 도시한 것이다.

도 7에 도시된 바와 같이, 본 발명의 제2 실시예에 따르면, 블랭크 구간(T_b) 동안 현재 주사선(S_n)에 인가되는 선택 신호를 지연시킨다.

구체적으로, 블랭크 구간(T_b)은 직전 주사선(S_{n-1})에서 발생할 수 있는 최대 지연 시간 이상의 기간으로서, 적어도 선택 신호의 상승 시간(T_r) 이상이 되도록 설정한다.

이로써, 주사선의 기생 성분 또는 주사 구동부(300)의 에러로 인하여 인접하는 두 개의 선택 신호가 서로 오버랩되는 문제를 해결할 수 있다.

도 8은 도 7에 도시된 구동 파형을 생성할 수 있는 주사 구동부(300)를 예시적으로 도시한 것이고, 도 9는 주사 구동부(300)의 구동 파형도이다. 도 8 및 도 9에서 도 5의 선택 신호를 제1 선택 신호($S1-Sn$)로 표시하였고, 도 7의 선택 신호를 제2 선택 신호($S1-Sn'$)로 표시하였다.

도 8에 도시된 바와 같이, 본 발명의 일실시예에 따른 주사 구동부(300)는 도 5의 선택 신호를 순차적으로 시프트하면서 출력하는 시프트 레지스터(210), 인버터(IN1-INn), 및 NAND 게이트(NAND1-NANDn)를 포함한다. 여기서, 시프트 레지스터(210)는 다양한 구조의 시프트 레지스터를 이용하여 형성할 수 있으며, 일정 기간 동안 로우 레벨을 유지하는 시작 신호를 시프트시키는 시프트 레지스터와 시프트 레지스터의 출력 신호를 이용하여 표시 장치의 수평 주기 동안 로우 레벨을 유지하는 선택 신호를 생성하는 다양한 논리 회로를 이용하여 제1 선택 신호($S1-Sn$)를 생성할 수 있다.

인버터(IN1-INn)는 제1 선택 신호($S1-Sn$)를 반전하고, NAND 게이트(NAND1-NANDn)는 인버터(IN1-INn)의 출력 신호와 클립 신호(CLIP)를 NAND 연산하여 제2 선택 신호($S1'-Sn'$)로 출력한다.

NAND 게이트(NAND1-NANDn)는 입력되는 신호가 모두 하이 레벨인 구간에서 로우 레벨인 신호를 출력하므로, 제1 선택 신호($S1-Sn$)의 반전 신호와 클립 신호(CLIP)가 모두 하이 레벨인 구간에서 로우 레벨을 유지하는 신호를 출력하게 된다.

따라서, 클립 신호(CLIP)를 도 9와 같이, 제1 선택 신호($S1-Sn$)의 양단에서 블랭크 구간(Tb)만큼 로우 레벨을 유지하는 신호로 설정하면, 제1 선택 신호($S1-Sn$)의 양단에서 블랭크 구간(Tb)만큼 잘려진 제2 선택 신호($S1-Sn'$)를 출력할 수 있다.

도 10은 본 발명의 제2 실시예에 따른 화소 회로를 도시한 것이다.

도 10에 도시된 화소 회로는 트랜지스터(M5)를 별도의 신호선(En)으로 제어한다는 점에서 본 발명의 제1 실시예에 따른 화소 회로와 차이점을 갖는다.

도 10과 같이, 트랜지스터(M5)를 별도의 신호선(En)으로 제어하는 경우에는, 트랜지스터(M5)의 특성을 P 타입 또는 N 타입으로 설정할 수 있고, 화소 회로의 발광 기간을 직전 주사선($Sn-1$)의 선택 기간과 독립하여 제어할 수 있다는 장점이 있다.

또한, 도 4 및 도 10에서 트랜지스터(M2-M5)는 P 타입 또는 N 타입의 MOS 트랜지스터로 구현된 경우를 도시하였으나, 트랜지스터(M2-M5)는 인가되는 제어 신호에 응답하여 양단을 스위칭할 수 있는 다른 스위칭 소자로 구현될 수 있다. 또한, 이러한 트랜지스터(M1-M5)는 표시 패널(100)의 유리 기판 위에 형성되는 게이트 전극, 드레인 전극 및 소스 전극을 각각 제어 전극 및 2개의 주 전극으로 가지는 박막 트랜지스터로 형성될 수 있다.

그리고, 상기에서는 트랜지스터(M1)가 P 타입의 채널을 갖는 트랜지스터로 구현된 경우를 중심으로 설명하였으나, 실시예에 따라서 트랜지스터(M1)를 N 타입의 채널을 갖는 트랜지스터로 형성할 수 있으며, 이 때의 회로적 변경은 당업자에게 자명하므로 여기서 상세한 설명은 생략하기로 한다.

나아가, 도 4 및 도 10에서는 트랜지스터(M4)의 소스가 보상 전압(V_{sus})에 연결된 것으로 도시하였으나, 실시예에 따라서는 전원(VDD)에 연결될 수 있다. 이 때에는 전원(VDD) 전압의 편차로 인한 휘도 불균일이 발생될 수 있으나, 표시 패널(100)에 형성되는 전원선을 줄일 수 있는 장점이 있다.

이상으로, 본 발명의 실시예에 따른 발광 표시 장치에 대하여 설명하였다. 상기 기술된 실시예는 본 발명의 개념이 적용된 일실시예로서, 본 발명의 범위가 상기 실시예에 한정되는 것은 아니며, 여러 가지 변형이 본 발명의 개념을 그대로 이용하여 형성될 수 있다.

발명의 효과

본 발명에 따르면 화소 회로에 포함된 구동 트랜지스터의 문턱 전압의 편차와 전원선의 전압 강하로 발생하는 각 화소간의 전압 강하량 차이를 보상하여 발광 표시 장치의 휘도 균일성을 개선할 수 있다.

또한, 선택 신호의 지연으로 인하여 인접하는 선택 신호가 오버랩되는 현상을 개선할 수 있다.

(57) 청구의 범위

청구항 1.

화상 신호에 대응되는 데이터 전압을 전달하는 복수의 데이터선, 선택 신호를 전달하는 복수의 주사선, 및 상기 주사선과 상기 데이터선에 전기적으로 연결된 복수의 화소 회로를 포함하는 발광 표시 장치에 있어서,

상기 화소 회로는,

인가되는 전류에 대응하여 빛을 방출하는 발광 소자,

제어 전극, 제1 전원에 연결되는 제1 주 전극, 및 상기 발광 소자에 전기적으로 연결되는 제2 주 전극을 구비하고, 상기 제1 주 전극과 상기 제어 전극 사이의 전압에 대응되는 전류를 출력하는 제1 트랜지스터,

제1 제어 신호에 응답하여 상기 트랜지스터를 다이오드 연결시키는 제1 스위칭 소자,

일전극이 상기 트랜지스터의 상기 제어 전극에 접속되는 제1 커패시터,

상기 제1 전원과 상기 제1 커패시터의 타전극 간에 접속되는 제2 커패시터,

제2 제어 신호에 응답하여 상기 제1 커패시터의 상기 타전극과 제2 전원을 연결하는 제2 스위칭 소자, 및

상기 주사선으로부터의 상기 선택 신호에 응답하여 상기 데이터 전압을 상기 제1 커패시터의 상기 타전극으로 전달하는 제3 스위칭 소자

를 포함하며,

상기 선택 신호는 상기 제1 스위칭 소자에 상기 제1 제어 신호가 인가된 이후 제1 기간만큼 경과된 타이밍에서 상기 주사선에 인가되는 발광 표시 장치.

청구항 2.

제1항에 있어서,

상기 제1 기간은 상기 제1 제어 신호의 지연 시간보다 길게 설정되는 발광 표시 장치.

청구항 3.

제1항에 있어서,

상기 제1 및 제2 제어 신호는 상기 주사선의 직전 주사선에 인가되는 선택 신호인 발광 표시 장치.

청구항 4.

제3항에 있어서,

상기 제1 기간은 상기 직전 주사선에 인가되는 상기 선택 신호의 상승 시간보다 실질적으로 길게 설정되는 발광 표시 장치.

청구항 5.

제1항에 있어서,

상기 제2 전극은 상기 제1 전극과 실질적으로 동일한 발광 표시 장치.

청구항 6.

제1항에 있어서,

제3 제어 신호에 응답하여 상기 발광 소자와 상기 트랜지스터의 상기 제2 주 전극을 차단시키는 제4 스위칭 소자를 더 포함하는 발광 표시 장치.

청구항 7.

매트릭스 모양으로 형성된 복수의 화소 회로를 구동하기 위한 구동 방법에 있어서,

상기 화소 회로는 인가되는 전류에 대응하여 발광하는 발광 소자, 제1 전원과 상기 발광 소자 간에 접속되고, 게이트에 인가되는 전압에 대응하는 전류를 출력하는 트랜지스터, 일전극이 상기 트랜지스터의 게이트에 접속되는 제1 커패시터, 및 상기 제1 전원과 상기 제1 커패시터의 타전극 간에 접속되는 제2 커패시터를 포함하며,

상기 화소 회로의 구동 방법은,

상기 제1 커패시터에 상기 트랜지스터의 문턱 전압과 상기 제1 전원과 별도로 형성된 제2 전원에 대응되는 전압을 충전시키는 제1 단계,

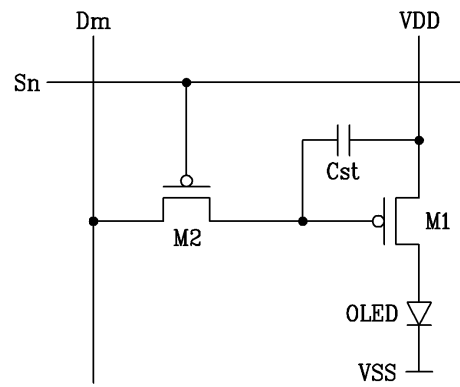
상기 제1 단계가 수행된 이후 제1 기간이 경과된 타이밍에서 상기 제2 커패시터에 상기 데이터 전압에 대응되는 전압을 충전시키는 제2 단계, 및

상기 제1 커패시터와 상기 제2 커패시터에 충전된 전압에 의하여 상기 트랜지스터를 구동하는 제3 단계

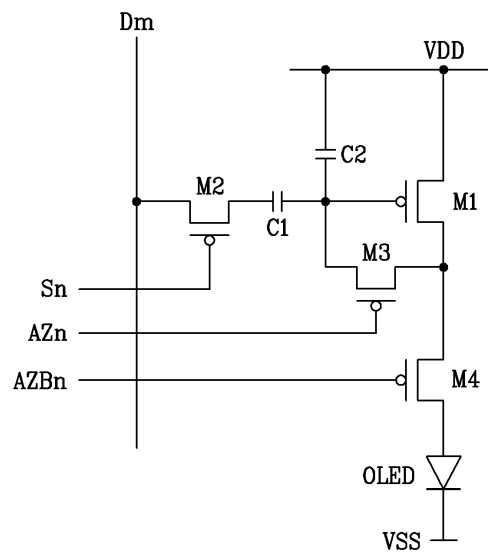
를 포함하는 발광 표시 장치의 구동 방법.

도면

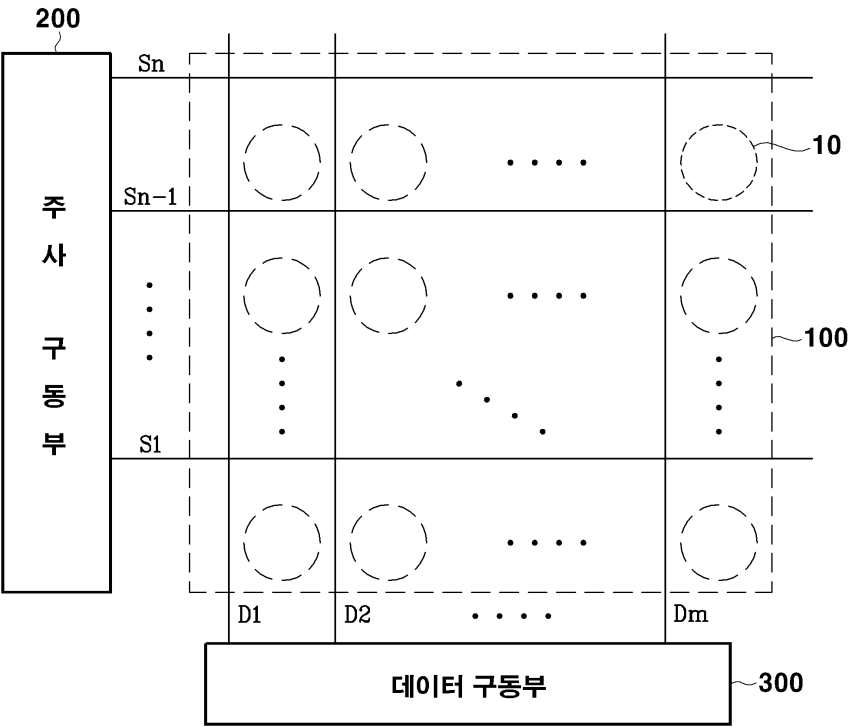
도면1



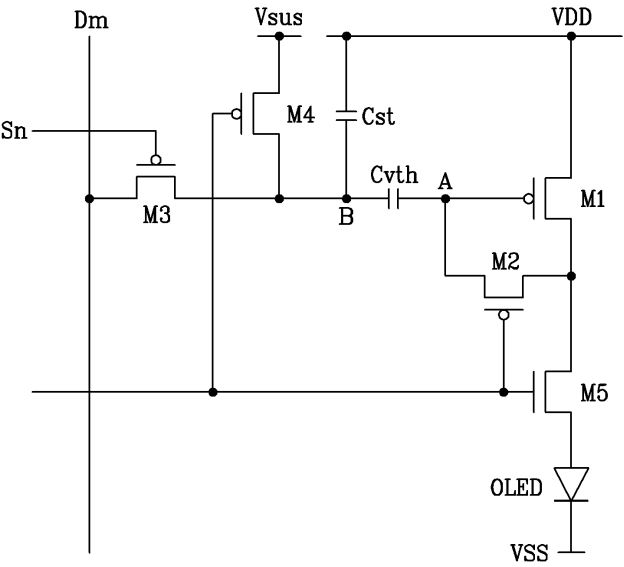
도면2



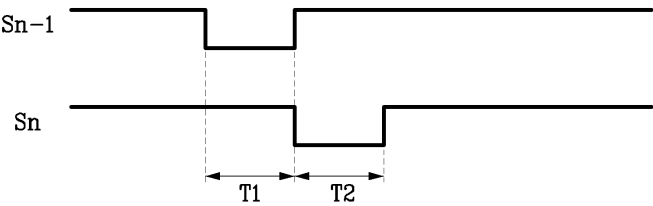
도면3



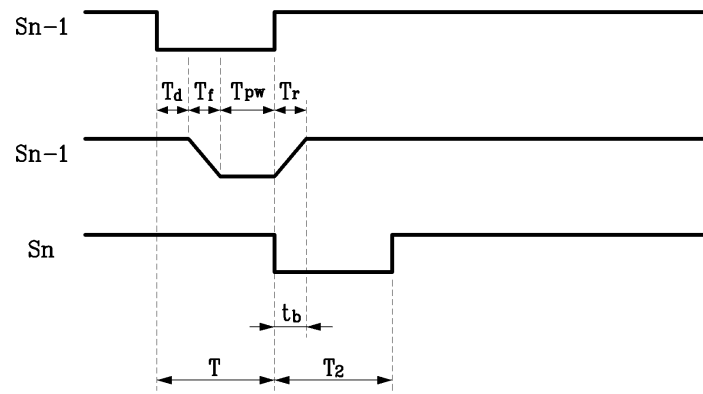
도면4



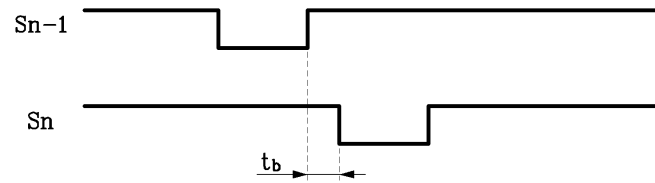
도면5



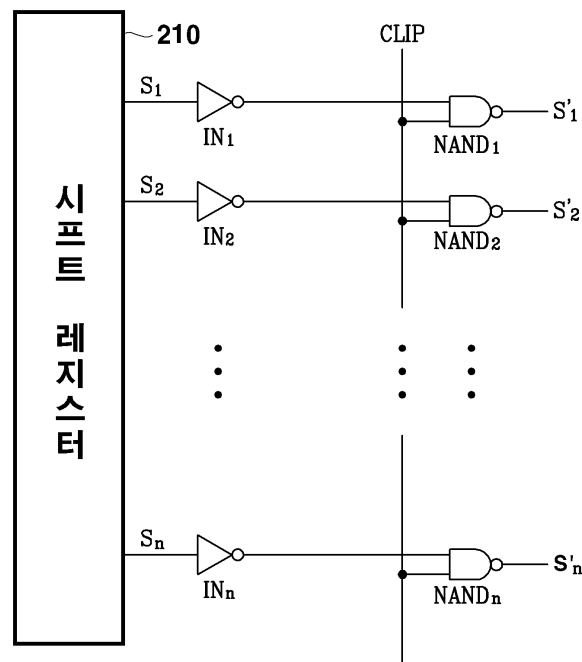
도면6



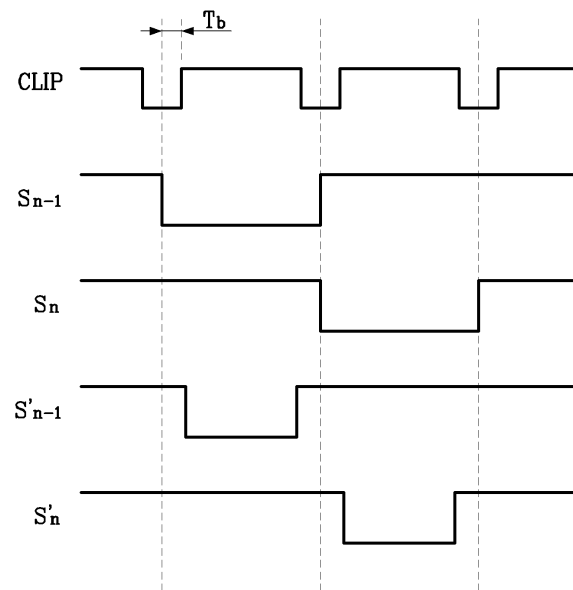
도면7



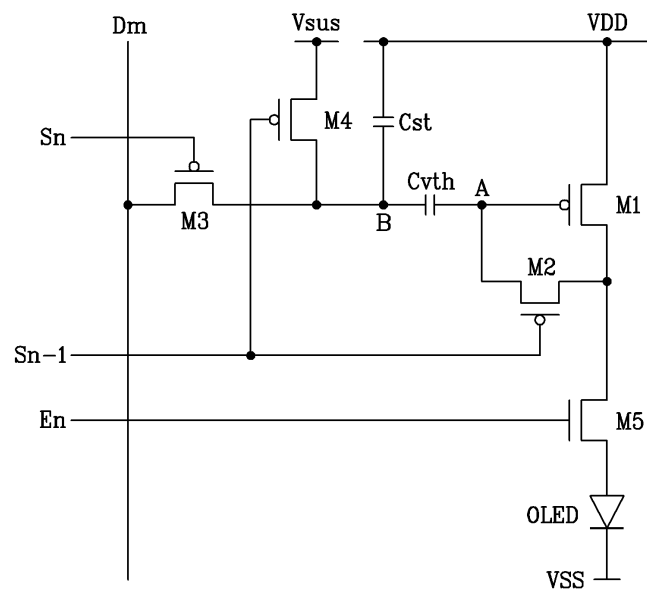
도면8



도면9



도면10



专利名称(译)	发光显示器及其驱动方法		
公开(公告)号	KR1020050110942A	公开(公告)日	2005-11-24
申请号	KR1020040035917	申请日	2004-05-20
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	CHUNG BOYONG		
发明人	CHUNG,BOYONG		
IPC分类号	G09G3/30		
CPC分类号	A61B5/022 A61L2/232 A61L9/00		
代理人(译)	您是我的专利和法律公司		
其他公开文献	KR100648674B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种电致发光显示装置及其驱动方法，通过补偿像素之间的电压降差异来改善亮度均匀性。

