

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H05B 33/00(11) 공개번호 10-2005-0073744
(43) 공개일자 2005년07월18일(21) 출원번호 10-2004-0001809
(22) 출원일자 2004년01월10일(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 배성식
경기도수원시팔달구영통동황골마을주공1단지아파트140동1603호
이상걸
경기도용인시기흥읍공세리428-5(74) 대리인 이영필
이해영

심사청구 : 있음

(54) 박막 트랜지스터, 박막 트랜지스터 제조 방법 및 이를구비한 평판 디스플레이 소자

요약

본 발명은, 기판의 일면 상부에 형성된 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 박막 트랜지스터에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과, 상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외의 영역은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 박막 트랜지스터와, 이를 제조하는 방법 및 이를 구비한 평판 디스플레이 소자, 특히 유기 전계 발광 디스플레이 소자를 제공한다.

대표도

도 2e

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래 기술에 따른 박막 트랜지스터 제조 공정도,

도 2a 내지 도 2e는 본 발명의 일실시예에 따른 하부 게이트 구조의 박막 트랜지스터 및 유기 전계 발광 디스플레이 소자의 제조 공정도,

도 3은 본 발명의 다른 일실시예에 따른 하부 게이트 구조의 박막 트랜지스터의 제조 공정의 일 개략도,

도 4a 및 도 4b는 본 발명의 실시예에 따른 비정질 실리콘 층의 깊이에 대한 Ni 농도를 도시하는 선도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 제조 방법에 관한 것으로서, 특히, 금속 유도 결정 방법을 사용하여 반도체 활성층이 결정화된 하부 게이트 구조(bottom gate)의 박막 트랜지스터(Thin-Film Transistor, TFT) 및 이를 제조하는 방법과, 이 박막 트랜지스터를 구비한 평판 디스플레이 소자, 특히 유기 전계 발광 디스플레이 소자(electroluminescent display)에 관한 것이다.

액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 등과 같은 평판 디스플레이 소자에는, 이러한 소자들을 구동시키기 위한 구동 박막 트랜지스터 등 다양한 박막 트랜지스터(TFT)가 구비된다.

박막 트랜지스터는 게이트 전극, 소스 및 드레인 전극, 그리고 게이트 전극의 구동에 따라 활성화되는 반도체 층을 구비하며, 박막 트랜지스터는 이러한 층들의 적층 순서에 따라, 상부 게이트 구조(top gate 또는 normal staggered)의 박막 트랜지스터와 하부 게이트 구조(bottom gate 또는 inverted staggered)의 박막 트랜지스터로 분류될 수 있다. 박막 트랜지스터를 구성하는 반도체 층은 대체적으로 실리콘 층으로 이루어지는데, 종래의 기술에 따르면 반도체 활성층을 비정질 실리콘(amorphous silicon, a-Si)으로 구성하였다. 하지만, 비정질 실리콘은, 예를 들어 $1\text{cm}^2/\text{Vs}$ 이하의 낮은 전자 이동도(electron mobility)를 갖는 반면, 다결정 실리콘(poly-silicon)은 약 $100\text{cm}^2/\text{Vs}$ 정도의 전자 이동도를 갖는다는 점과, 점차 소형화됨과 동시에 개구율이 점차 감소하는 기술 주의를 충족시켜야 하는 점에서, 근래에는 비정질 실리콘을 다결정 실리콘으로 결정화하는 기술이 개발되고 있다.

상기와 같은 다결정 실리콘을 여러 가지 방법으로 제작할 수 있는데, 이는 다결정 실리콘을 직접 증착하는 방법과, 비정질 실리콘을 증착한 후 결정화하는 방법으로 크게 두 가지로 구분될 수 있다.

다결정 실리콘을 직접 증착하는 방법에는 열화학기상증착법(Cheical Vapor Deposition: CVD), Photo CVD, HR(hydrogen radical) CVD, ECR(electron cyclotron resonance) CVD, PE(Plasma Enhanced) CVD, LP(Low Pressure) CVD 등의 방법이 있다.

한편, 비정질 실리콘을 증착한 후 결정화하는 방법에는 고상결정화(Solid Phase Crystallization: SPC)법, 엑시머 레이저(Excimer Laser Annealing)법, 연속측면고상화(Sequential Lateral Solidification: SLS)법, 금속 유도 결정화(Metal Induced Crystallization: MIC)법, 및 금속 유도 측면 결정화(Metal Induced Lateral Crystallization: MILC)법 등이 있다.

그런데, 상기 고상결정화법은 600°C 이상의 고온에서 장시간 유지되어야 하므로 그 실용성이 현저히 떨어진다.

엑시머 레이저법은 저온 결정화를 이룰 수 있다는 장점이 있으나, 레이저 광선을 광학계를 이용해 넓힘으로써 균일성이 떨어진다는 문제점이 야기된다.

연속 측면 고상화법은 비정질 실리콘에 웨브론 모양의 마스크를 통과한 레이저를 주사하여 비정질 실리콘을 결정화시키면서 국부적인 영역에 다결정 실리콘을 형성하는 방법인데, 이는 레이저광의 주사를 정교하게 제어하는 데 기술적인 곤란이 따르고, 균일한 특성의 다결정 실리콘 박막을 얻는 데 한계가 있다.

한편, 금속 유도 결정화법은 비정질 실리콘의 표면에 금속 박막을 증착한 후 이를 결정화 촉매로 삼아 실리콘막의 결정화를 진행해 나가는 것으로 결정화 온도를 낮출 수 있다는 장점을 갖는다. 그러나, 이 금속 유도 결정화법 또한 다결정질 실리콘막이 금속에 의해 오염되어 있어 이 실리콘 막으로 형성한 박막 트랜지스터 소자의 특성이 불량하게 되며, 형성되는 결정 또한 크기가 작고 무질서한 문제가 있었다.

최근에 이러한 종래 비정질 실리콘 결정화 방법들의 문제를 해결하기 위해 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속 전파하면서 순차적으로 결정화를 유도하는 금속 유도 측면 결정화법이 제안되고 있다. 이 금속 유도 측면 결정화법은 비정질 실리콘층을 결정화시키기 위해 사용된 금속 성분이 반도체 활성층 영역에는 거의 잔류하지 않고, 형성되는 결정의 크기가 크고 방향성이 있기 때문에 잔류 금속 성분에 의한 전류의 누설 및 기타 전기적 특성의 열화가 없고, 300 내지 500°C 의 비교적 저온에서 결정화를 유도할 수 있는 장점이 있다.

기관 상에 게이트 전극을 형성하고, 절연층을 형성한 후, 게이트 전극 위에 비정질 실리콘 막을 형성하고, 이를 레이저 빔을 사용하여 스캐닝하는 단계로 구성되는 방법이 한국 특허 공보 제 269350호에 개시되어 있는데, 하부 게이트 구조의 박막 트랜지스터를 제조하는 경우, 구조적인 특징으로 인하여 비정질 실리콘 층을 결정화시키는데 엑시머 레이저법을 주로 사용한다. 하지만 이러한 종래 기술에 따른 방법은 공정을 복잡하게 하고 수율을 현저히 저감시킨다는 문제점을 수반한다.

또한, 종래 기술에 따른 측면 유도 결정화법에 따른 박막 트랜지스터의 제조 방법은 상당한 공정 시간을 요한다는 문제점을 수반한다. 일본 특허평 7-58339호에는, 도 1a 및 도 1b에 도시된 바와 같이, 금속 유도 측면 결정화를 이용한 상부 게이트 구조의 박막 트랜지스터 제조 방법이 개시되어 있다. 도 1a 및 도 1b에서, 기판(101) 상에 버퍼층(102)을 형성하고, 개구(100)가 형성된 마스크(103)를 이용하여 개구(100) 영역에 금속층을 도포한 후, 그 상부에 비정질 실리콘 층을 성막하여 어닐링함으로써 비정질 실리콘 층을 다결정 실리콘 층으로 결정화시켰다. 버퍼층(102)의 상부에 도포된 금속층 상부의 영역(105)은 하부의 금속층으로부터 결정화가 이루어지고, 중간 영역(104)은 이들 영역(105)으로부터 결정화가 이루어진다. 즉, 통상적으로 MIC 결정화의 경우 비정질 실리콘 층의 일면 상에 도포되고, 열처리됨으로써 비정질 실리콘 층에 수직인 방향으로 결정화가 진행되는 반면, 측면 유도 결정화는 박막 트랜지스터가 구비되는 기관에 평행한 방향으로 진행된다. 하지만, 박막 트랜지스터의 구조적인 특성상 층에 수직인 방향의 길이, 즉 두께는 $\text{\AA}$ 단위인 반면, 층에 평행한 방향의 길이, 즉 폭은 μm 단위이기 때문에, 층에 평행한 방향으로 진행되는 MILC 결정화는 상당한 시간이 소요된다는 문제점을 필연적으로 수반한다.

발명이 이루고자 하는 기술적 과제

본 발명은, 단순한 공정을 통하여 결정 촉매 성분의 미량을 반도체 활성층의 적어도 일부분에 인입시킴으로써 채널 영역을 빠른 시간 내에 MIC 결정화시킨 박막 트랜지스터 및 이를 제조하는 방법과, 이러한 박막 트랜지스터를 구비한 평면 표시 소자, 특히 유기 전계 발광 소자를 제공함을 목적으로 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여, 본 발명의 일면에 따르면, 기관의 일면 상부에 형성된 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 박막 트랜지스터에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과, 상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외 영역의 적어도 일부분은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 박막 트랜지스터를 제공한다

본 발명의 다른 일면에 따르면, 상기 MIC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MILC 결정을 갖는 영역은 소스 및 드레인 영역인 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 반도체 활성층의 상부면의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질층이 구비되는 영역은 상기 식각부 하부 영역인 것과, 상기 채널 영역에서의 상기 결정 촉매 물질의 농도는, 상기 게이트 전극을 향한 방향으로 감소하되, 누설 전류가 1pA 이하가 되도록 설정되는 농도인 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질은 Ni이고, 상기 채널 영역의 일표면에서의 Ni 농도는 10^{10} 이상 10^{12} 입자 개수/cm² 미만인 것을 특징으로 하는 박막 트랜지스터를 제공한다.

본 발명의 또 다른 일면에 따르면, 기관 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상부에 이와 절연되도록 비정질 실리콘 층을 형성하는 단계, 상기 비정질 실리콘 층의 상부에 소스 및 드레인 전극을 형성하는 단계, 상기 비정질 실리콘 층 적어도 일부의 상부 면에 결정 촉매 물질을 확산시키는 단계, 상기 비정질 실리콘 층의 일부를 사전 설정된 깊이로 식각하는 단계, 그리고 상기 비정질 실리콘 층을 열처리하여 결정화시키는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 확산 단계는 상기 결정 촉매 물질을 증착한 후 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 확산 단계는 상기 비정질 실리콘 층 적어도 일부 위에 절연층을 형성하는 단계, 상기 결정 촉매 물질을 증착시키는 단계, 상기 증착된 결정 촉매 물질을 확산시키기 위해 열처리하는 단계, 그리고 열처리 후 잔류한 결정 촉매 물질을 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 확산 단계는 상기 결정 촉매 물질로 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질을 사용하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 식각 단계는 상기 비정질 실리콘 층의 채널 영역에 대응하는 영역을 식각하는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 식각 단계에 의해 상기 비정질 실리콘 층의 적어도 일부분에서의 결정 촉매 물질이 제거되는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 식각 단계는 상기 결정화 단계 후 누설 전류가 1pA 이하이도록 설정된 깊이까지 이루어지는 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 확산 단계에서의 결정 촉매 물질로 Ni을 사용하는 것과, 상기 식각 단계 후 상기 채널 영역의 일표면에서 Ni 농도는 약 10^{10} 이상 약 10^{12} 입자 개수/cm² 미만인 것을 특징으로 하는 박막 트랜지스터 제조 방법을 제공한다.

본 발명의 또 다른 일면에 따르면, 기관의 일면 상부에 형성된 박막 트랜지스터를 구비하는 평판 디스플레이 소자로서, 상기 박막 트랜지스터가, 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 평판 디스플레이 소자에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과, 상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외의 영역은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 MIC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MILC 결정을 갖는 영역은 소스 및 드레인 영역인 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 반도체 활성층의 상부면의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질층이 구비되는 영역은 상기 식각부 하부 영역인 것과, 상기 채널 영역에서의 상기 결정 촉매 물질의 농도는, 상기 게이트 전극을 향한 방향으로 감소하되, 누설 전류가 1pA 이하가 되도록 설정되는 농도인 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 상기 결정 촉매 물질은 Ni이고, 상기 채널 영역의 일표면에서의 Ni 농도는 약 10^{10} 이상 약 10^{12} 입자 개수/cm² 미만인 것을 특징으로 하는 평판 디스플레이 소자를 제공한다.

본 발명의 또 다른 일면에 따르면, 기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 유기 전계 발광 디스플레이 소자로서, 상기 박막 트랜지스터가, 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 평판 디스플레이 소자에 있어서, 상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과, 상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외의 영역은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자를 제공한다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.

도 2a 내지 도 2e에는 본 발명의 일 실시예에 따른 박막 트랜지스터 및 유기 전계 발광 소자의 제작 공정이 개략적으로 도시되어 있다.

도 2a에 도시된 바와 같이, 기판(201) 상에 예를 들어, Cu, Al, Mo, MoW, Cr, 또는 MoTa 등과 같은 물질로 게이트 메탈층을 형성한 후, 게이트 패터닝하여 게이트 전극(210)을 형성하는데, 향후 결정화 단계에서의 열처리에 대해 내열성을 보유하기 위하여 MoW로 형성되는 것이 바람직하다. 또한, 도면에 도시되지는 않았으나, 게이트 전극(210)을 형성하는 경우, 게이트 전극(210)과 인접한 위치에 동일한 재료로 커패시터 전극을 형성할 수도 있다.

게이트 전극(210)을 절연시키기 위하여, 게이트 절연층(220)을 증착하는데, 게이트 절연층(220)은 예를 들어 SiO₂, SiNx 등으로 구성되는 것이 바람직하다. 게이트 절연층(230)의 일면 상에는 도핑되지 않은 비정질 실리콘 층(amorphous silicon layer, a-Si:H, 230)이 형성된다. 차후에 형성될 소스 및 드레인 전극과 도핑되지 않은 비정질 실리콘 층(230)과의 저항을 줄이고 정공 전도에 의한 누설 전류를 줄이기 위하여, 비정질 실리콘 층(230)의 일면 상에는 예를 들어 고농도로 도핑된 n+ 비정질 실리콘 층(231)이 증착될 수 있는데, 이들 비정질 실리콘 층(230/231)은 차후 결정화 단계를 거쳐 다결정질 실리콘 층으로 결정화되어, 반도체 활성층으로 작동하고, 이들 비정질 실리콘 층(230, 231)은 동일한 마스크를 이용하여 패터닝될 수 있다.

도 2b에 도시된 바와 같이, n+ 비정질 실리콘 층(231)의 일면 상에는 소스 및 드레인 전극(240a, b)을 구성하는 물질이 도포되어 층을 형성하고 패터닝되어 소스 및 드레인 전극(240a, b)이 형성된다. 소스 및 드레인 전극(240a, b)이 형성된 후에는, 소스 및 드레인 전극(240a, b) 및 n+ 비정질 실리콘 층(231)의 적어도 일부, 즉 소스 및 드레인 전극(240a, b)의 사이로 게이트 전극(210)이 배치된 위치에 대응하는 영역의 상부 면에는 사전 설정된 결정 촉매 물질로서의 예를 들어, Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 또는 그 이상으로 구성되는 금속 층(241a)이 증착된 후 다시 제거된다. 바람직하게는, 금속 층(241a)은 Ni로 구성되지만, 이러한 결정 촉매 물질은 순수 금속에 한정되는 것은 아니고, 규화 니켈과 같은 물질이 사용될 수도 있다. 금속 층(241a)의 증착 과정에 의하여, 금속 층(241a)이 제거된, n+ 비정질 실리콘 층(231)의 일면 상에는 금속 층(241a)을 구성하는 금속 성분이 잔류하거나, 증착 과정에서 소량의 금속이 n+ 비정질 실리콘 층(231)의 내부, 경우에 따라서는 n+ 비정질 실리콘 층(231)을 넘어 도핑되지 않은 비정질 실리콘 층(230)의 적어도 일부분까지 인입 또는 확산될 수도 있다.

또한, 본 발명의 다른 일 실시예에 따른 금속 성분의 인입 과정은 도 3에 도시된다. 소스 및 드레인 전극(240a, b) 및 n+ 비정질 실리콘 층(231)의 적어도 일부, 즉 소스 및 드레인 전극(240a, b)의 사이로 게이트 전극(210)이 배치된 위치에 대응하는 영역의 상부 면 상에는 먼저 인슐레이터 층(231b)이 형성되고, 인슐레이터 층(231b)의 일면 상에 사전 설정된 결정 촉매 물질로서의 예를 들어, Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 또는 그 이상으로 구성되는 금속 층(241a)이 증착된다. 그런 후 금속 층(241a)의 금속 성분이 n+ 비정질 실리콘 층(231)의 적어도 일부분에, 또는 경우에 따라서는 n+ 비정질 실리콘 층(231)을 넘어 도핑되지 않은 비정질 실리콘 층(230)의 적어도 일부분까지 인입, 즉 확산될 수 있도록 열처리된다. 열처리 후, 금속 층(241a) 및 인슐레이터 층(231b)은 제거된다. 인슐레이터 층(231b)의 두께와 열처리 온도 및 시간 등을 적절히 조절함으로써 비정질 실리콘 층(230 또는 231)에 인입되는 결정 촉매 물질의 양을 조절할 수 있다.

결정 촉매 성분으로서 사전 설정된 금속 성분의 인입 과정 후, 도 2c에 도시된 바와 같이, 소스 및 드레인 전극(240a, b) 사이로서 게이트 전극(210)의 위치에 대응되는 위치, 즉 채널 영역에 해당하는 위치를 식각(소위, 백 채널 형성)하는데, 식각부(241)의 측면에 언더 컷(undercut)을 유발하지 않고 분해능을 향상시키기 위하여 건식 식각(dry etching)하는 것이 바람직하다. 이러한 식각부(241)는 n+ 비정질 실리콘 층(231) 및/또는 도핑되지 않은 비정질 실리콘 층(230)의 적어도 일부분까지, 즉 식각부(241)의 밑면(241b)은 소스 및 드레인 전극(240a, b)으로부터 게이트 전극(210)을 향한 방향으로 있어 도핑되지 않은 비정질 실리콘 층(230)의 적어도 일부분까지 진입하는 것이 바람직하다. 이러한 식각부의 형성, 즉 식각 단계에 의하여 비정질 실리콘 층(230, 231)에 인입 또는 확산된 결정 촉매 물질의 적어도 일부분이 제거된다. 식각부(241)의 깊이는 결정화 단계 후 누설 전류가 1pA 이하가 되도록 하는 깊이로 결정되는 것이 바람직하다. 또한, 결정 촉매 물질로 Ni를 사용하는 경우, 비정질 실리콘 층의 깊이에 대한 Ni의 인입된 농도가 도 4a 및 도 4b에 도시되어 있다. 도 4a는 비정질 실리콘 층에 결정 촉매 물질로서의 Ni를 직접 증착하여 확산시키는 경우에 대한 것이고, 도 4b는 인슐레이터 층을 통하여 열처리에 의해 Ni를 간접적으로 확산시키는 경우에 대한 것이다. 도 4a 및 도 4b에 도시된 바와 같이, 비정질 실리콘 층으로부터 게이트 전극 방향으로 향할수록, 비정질 실리콘 층에 인입 또는 확산된 Ni의 농도는 점차 감소한다. 박막 트랜지스터 소자의 안정적이고 효율적인 구동을 위하여 누설 전류는 1pA 이하인 것이 바람직하는데, 이를 위하여 비정질 실리콘 층의

채널 영역 일 표면에서의 Ni의 농도(N_2)는 10^{12} 입자 개수/ cm^2 미만이 되도록 적절한 깊이(d_2)를 설정하는 것이 바람직하다. 또한, 결정 촉매 물질로서의 Ni의 농도가 너무 작게 설정되는 경우, Ni은 결정 촉매 물질로서의 역할을 충분히 수행할 수 없기 때문에, 비정질 실리콘 층의 채널 영역 일 표면에서의 Ni 농도(N_1)는 10^{10} 이상이 되도록 적절한 깊이(d_1)를 설정하는 것이 바람직하다. 예를 들어, 원래 비정질 실리콘 층의 두께가 1700Å인 경우 식각부 하부면의 깊이(d)는 약 300Å 내지 약 1400Å의 범위(d_2 , d_1) 내에서 설정하여 에칭하는 것이 바람직하다.

따라서, 채널 영역에서의 식각이 이루어진 후, 식각부(241)의 하부면, 즉 비정질 실리콘 층의 채널 영역 일면 상에서의 Ni 농도가 약 10^{10} 이상 약 10^{12} 입자 개수/ cm^2 미만이 되도록, 식각부의 깊이가 설정되는 것이 바람직하다.

식각부가 형성된 후, 비정질 실리콘 층(230, 231)은 열처리와 같은 어닐링 과정을 통하여 결정화되어 다결정 실리콘 층(230, 231')으로 변하는데, 어닐링 과정 동안 소스 및 드레인 전극(240a,b) 이하의 적층 구조를 보호하고 소자 특성을 개선하기 위하여, 하나 이상의 패시베이션 층(250, 도 2d 참조)이 더 구비될 수도 있다.

도 2c에 도시된 바와 같이, 이러한 어닐링, 즉 열처리 과정 동안, 도핑되지 않은 비정질 실리콘 층(231)에 인입, 즉 잔류 또는 확산된 결정 촉매 물질, 예를 들어 Ni과 같은 금속 성분에 의하여 비정질 실리콘 층(230, 231)에 결정이 성장된다. 따라서, 채널 영역(230'c)에는 인입 또는 확산된 미량의 결정 촉매 물질에 의하여 MIC 결정화가 이루어지고, MIC로 결정화된 채널 영역(230'c)에 의하여 소스 및 드레인 영역(230'a,b)의 적어도 일부분은 MILC 결정화가 이루어진다.

따라서, 본 발명에 따른 박막 트랜지스터 및 이의 제조 방법을 통하여, 비결정질 실리콘 층(230)의 소스 및 드레인 영역과 채널 영역의 결정화 방향은 서로 상이할 수 있다. 즉, 비결정질 실리콘 층의 채널 영역은 MILC 형성되고, 소스 및 드레인 영역은 MIC 형성될 수 있다.

한편, 본 발명의 또 다른 일 실시예에 따르면, 상기한 박막 트랜지스터 및 이의 제조 방법은 평판 디스플레이 소자, 바람직하게는 유기 전계 발광 디스플레이 소자 및 이의 제조 방법에 구비될 수 있다. 예를 들어, 유기 전계 발광 디스플레이 소자의 경우, 도 2e에 도시된 바와 같이, 제 1 전극층(260)과, 화소 정의 층(270)과, 유기 전계 발광부(280)와, 그리고 제 2 전극층(290)을 포함하는 화소부를 더 구비한다.

소스 및 드레인 전극(240a,b)의 일면 상에는 하나 이상의 패시베이션 층(250)이 형성되고, 패시베이션 층(250)에는 드레인 전극(240b)까지 연장되는 콘택홀이 형성된다. 그 후, 상기 콘택홀에 형성되는 제 1 전극 연결부를 구비하는 양극으로서의 제 1 전극층(260)이 패시베이션층(250)의 일면 상으로 적어도 일부분, 예를 들어 게이트 전극에 인접한 영역의 위치에 형성된다. 제 1 전극층(260)이 형성된 후에는, 패시베이션 층(250)과 그리고 제 1 전극층(260)의 적어도 일부분을 덮도록 화소 정의 층(270)이 형성되는데, 이 화소 정의 층(270)은 일정한 개구 영역, 즉 화소 영역을 구비함과 동시에 평탄화 층으로서의 역할도 수행한다. 화소 영역으로서 제 1 전극층(260)의 일면 상에는 유기 전계 발광부(280)가 형성된다. 화소 정의 층(270)과 화소 영역, 상세하게는 유기 전계 발광부(280)를 덮도록 음극으로서의 제 2 전극층(290)이 형성된다.

따라서, 본 발명에 따른 하부 게이트 구조의 박막 트랜지스터에 의해 구동되는 제 1 전극층과 제 2 전극층에 의하여 제어된 정공 또는 전자가 유기 전계 발광부(290)의 유기 발광부에서 재결합되어 유기 발광부가 자발광함으로써, 빛이 외부로 취출될 수 있다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 비정질 실리콘 층의 채널 영역 일면 상에 결정 촉매 물질의 소량을 인입한 후, 채널 영역의 적어도 일부분을 식각하는 단순한 공정을 통하여 채널 영역을 신속하게 결정화시킬 수 있다.

또한, 채널 영역의 일표면 상에 결정 촉매 물질의 원하는 농도를 구비하도록 사전 설정된 깊이로 채널 영역에 식각부를 형성하고 열처리함으로써, 채널 영역을 신속하게 결정화시킬 수 있고 동시에 채널 영역에서의 농도를 원하는 수준으로 유지함으로써 누설 전류를 상당히 저감시킬 수도 있다.

그리고, 평판 디스플레이 소자, 특히 유기 전계 발광 디스플레이 소자에 상기한 바와 같은 박막 트랜지스터를 사용하여 제조함으로써, 종래 기술, 특히 ELA(Excimer Laser Annealing)을 통하여 제조된 박막 트랜지스터를 구비하는 유기 전계 발광 디스플레이 소자에서와는 달리 비정질 실리콘 층의 결정화가 이루어지므로, 생산 공정의 안정성, 공정 흐름의 단순화와 동시에, 비정질 실리콘 층의 신속한 결정화에 의하여 수율 증대를 도출할 수도 있다.

특히, 기존의 a-Si 박막 트랜지스터 공정에 상기한 바와 같은 단순한 공정의 추가만으로 poly-Si 박막 트랜지스터 및 이를 구비하는 평판 디스플레이 소자를 생산할 수 있다는 점에서, 기존의 a-Si 박막 트랜지스터 생산 장치를 이용하여 생산 단가의 특별한 증대없이 효과적인 구동 성능을 구비하는 박막 트랜지스터를 생산할 수도 있다.

본 발명은 첨부된 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다. 따라서 본 발명의 진정한 보호 범위는 첨부된 청구 범위에 의해서만 정해져야 할 것이다.

(57) 청구의 범위

청구항 1.

기판의 일면 상부에 형성된 게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 박막 트랜지스터에 있어서,

상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과,

상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외의 영역은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

제 1항에 있어서, 상기 MIC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MILC 결정을 갖는 영역은 소스 및 드레인 영역인 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

제 1항 또는 제 2항에 있어서, 상기 반도체 활성층의 상부면의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

제 3항에 있어서, 상기 결정 촉매 물질층이 구비되는 영역은 상기 식각부 하부 영역인 것과,

상기 채널 영역에서의 상기 결정 촉매 물질의 농도는, 상기 게이트 전극을 향한 방향으로 감소하되, 누설 전류가 1pA 이하가 되도록 설정되는 농도인 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 3항에 있어서, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

제 3항에 있어서, 상기 결정 촉매 물질은 Ni이고, 상기 채널 영역의 일표면에서의 Ni 농도는 약 10^{10} 이상 약 10^{12} 입자 개수/cm² 미만인 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상부에 이와 절연되도록 비정질 실리콘 층을 형성하는 단계;

상기 비정질 실리콘 층의 상부에 소스 및 드레인 전극을 형성하는 단계;

상기 비정질 실리콘 층 적어도 일부의 상부 면에 결정 촉매 물질을 확산시키는 단계;

상기 비정질 실리콘 층의 일부를 사전 설정된 깊이로 식각하는 단계; 그리고

상기 비정질 실리콘 층을 열처리하여 결정화시키는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 8.

제 7항에 있어서, 상기 확산 단계는 상기 결정 촉매 물질을 증착한 후 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 9.

제 7항에 있어서, 상기 확산 단계는 상기 비정질 실리콘 층 적어도 일부 위에 절연층을 형성하는 단계, 상기 결정 촉매 물질을 증착시키는 단계, 상기 증착된 결정 촉매 물질을 확산시키기 위해 열처리하는 단계, 그리고 열처리 후 잔류한 결정 촉매 물질을 제거하는 단계를 구비하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 10.

제 7항에 있어서, 상기 확산 단계는 상기 결정 촉매 물질로 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질을 사용하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 11.

제 7항에 있어서, 상기 식각 단계는 상기 비정질 실리콘 층의 채널 영역에 대응하는 영역을 식각하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 12.

제 7항에 있어서, 상기 식각 단계에 의해 상기 비정질 실리콘 층의 적어도 일부분에서의 결정 촉매 물질이 제거되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 13.

제 7항에 있어서, 상기 식각 단계는 상기 결정화 단계 후 누설 전류가 1pA이하이도록 설정된 깊이까지 이루어지는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 14.

제 13항에 있어서, 상기 확산 단계에서의 결정 촉매 물질로 Ni을 사용하는 것과, 상기 식각 단계 후 상기 채널 영역의 일 표면에서 Ni 농도는 약 10^{10} 이상 약 10^{12} 입자 개수/cm² 미만인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 15.

기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 평판 디스플레이 소자로서, 상기 박막 트랜지스터가:

게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 평판 디스플레이 소자에 있어서,

상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과,

상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외의 영역은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 평판 디스플레이 소자.

청구항 16.

제 15항에 있어서, 상기 MIC 결정을 갖는 영역은 상기 반도체 활성층의 채널 영역이고, 상기 MILC 결정을 갖는 영역은 소스 및 드레인 영역인 것을 특징으로 하는 평판 디스플레이 소자.

청구항 17.

제 15항 또는 제 16항에 있어서, 상기 반도체 활성층의 상부면의 적어도 일부에는 결정 촉매 물질층이 구비되는 것을 특징으로 하는 평판 디스플레이 소자.

청구항 18.

제 17항에 있어서, 상기 결정 촉매 물질층이 구비되는 영역은 상기 식각부 하부 영역인 것과,

상기 채널 영역에서의 상기 결정 촉매 물질의 농도는, 상기 게이트 전극을 향한 방향으로 감소하되, 누설 전류가 1pA 이하가 되도록 설정되는 농도인 것을 특징으로 하는 평판 디스플레이 소자.

청구항 19.

제 17항에 있어서, 상기 결정 촉매 물질은 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu, 및 Pt 중의 어느 하나 이상의 금속 물질인 것을 특징으로 하는 평판 디스플레이 소자.

청구항 20.

제 17항에 있어서, 상기 결정 촉매 물질은 Ni이고, 상기 채널 영역의 일표면에서의 Ni 농도는 약 10^{10} 이상 약 10^{12} 입자 개수/cm² 미만인 것을 특징으로 하는 평판 디스플레이 소자.

청구항 21.

기판의 일면 상부에 형성된 박막 트랜지스터를 구비하는 유기 전계 발광 디스플레이 소자로서, 상기 박막 트랜지스터가:

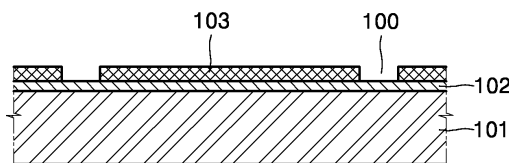
게이트 전극과, 상기 게이트 전극의 상부에 형성된 반도체 활성층과, 그리고 상기 반도체 활성층 일면 상부에 형성된 소스 및 드레인 전극을 구비하는 평판 디스플레이 소자에 있어서,

상기 반도체 활성층의 상기 소스 및 드레인 전극을 향한 일면에는 사전 설정된 깊이로 함입된 식각부가 구비되는 것과,

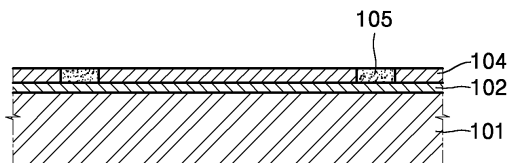
상기 반도체 활성층의, 상기 식각부에 대응하는 영역은 대체적으로 MIC 결정을 갖고, 그 이외의 영역은 대체적으로 MILC 결정을 갖는 것을 특징으로 하는 유기 전계 발광 디스플레이 소자.

도면

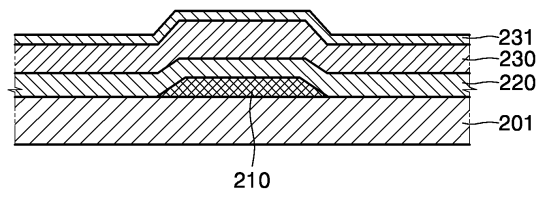
도면1a



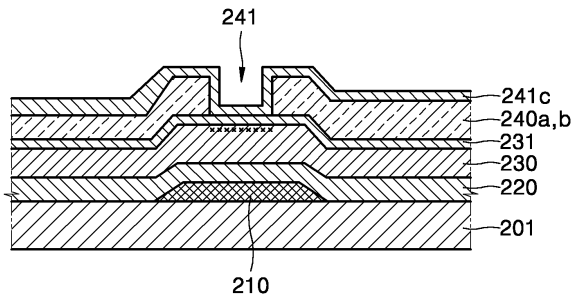
도면1b



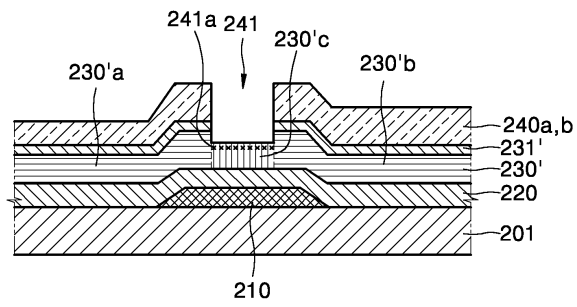
도면2a



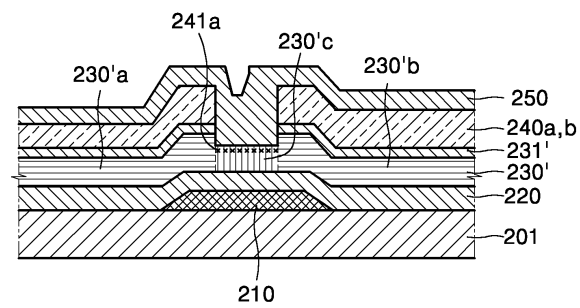
도면2b



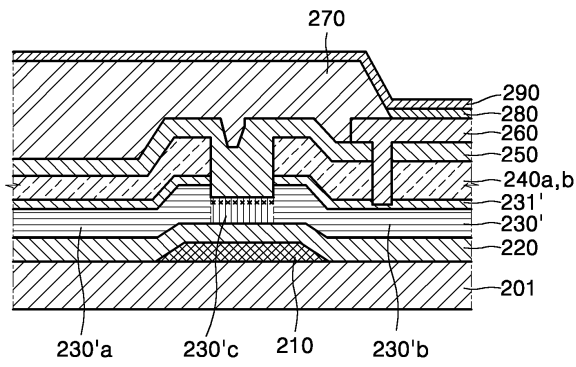
도면2c



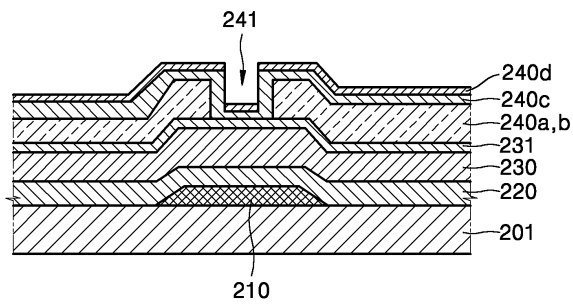
도면2d



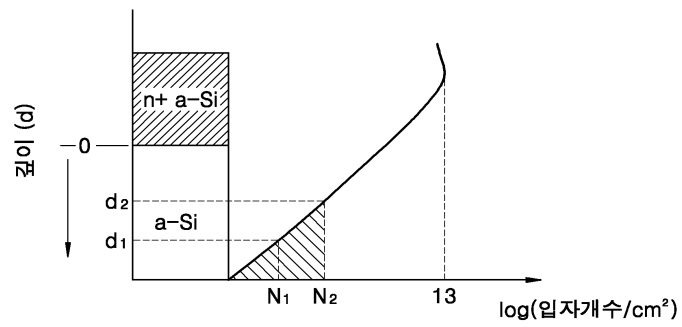
도면2e



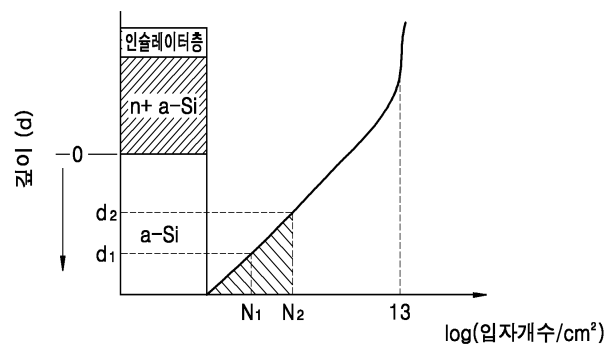
도면3



도면4a



도면4b



专利名称(译)	薄膜晶体管，薄膜晶体管的制造方法和具有该薄膜晶体管的平板显示装置		
公开(公告)号	KR1020050073744A	公开(公告)日	2005-07-18
申请号	KR1020040001809	申请日	2004-01-10
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	BAE SUNGSIK 배성식 LEE SANGGUL 이상걸		
发明人	배성식 이상걸		
IPC分类号	H05B33/00		
代理人(译)	李，杨HAE		
其他公开文献	KR100751315B1		
外部链接	Espacenet		

摘要(译)

本发明为薄膜晶体管的上述半导体有源层的一侧提供可预定的深度，而对应于上述半导体有源层的每个部分的等式的漏电极，浸渍的蚀刻部分是薄的薄膜晶体管，其中除了它的整体上具有MIC结晶的区域总体上具有MILC结晶及其制造方法以及包括其的平板显示器，特别是有机电致发光显示装置包括包括形成在基板的上部一侧的栅电极，以及形成在栅电极的上部的半导体有源层以及如果其在半导体有源层上方上升而形成在上部的源电极和漏电极的半导体有源层。

