



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월02일
(11) 등록번호 10-0900444
(24) 등록일자 2009년05월26일

(51) Int. Cl.

H05B 33/22 (2006.01) *H05B 33/10* (2006.01)

(21) 출원번호 10-2007-0063634

(22) 출원일자 2007년06월27일

심사청구일자 2008년09월23일

(65) 공개번호 10-2008-0114260

(43) 공개일자 2008년12월31일

(56) 선행기술조사문헌

KR1020030068455 A*

KR1020050052301 A*

JP2001175200 A

KR1020070079491 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

박홍기

대구 북구 동천동 950번지 화성센트럴파크아파트
208동 907호

오경택

대구 동구 신암1동 640-4

고삼민

인천 서구 검암동 풍림1차아파트 113동 101호

(74) 대리인

특허법인으로알

전체 청구항 수 : 총 2 항

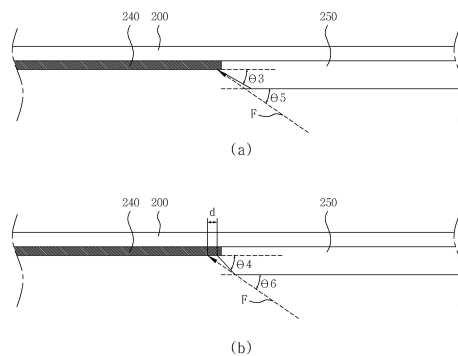
심사관 : 추장희

(54) 유기전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 기관, 상기 기관 상에 위치하는 반도체층, 상기 반도체층 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 반도체층의 일정 영역에 대응되는 게이트 전극, 상기 게이트 전극 상에 위치하는 층간 절연막, 상기 층간 절연막 상에 위치하며, 상기 반도체층과 전기적으로 연결되는 소오스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결되며, 상기 드레인 전극 하부에 위치하는 제 1 전극, 상기 제 1 전극을 노출시키는 개구부를 포함하는 बैं크층, 상기 제 1 전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 제 2 전극을 포함하며, 상기 बैं크층의 에지 영역의 테이퍼 각은 10 내지 50도인 유기전계발광표시장치를 제공한다.

대표도 - 도2e



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

기판 상에 반도체층을 형성하는 단계;

상기 반도체층 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 상기 반도체층의 일정 영역과 대응되는 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상에 제 1 전극을 형성하는 단계;

상기 층간 절연막 및 제 1 전극 상에 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 제 1 전극의 일부 영역을 노출시키는 개구부를 포함하며, 에지 영역에서 10 내지 50도의 테이퍼 각을 갖는 뱅크층을 형성하는 단계;

상기 제 1 전극 상에 35 내지 55도의 비산 각도로 발광 물질을 증착하여 발광층을 형성하는 단계; 및

상기 발광층 상에 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 4

제 3항에 있어서,

상기 뱅크층의 에지 영역의 테이퍼 각은 20 내지 35도로 형성되는 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 유기전계발광표시장치에 관한 것이다.
- <12> 최근, 표시장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기전계발광표시장치(Organic Light Emitting Device : OLED) 등과 같은 여러 가지의 디스플레이가 실용화되고 있다.
- <13> 이들 중, 액정표시장치는 음극선관에 비하여 시인성이 우수하고, 평균소비전력 및 발열량이 작으며, 또한, 유기전계발광표시장치는 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 표시장치로 주목받고 있다.
- <14> 유기전계발광표시장치를 구동하는 방식에는 수동 매트릭스(passive matrix) 방식과 박막 트랜지스터(thin film transistor)를 이용한 능동 매트릭스(active matrix) 방식이 있다. 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동하는데 비해, 능동 매트릭스 방식은 박막 트랜지스터를 각 화소 전극에 연결하고 박막 트랜지스터의 게이트 전극에 연결된 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다.
- <15> 유기전계발광표시장치는 제 1 전극, 발광층 및 제 2 전극을 포함하는 발광 다이오드를 포함할 수 있다. 보다 자

세하계는, 정공을 공급하는 역할을 하는 제 1 전극, 전자를 공급하는 역할을 하는 제 2 전극 및 제 1 전극과 제 2 전극 사이에 개재되어 정공과 전자가 반응하여 여기자(exiton)를 생성하여 발광하는 발광층으로 구성된다.

<16> 상기 발광 다이오드를 형성하는 방법으로는 ITO, IZO 등의 일함수가 높은 금속을 증착하고 패터닝하여 각 서브픽셀마다 제 1 전극을 형성하고, 제 1 전극의 일부분을 덮으며 각 서브픽셀을 정의하는 역할을 하는 बैं크층을 형성한다.

<17> 다음, 상기 बैं크층에 의해 노출된 제 1 전극 상에 발광층을 형성한다. 발광층은 무기물 또는 유기물로 이루어질 수 있는데, 발광층이 유기물로 이루어진 유기전계발광표시장치의 경우를 예로 들면, 유기물로 이루어진 발광층은 증발원을 가열하여 상부로 증착시키는 방법 중의 하나인 열증착법(Thermal Evaporation)으로 형성할 수 있다.

<18> 그러나, 열증착법은 기판과 증발원의 거리가 가까운 영역에서는 증착 두께가 균일하지만, 기판과 증발원의 거리가 먼 영역, 즉 기판의 최외곽 영역에서는 증착물의 비산 각도가 작아져 발광층이 증착되지 않는 영역이 발생하는 증착 섀도우 현상이 나타나게 된다.

<19> 따라서, 발광층이 증착되지 않은 영역으로 외기가 침투하여 신뢰성을 저하시키고, 화상에서 암점이 나타나게 되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<20> 따라서, 본 발명은 유기전계발광표시장치의 신뢰성 및 화상표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공한다.

발명의 구성 및 작용

<21> 상기한 목적을 달성하기 위해, 본 발명은 기판, 상기 기판 상에 위치하는 반도체층, 상기 반도체층 상에 위치하는 게이트 절연막, 상기 게이트 절연막 상에 위치하며, 상기 반도체층의 일정 영역에 대응되는 게이트 전극, 상기 게이트 전극 상에 위치하는 층간 절연막, 상기 층간 절연막 상에 위치하며, 상기 반도체층과 전기적으로 연결되는 소오스 전극 및 드레인 전극, 상기 드레인 전극과 전기적으로 연결되며, 상기 드레인 전극 하부에 위치하는 제 1 전극, 상기 제 1 전극을 노출시키는 개구부를 포함하는 बैं크층, 상기 제 1 전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 제 2 전극을 포함하며, 상기 बैं크층의 에지 영역의 테이퍼 각은 10 내지 50도인 유기전계발광표시장치를 제공한다.

<22> 또한, 상기한 목적을 달성하기 위해, 본 발명은 기판 상에 반도체층을 형성하는 단계, 상기 반도체층 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 상기 반도체층의 일정 영역과 대응되는 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 층간 절연막을 형성하는 단계, 상기 층간 절연막 상에 제 1 전극을 형성하는 단계, 상기 층간 절연막 및 제 1 전극 상에 상기 반도체층 및 상기 제 1 전극과 전기적으로 연결되는 소오스 전극 및 드레인 전극을 형성하는 단계, 상기 제 1 전극의 일부 영역을 노출시키는 개구부를 포함하며, 에지 영역에서 10 내지 50도의 테이퍼 각을 갖는 बैं크층을 형성하는 단계, 상기 제 1 전극 상에 발광층을 형성하는 단계 및 상기 발광층 상에 제 2 전극을 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

<23> 이하, 첨부한 도면들을 참조하여 본 발명의 실시 예들을 상세하게 설명하도록 한다.

<24> <실시예>

<25> 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 단면도이다.

<26> 도 1을 참조하면, 기판(100) 상에 버퍼층(105)이 위치한다. 버퍼층(105) 상에 비정질 또는 다결정 실리콘으로 이루어진 반도체층(110)이 위치한다. 반도체층(110) 상에 게이트 절연막(115)이 위치하고, 게이트 절연막(115) 상에 게이트 전극(120)이 위치한다.

<27> 게이트 전극(120)을 절연시키는 층간 절연막(125)이 위치하고, 층간 절연막(125)의 콘택홀들(130a, 130b)을 통해 반도체층(110)과 전기적으로 연결되는 소오스 전극(135a) 및 드레인 전극(135b)이 위치한다.

<28> 소오스 전극(135a) 및 드레인 전극(135b) 중 어느 하나와 전기적으로 연결된 제 1 전극(140)이 위치한다. 제 1 전극(140)은 드레인 전극(135b) 하부에 위치할 수 있다. 제 1 전극(140) 상에 제 1 전극(140)의 일정 영역을 노출시키는 개구부(155)를 포함하는 बैं크층(150)이 위치한다.

- <29> 뱅크층(150)은 제 1 전극(140)과 맞닿는 에지 영역의 테이퍼 각(θ_1)은 10 내지 50도로 이루어질 수 있으며, 보다 바람직하게는 뱅크층(150)의 제 1 전극(140)과 맞닿는 에지 영역의 테이퍼 각(θ_1)은 20 내지 35도일 수 있다.
- <30> 여기서, 제 1 전극(140)과 맞닿는 뱅크층(150)의 에지 영역의 테이퍼 각(θ_1)이 10도 이상이면, 뱅크층(150)이 제 1 전극(140)의 에지 영역에 집중된 전계에 의해 손상되는 것을 방지할 수 있어, 뱅크층(150)의 절연 특성을 향상시킬 수 있고, 제 1 전극(140)과 맞닿는 뱅크층(150)의 에지 영역의 테이퍼 각(θ_1)이 50도 이하이면, 추후 발광층을 증착하는 공정에서 발광층이 제 1 전극(140)의 에지 영역에 증착되지 않는 증착 섀도우 현상을 방지할 수 있는 이점이 있다.
- <31> 또한, 제 1 전극(140)과 맞닿는 뱅크층(150)의 에지 영역의 테이퍼 각(θ_1)이 20도 이상이면, 뱅크층(150)이 제 1 전극(140)의 에지 영역에 집중된 전계에 의해 손상되는 것을 더욱 방지할 수 있어, 뱅크층(150)의 절연 특성을 향상시킬 수 있고, 제 1 전극(140)과 맞닿는 뱅크층(150)의 에지 영역의 테이퍼 각(θ_1)이 35도 이하이면, 추후 발광층을 증착하는 공정에서 발광층이 제 1 전극(140)의 에지 영역에 증착되지 않는 증착 섀도우 현상을 더욱 방지할 수 있는 이점이 있다.
- <32> 제 1 전극(140)의 노출된 영역 상에 발광층(160)이 위치하고, 발광층(160) 상에 제 2 전극(170)이 위치한다.
- <33> 이상과 같은 구조를 갖는 본 발명의 일 실시 예에 따른 유기전계발광표시장치는 제 1 전극과 맞닿는 뱅크층의 에지 영역의 테이퍼 각을 조절함으로써, 뱅크층의 절연 특성을 향상시키고, 발광층을 균일하게 증착하여 증착 섀도우 현상이 발생하는 것을 방지할 수 있는 유기전계발광표시장치를 제공할 수 있는 이점이 있다.
- <34> 이하에서는 도 2a 내지 도 2f를 참조하여, 상기와 같은 구조를 갖는 본 발명의 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기로 한다.
- <35> 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 나타낸 공정별 단면도이다.
- <36> 도 2a를 참조하면, 유리, 플라스틱 또는 금속을 포함하는 기판(200) 상에 버퍼층(205)을 형성한다. 버퍼층(205)은 기판(200)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막 트랜지스터를 보호하기 위해 형성하는 것으로, 실리콘 산화물(SiO_2), 실리콘 질화물(SiN_x) 등을 사용하여 선택적으로 형성한다.
- <37> 이어, 버퍼층(205) 상에 반도체층(210)을 형성한다. 버퍼층(205) 상에 반도체층(210)이 위치한다. 반도체층(210)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 반도체층(210)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다.
- <38> 다음, 도 2b를 참조하면, 반도체층(210)을 포함하는 기판(200) 상에 게이트 절연막(215)이 위치한다. 게이트 절연막(215)은 실리콘 산화물(SiO_2) 또는 실리콘 질화물(SiN_x) 등을 사용하여 선택적으로 형성할 수 있다.
- <39> 이어, 반도체층(210)의 일정 영역에 대응되도록, 즉 채널 영역에 대응되도록 게이트 절연막(215) 상에 게이트 전극(220)을 형성한다.
- <40> 게이트 전극(220)은 알루미늄(Al), 알루미늄 합금(Al alloy), 티타늄(Ti), 은(Ag), 몰리브덴(Mo), 몰리브덴 합금(Mo alloy), 텅스텐(W), 텅스텐 실리사이드(WSi_2) 중 어느 하나를 포함할 수 있다.
- <41> 다음, 게이트 전극(220)을 포함한 기판(220) 상에 층간 절연막(225)을 형성한다. 층간 절연막(225)은 유기막 또는 무기막일 수 있으며, 이들의 복합막일 수도 있다. 있다. 층간 절연막(225)이 무기막인 경우 실리콘 산화물(SiO_2), 실리콘 질화물(SiN_x) 또는 SOG(silicate on glass)를 포함할 수 있으며, 유기막인 경우 아크릴계 수지, 폴리에미드계 수지 또는 벤조사이클로부텐(benzocyclobutene, BCB)계 수지를 포함할 수 있다.
- <42> 이어, 층간절연막(225) 및 게이트 절연막(215)을 식각하여 반도체층(210)의 일부를 노출시키는 콘택홀들(230a, 230b)을 형성한다.
- <43> 다음, 도 2c를 참조하면, 콘택홀들(230a, 230b)이 형성된 기판(200) 상에 제 1 전극(240)을 형성한다. 제 1 전극(240)은 애노드일 수 있으며 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전층을 포함

할 수 있다. 또는, 제 1 전극(240)은 ITO/Ag/ITO와 같은 적층구조를 가질 수도 있다.

- <44> 이어, 층간 절연막(225) 상에 소오스 전극 및 드레인 전극(245a, 245b)을 형성한다. 소오스 전극 및 드레인 전극(245a, 245b)은 콘택홀들(230a, 230b)을 통하여 반도체층(210)과 전기적으로 연결되며, 드레인 전극(245b)의 일부는 제 1 전극(240) 상에 위치하여, 제 1 전극(240)과 전기적으로 연결된다.
- <45> 소오스 전극 및 드레인 전극(245a, 245b)은 배선 저항을 낮추기 위해 저저항 물질을 포함할 수 있으며, 몰리 텅스텐(MoW), 티타늄(Ti), 알루미늄(Al) 또는 알루미늄 합금(Al alloy)으로 이루어진 다층막일 수 있다. 다층막으로는 티타늄/알루미늄/티타늄(Ti/Al/Ti) 또는 몰리 텅스텐/알루미늄/몰리 텅스텐(MoW/Al/MoW)의 적층구조가 사용될 수 있다.
- <46> 이어, 제 1 전극(240)이 형성된 기판(200) 상에 뱅크층(250)을 형성한다. 뱅크층(250)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리에미드 수지 등의 유기물을 포함할 수 있다. 뱅크층(250)을 식각하여 제 1 전극(240)의 일부 영역을 노출시키는 개구부(255)를 형성한다.
- <47> 이때, 뱅크층(250)은 제 1 전극(240)과 맞닿는 에지 영역의 테이퍼 각(θ_2)이 10 내지 50도로 이루어질 수 있다. 여기서, 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_2)이 10도 이상이면, 제 1 전극(240)의 에지 영역에서 전계가 집중되어 뱅크층(250)이 손상되는 것을 방지하여 절연 특성을 향상시킬 수 있고, 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_2)이 50도 이하이면, 추후 발광층을 증착하는 공정에서 제 1 전극(240)의 에지 영역에 발광층이 증착되지 않는 증착 섀도우 현상을 방지할 수 있는 이점이 있다.
- <48> 보다 바람직하게, 뱅크층(250)은 제 1 전극(240)과 맞닿는 에지 영역의 테이퍼 각(θ_2)이 20 내지 35도로 이루어질 수 있다. 여기서, 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_2)이 20도 이상이면, 제 1 전극(240)의 에지 영역에서 전계가 집중되어 뱅크층(250)이 손상되는 것을 더욱 방지하여 절연 특성을 향상시킬 수 있고, 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_2)이 35도 이하이면, 추후 발광층을 증착하는 공정에서 제 1 전극(240)의 에지 영역에 발광층이 증착되지 않는 증착 섀도우 현상을 더욱 방지할 수 있는 이점이 있다.
- <49> 이어, 도 2d를 참조하면, 제 1 전극(240) 및 절연층(250)이 형성된 기판(200)을 진공 챔버(300)에 로딩한다. 진공 챔버(300) 내에는 유기물 또는 무기물을 포함하는 증발원(310)이 위치한다. 그런 다음, 기판(200)과 마스크(320)를 정렬시키고, 진공 챔버(300)의 하부에 위치하는 증발원(310)을 가열하면서, 뱅크층(250)의 개구부(255)에 의해 노출된 제 1 전극(240) 상에 발광층(260)을 형성한다. 여기서, 증발원(310)을 기판(200)의 중앙 부분에 대응하는 하부 영역에 위치하는 것으로 도시하였지만, 경우에 따라 증발원은 기판의 외곽 영역에 대응하도록 위치할 수 있다. 이때, 증발원(300)에서 발생하는 증발 물질의 비산 각도(θ)의 최소값은 35 내지 55도일 수 있다.
- <50> 보다 자세하게, 도 2e를 참조하여 유기물 증착시 유기물의 증착 섀도우 현상이 발생하는 개략도를 참조하여 하기에 설명한다.
- <51> 도 2e를 참조하면, 소오스 전극 및 드레인 전극(235a, 235b)을 포함하는 기판(200) 상에 제 1 전극(240)이 위치하고, 제 1 전극(240)의 일부 영역을 덮는 뱅크층(250)이 위치한다. 뱅크층(250) 상에는 유기물을 증착하기 위한 마스크(320)가 위치한다. 그리고, 유기물 증착 시의 유기물의 증착 경로(F)가 도시되어 있다. 이때의 유기물의 비산 각도($\theta_5 = \theta_6$)는 동일할 수 있다.
- <52> 먼저, 도 2e의 (a)는 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_3)이 10 내지 50도일 경우의 유기물 증착 시의 개략도를 나타낸다.
- <53> 도 2e의 (a)에서 나타나는 바와 같이, 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_3)이 10 내지 50도일 경우에는 제 1 전극(240)과 뱅크층(250)이 맞닿는 에지 영역까지 유기물이 증착되는 것을 알 수 있다.
- <54> 이와는 달리, 도 2e의 (b)는 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_4)이 50도를 초과할 경우의 유기물 증착 시의 개략도를 나타낸다.
- <55> 도 2e의 (b)에서 나타나는 바와 같이, 제 1 전극(240)과 맞닿는 뱅크층(250)의 에지 영역의 테이퍼 각(θ_4)이 50도를 초과하는 경우에는 마스크(251)에 의해 유기물이 제 1 전극(240)과 뱅크층(250)이 맞닿는 에지 영역에 증착되지 못하는 증착 섀도우(d) 현상이 발생한다. 즉, 제 1 전극(240)과 뱅크층(250)이 맞닿는 에지 영역으로

부터 증착 웨도우(d)가 발생하게 된다.

- <56> 따라서, 제 1 전극(240)과 बैंक층(250)이 맞닿는 에지 영역에 발광층이 증착되지 않아 화상에 암점이 발생하고, 외기가 침투하여 발광층이 쉽게 열화되는 문제점이 발생하게 된다.
- <57> 그러므로, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제 1 전극과 맞닿는 बैंक층의 에지 영역의 테이퍼 각을 10 내지 50도, 보다 바람직하게는 20 내지 35도로 형성함으로써, 화상의 표시품질을 향상시킬 수 있으며, 유기전계발광표시장치의 신뢰성을 향상시킬 수 있는 이점이 있다.
- <58> 여기서 도시하지는 않았지만, 유기 발광층(260)을 형성하기 전, 제 1 기판 상에 정공주입층 및 정공수송층을 형성할 수 있으며, 유기 발광층(260)을 형성한 후에 전자수송층 및 전자주입층이 형성될 수 있다. 상기 발광층(260)은 열증착법(Thermal Evaporation)으로 형성할 수 있다.
- <59> 이어, 도 2f를 참조하면, 발광층(260) 상에 제 2 전극(270)을 형성한다. 제 2 전극(270)은 발광층(260)에 전자를 공급하는 캐소드일 수 있으며, 마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금을 포함할 수 있다.
- <60> 따라서, 제 1 전극(240), 발광층(260) 및 제 2 전극(270)을 포함하는 유기전계발광표시장치를 완성한다.
- <61> 상술한 공정에 따라 제조된 유기전계발광표시장치는 제 1 전극과 맞닿는 बैंक층의 에지 영역의 테이퍼 각도를 조절하여 발광층 형성시, 증착 쉘도우 현상을 방지하여 표시장치의 화상품을 향상시키고, 신뢰성을 향상시킬 수 있는 이점이 있다.
- <62> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

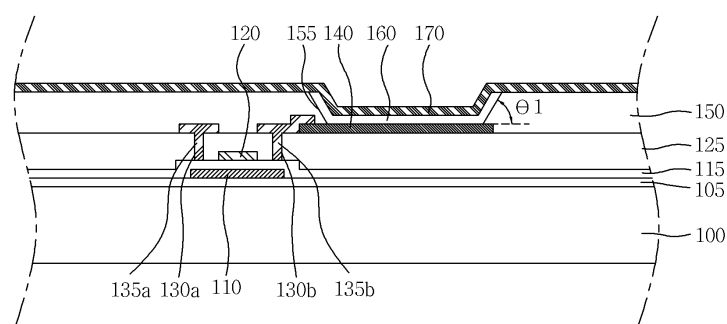
- <63>** 상술한 바와 같이, 본 발명의 유기전계발광표시장치는 제 1 전극과 맞닿는 बैं크층의 에지 영역의 테이퍼 각도를 조절하여 발광층 형성시, 증착 웨도우 현상을 방지하여 표시장치의 화상품질을 향상시키고, 신뢰성을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

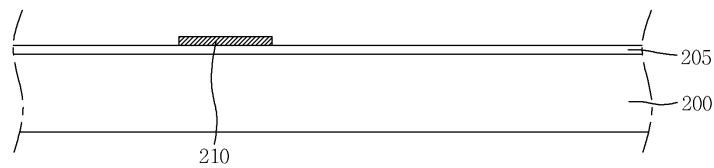
- | | | |
|------|--|------------------------------|
| <1> | 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 단면도. | |
| <2> | 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 공정별 단면도. | |
| <3> | * 도면의 주요부분에 대한 부호의 설명 * | |
| <4> | 200 : 기관 | 205 : 버퍼층 |
| <5> | 210 : 반도체층 | 215 : 게이트 절연막 |
| <6> | 220 : 게이트 전극 | 225 : 층간 절연막 |
| <7> | 230a, 230b : 콘택홀 | 235a, 235b : 소오스 전극 및 드레인 전극 |
| <8> | 240 : 제 1 전극 | 250 : बैं크층 |
| <9> | 255 : 개구부 | 260 : 발광층 |
| <10> | 270 : 제 2 전극 | |

도면

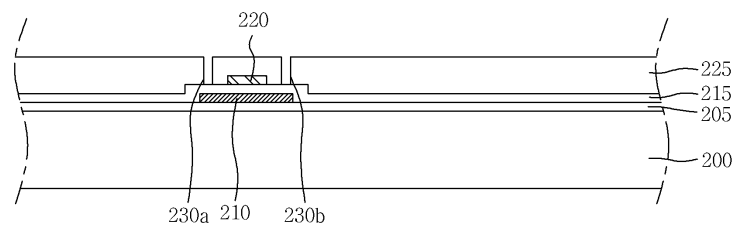
도면1



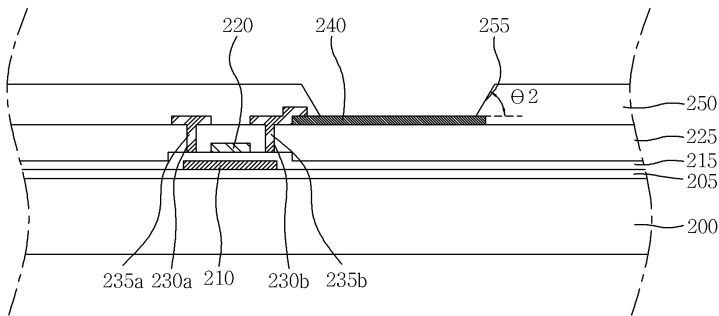
도면2a



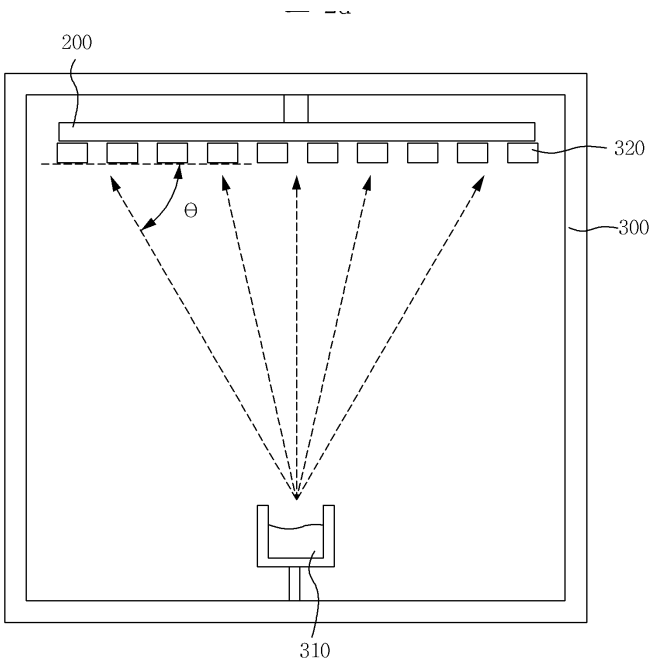
도면2b



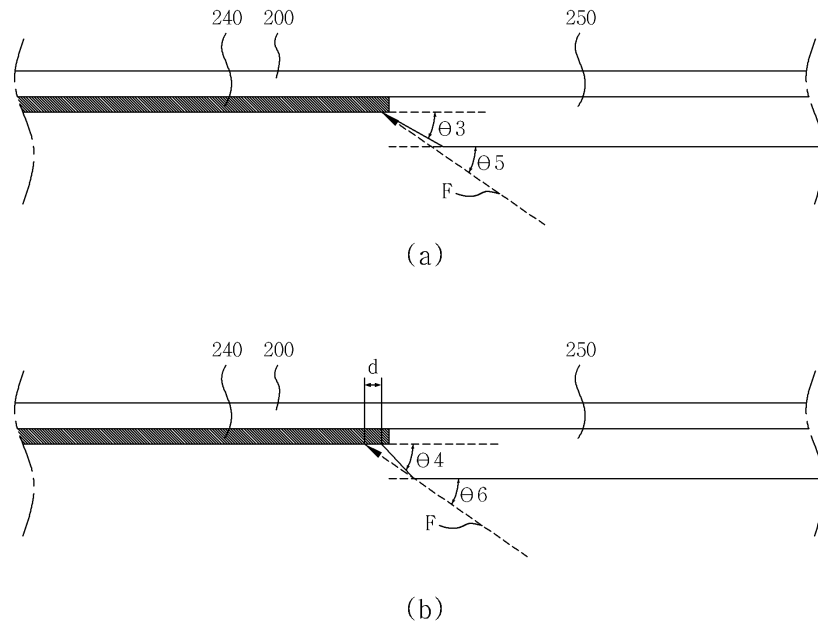
도면2c



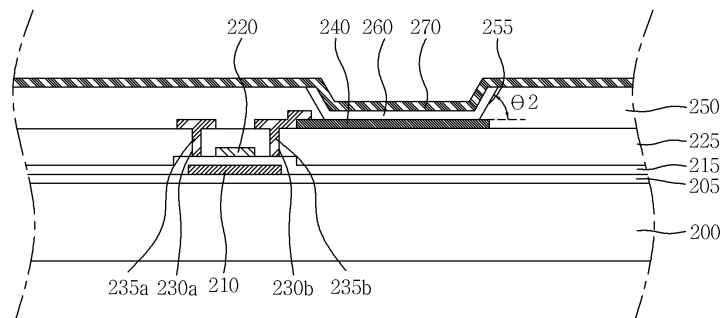
도면2d



도면2e



도면2f



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100900444B1	公开(公告)日	2009-06-02
申请号	KR1020070063634	申请日	2007-06-27
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	PARK HONG KI 박홍기 OH KYUNG TAK 오경탁 KO SAM MIN 고삼민		
发明人	박홍기 오경탁 고삼민		
IPC分类号	H05B33/22 H05B33/10		
CPC分类号	H01L27/3246 H01L51/0078 H01L51/0059 H01L51/006 H01L51/0037 H01L51/0085 H01L51/0087 H01L51/5048 H01L28/40 H01L51/5088 H01L51/0035		
其他公开文献	KR1020080114260A		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括衬底，设置在衬底上的半导体层，设置在半导体层上的栅极绝缘膜，位于栅极绝缘膜上并对应于半导体层的特定区域的栅电极，源极电极和漏极电极电连接到半导体层，第一电极电连接到漏电极，第一电极位于漏电极下面，并且第二电极设置在发光层上，其中堤层边缘区域的锥角在10到50度的范围内，提供一种显示装置。

