



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

H05B 33/10 (2006.01)

H05B 33/26 (2006.01)

(45) 공고일자

2007년03월28일

(11) 등록번호

10-0700496

(24) 등록일자

2007년03월21일

(21) 출원번호

10-2005-0104504

(65) 공개번호

(22) 출원일자

2005년11월02일

(43) 공개일자

심사청구일자

2005년11월02일

(73) 특허권자

삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자

서창수
 경기 용인시 기흥읍 공세리 삼성SDI중앙연구소

(74) 대리인

박상수

(56) 선행기술조사문현

1020030054795 *

* 심사관에 의하여 인용된 문현

심사관 : 정두한

전체 청구항 수 : 총 5 항

(54) 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치

(57) 요약

본 발명은 MIC/MILC를 이용하여 공정을 단순화하고, 전면발광의 효율을 높이며 배선저항 및 누설전류를 감소시킬 수 있는 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치에 관한 것이다.

본 발명의 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치는 기판; 상기 기판상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하는 충간 절연막; 상기 게이트 절연막 및 충간 절연막의 일부 영역을 관통하여 상기 반도체층의 일부 영역을 노출시키는 콘택홀을 통해 상기 반도체층과 콘택하고, 적어도 제 1 금속막/제 2 금속막/투명도전막을 포함하는 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 한다.

대표도

도 4

특허청구의 범위

청구항 1.

기판;

상기 기판상에 위치하는 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하는 층간 절연막;

상기 게이트 절연막 및 층간 절연막의 일부 영역을 관통하여 상기 반도체층의 일부 영역을 노출시키는 콘택홀을 통해 상기 반도체층과 콘택하고, 적어도 제 1 금속막/제 2 금속막/투명도전막을 포함하는 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

기판;

상기 기판상에 위치하는 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하는 게이트 전극;

상기 게이트 전극 상에 위치하는 층간 절연막;

상기 게이트 절연막 및 층간 절연막의 일부 영역을 관통하여 상기 반도체층의 일부 영역을 노출시키는 콘택홀을 통해 상기 반도체층과 콘택하고, 적어도 제 1 금속막/제 2 금속막/투명도전막을 포함하는 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극과 연결되고, 동일한 층에 위치하고 동일한 구조로 형성된 제 1 전극; 및

상기 제 1 전극 상에 개구부를 구비한 화소 정의막을 포함하며;

상기 제 1 금속막은 상기 반도체층과 콘택하고 있고, 상기 제 1 금속막과 접촉된 영역은 제 1 결정화영역이고, 상기 제 1 영역을 제외한 나머지 반도체층은 제 2 결정화 영역인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3.

제 2 항에 있어서,

상기 제 1 금속막은 Ni, Cu, Al, Pd로 이루어진 군에서 선택된 하나를 사용하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4.

제 2 항에 있어서,

상기 제 2 금속막은 Al, Ag 및 이들의 합금중 어느 하나를 사용하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5.

제 2 항에 있어서,

상기 투명도전막은 ITO 또는 IZO를 사용하는 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치에 관한 것으로, 보다 자세하게는, MIC/MILC를 이용하여 공정을 단순화하고, 전면발광의 효율을 높이며 배선저항 및 누설전류를 감소시킬수 있는 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치에 관한 것이다.

최근, 유리 기판이 허용하는 저온에서 빠른 시간 내에 다결정 Si을 형성하는 다양한 공정이 제안되고 있다. 이러한 기술로는 엑시머레이저열처리(Eximer Laser Annealing : ELA), 금속유도결정화(Metal Induced Crystallization : MIC), 금속유도측면결정화(Metal Induced Lateral Crystallization : MILC)등을 들 수 있다.

그러나 엑시머레이저열처리(ELA)는 레이저 조사량에 따른 다결정 Si의 결정립 구조가 매우 불균일하고, 공정 범위가 좁아 균일한 결정질의 poly-Si의 제조가 어려운 문제점이 있다. 또한 poly-Si막의 표면이 거칠어 소자의 특성에 나쁜 영향을 주게 된다.

이러한 ELA법의 문제점을 극복하기 위해 다양한 방법이 제안, 개발되고 있는데, 이중 대표적인 것이 금속유도결정화(MIC)와 금속유도측면결정화(MILC)법이다. 금속유도결정화(MIC)는 비정질 Si에 금속촉매를 스퍼터나 스판 코팅의 방법으로 도포하여 낮은 온도에서 결정화를 유도하는 방법이다. 금속 촉매로 Ni, Cu, Al, Pd등의 다양한 금속이 사용 가능하나, 반응 제어가 쉽고 결정립이 큰 Ni이 대표적으로 사용되고 있다. 금속유도측면결정화(MILC)방법은 소스/드레인 영역에 금속을 증착하여 MIC를 우선적으로 유도하고, 이를 시드로 하여 게이트 하부의 활성화 영역으로 측면 성장하게 되는 결정화 유도 방법이다.

도 1은 종래 유기전계발광표시장치의 단면도이다.

도 1을 참조하면, 먼저 유리나 합성수지 등으로 이루어진 투명한 기판(100)상에 베퍼층(110)을 형성하고, 상기 베퍼층(110) 상에 비정질 실리콘으로 이루어진 반도체층(120)을 형성한다. 상기 반도체층(120) 상에 게이트 절연막(130)을 형성하고, 상기 게이트 절연막(130) 상에 게이트 전극(140)을 형성한다.

이후에, 상기 게이트 전극(140) 상에 층간 절연막(150)을 형성하고, 상기 반도체층(120)의 일부분이 노출되도록 상기 층간 절연막(150)과 게이트 절연막(130)을 패터닝하여 콘택홀(151,152)을 형성한다.

이후에, 상기 콘택홀(151,152)을 포함한 상기 층간 절연막(150) 상에 Ni박막(160)을 증착한 후, 고농도 불순물 이온주입과 열처리 공정을 실시하여 상기 콘택홀(151,152)에 의해 노출된 영역은 MIC 결정화를 이루고, 그 외의 영역은 MILC 결정화를 이룬다.

이어서, 도 2를 참조하면, 상기 Ni박막(160)을 제거하고, 상기 콘택홀(151,152)을 포함한 상기 층간 절연막(150) 상에 소스/드레인 전극(165,166)을 형성한다.

이어서, 기판 전면에 비어홀을 구비한 평탄화막(170)을 형성하고, 상기 비어홀을 포함한 상기 평탄화막(170) 상에 제 1 전극(180)을 형성한다. 상기 제 1 전극(180) 상에 개구부를 구비한 화소 정의막(190)을 형성하고, 상기 화소 정의막(190)의 개구부에 상기 유기막층(200)을 형성하고, 상기 기판(100) 전면에 제 2 전극(210)을 형성함으로써, 종래 유기전계발광표시장치가 완성된다.

그러나 상기와 같은 종래의 유기전계발광표시장치는 결정화 공정이 복잡하고, 추후 공정에서 마스크가 많이 사용되며, 배선저항 및 누설전류가 많이 발생하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, MIC/MILC를 이용하여 공정을 단순화하고, 전면발광 효율을 높이며 배선저항 및 누설전류를 감소시킬 수 있는 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치를 제공함에 본 발명의 목적이 있다.

발명의 구성

본 발명의 상기 목적은 기판; 상기 기판상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하는 충간 절연막; 상기 게이트 절연막 및 충간 절연막의 일부 영역을 관통하여 상기 반도체층의 일부 영역을 노출시키는 콘택홀을 통해 상기 반도체층과 콘택하고, 적어도 제 1 금속막/제 2 금속막/투명도전막을 포함하는 소스 전극 및 드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터에 의해 달성된다.

또한, 본 발명의 상기 목적은 기판; 상기 기판상에 위치하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하는 게이트 전극; 상기 게이트 전극 상에 위치하는 충간 절연막; 상기 게이트 절연막 및 충간 절연막의 일부 영역을 관통하여 상기 반도체층의 일부 영역을 노출시키는 콘택홀을 통해 상기 반도체층과 콘택하고, 적어도 제 1 금속막/제 2 금속막/투명도전막을 포함하는 소스 전극 및 드레인 전극; 상기 소스 전극 및 드레인 전극과 연결되고, 동일한 층에 위치하고 동일한 구조로 형성된 제 1 전극; 및 상기 제 1 전극 상에 개구부를 구비한 화소 정의막을 포함하며; 상기 제 1 금속막은 상기 반도체층과 콘택하고 있고, 상기 제 1 금속막과 접촉된 영역은 제 1 결정화영역이고, 상기 제 1 영역을 제외한 나머지 반도체층은 제 2 결정화 영역인 것을 특징으로 하는 유기전계발광표시장치에 의해서도 달성된다.

본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

이하, 첨부된 도면을 참조하여 본 발명의 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치에 대하여 보다 상세히 설명하기로 한다.

도 3 내지 도 5는 본 발명의 실시예에 따른 유기전계발광표시장치의 단면도이다.

먼저, 도 3를 참조하여 설명하면, 기판(300)상에 상기 기판(300)으로부터 불순물을 막아주는 베퍼층(310)을 형성한다. 상기 베퍼층(310)은 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층으로 형성할 수 있다.

상기 베퍼층(310) 상에 비정질 실리콘층을 형성한 후, 패터닝하여 반도체층(320)을 형성한다. 이어서, 상기 반도체층(320)과 베퍼층(310)을 포함한 기판 전면에 게이트 절연막(330)을 형성한다. 상기 게이트 절연막(330)은 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층으로 형성할 수 있다.

이후에, 상기 게이트 절연막(330) 상에 게이트 전극물질을 패터닝하여 게이트 전극(340)을 형성하고, 상기 반도체층(320)에 불순물을 이온 주입하여 소스 및 드레인 영역(324,325)을 형성한다.

보다 자세하게는, 상기 게이트 전극(340)을 마스크로 하여 상기 반도체층(320)에 불순물을 이온 주입함으로써 소스 및 드레인 영역(324,325)을 형성한다. 이때, 상기 게이트 전극(340)에 의해 마스킹 되어 이온이 주입되지 않은 반도체층은 채널 영역이 된다.

이후에, 상기 게이트 전극(340)과 게이트 절연막(330)을 포함한 기판 전면에 층간 절연막(350)을 형성한 후, 상기 게이트 절연막(330)과 층간 절연막(350) 중에서 소스 및 드레인 영역(324,325)에 대응되는 부분을 패터닝하여 콘택홀(351,352)을 형성하여 상기 게이트 절연막(330) 및 층간 절연막(350)의 외부로 소스 및 드레인 영역(324,325)의 일부영역을 노출시킨다.

이후에, 도 4에 도시된 바와 같이 상기 콘택홀(351,352)을 포함한 층간 절연막(350) 상에 제 1 금속막(361)을 형성한다. 이때, 상기 제 1 금속막(361)은 MIC/MILC 형성용 금속물질인 Ni, Cu, Al, Pd을 사용할 수 있다. 본 발명에서는 Ni을 사용하는 것이 바람직하다.

이어서, 상기 제 1 금속막(361) 상에 제 2 금속막(362)을 형성한다. 이때, 상기 제 2 금속막(362)은 저저항이면서 높은 반사도를 갖는 금속물질인 Al, Ag 및 이들의 합금 중 하나를 사용할 수 있다. 상기 제 2 금속막(362)은 추후에 소스 전극, 드레인 전극 및 각종 배선을 형성한다. 또한, 저저항이면서 높은 반사도를 갖는 금속물질을 사용함으로써, 각 배선들의 저항을 낮춤으로써 누설전류를 막는 역할을 하는 동시에 유기발광층에서 발광하는 빛을 반사하여 전면발광의 효율을 높일 수 있다.

이어서, 상기 제 2 금속막(362) 상에 투명도전막(363)을 형성한다. 이때, 투명도전막(363)은 높은 일함수를 갖는 금속물질인 ITO 또는 IZO 중 하나를 사용할 수 있다. 상기 투명도전막(363)은 추후에 유기전계발광소자의 제 1 전극으로 사용할 수 있다.

이후에, 열처리를 통해 상기 비정질 실리콘으로 이루어진 반도체층(320)을 다결정 실리콘으로 결정화한다. 상기 반도체층(320)의 결정화는 로(Furnace)에서 약 400~500°C로 열처리하면, 상기 제 1 금속막(361)과 접촉하는 상기 반도체층(320)의 비정질 실리콘은 상기 제 1 금속막(361)이 촉매로 작용하여 MIC방법에 의해 결정화되고, 상기 MIC 방법에 의해 결정화된 영역의 에지부, 즉 MIC/MILC 경계면에서 MILC결정화가 시작되어 상기 제 1 금속막(361)과 접촉된 이외의 영역의 비정질 실리콘은 MILC 방법에 의해 결정화된다. 즉, 상기 MIC/MILC 경계면이 MILC 결정화의 시작점이 되어 상기 비정질 실리콘을 결정화하는 것이다.

상기 다층으로 형성된 소스 및 드레인 전극물질을 패터닝하여 소스 전극 및 드레인 전극(374,375) 및 소스 전극 및 드레인 전극(374,375)중 어느 하나에 연결되는 제 1 전극(376)을 형성한다.

상기와 같이, 제 1 금속막/제 2 금속막/투명도전막으로 구성된 소스 전극 및 드레인 전극(374,375)을 구비함으로써, 상기 반도체층(320)을 MIC/MILC 방법으로 결정화하는데 있어서 종래 촉매금속층을 따로 형성한 후, 결정화하고 제거하는 복잡한 공정을 거치지 않아도 되는 이점이 있다.

또한, 상기 제 1 전극(376)을 형성하는데 있어서, 기존의 마스크 공정을 줄일 수 있어서, 제조원가의 절감 및 공정의 편의를 도모할 수 있는 이점이 있다.

이후에, 도 5에 도시된 바와 같이 상기 소스 전극 및 드레인 전극(374,375) 상에 패터닝을 통하여 개구부를 구비한 화소정의막(380)을 형성한다. 이어서, 상기 화소정의막(380)상에 유기발광층을 포함하는 유기막층(390)을 형성한다. 이때, 상기 유기막층(390)은 정공주입층(HIL), 정공수송층(HTL), 정공저지층(HBL), 전자수송층(ETL) 및 전자주입층(EIL) 중에 어느 하나 이상을 포함할 수 있다.

이어서, 상기 유기막층(390) 상에 제 2 전극(400)을 형성하여 본 발명의 유기전계발광표시장치를 완성한다.

본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

따라서, 본 발명의 박막 트랜지스터 및 이를 이용한 유기전계발광표시장치는 MIC/MILC를 이용하여 공정을 단순화하고, 전면발광의 효율을 높이며 배선저항 및 누설전류를 감소시킬수 할 수 있는 효과가 있다.

도면의 간단한 설명

도 1 및 도 2 는 종래의 유기전계발광표시장치의 단면도.

도 3 내지 도 5 는 본 발명의 실시예에 따른 유기전계발광표시장치의 단면도.

<도면의 주요부분에 대한 부호의 설명>

300 -- 기판 310 -- 버퍼층

320 -- 반도체층 330 -- 게이트 절연막

340 -- 게이트 전극 350 -- 층간 절연막

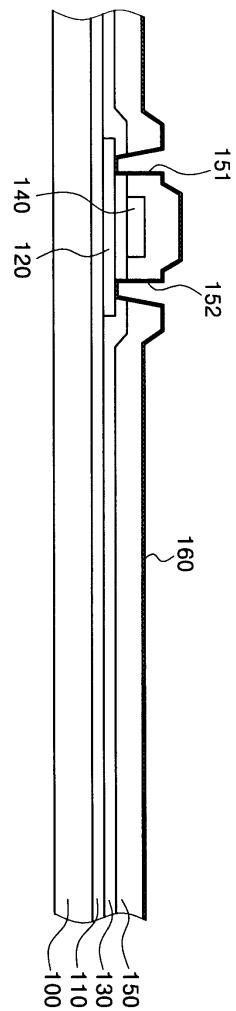
374,375 -- 소스 전극 및 드레인 전극 376 -- 제 1 전극

380 -- 화소 정의막 390 -- 유기막층

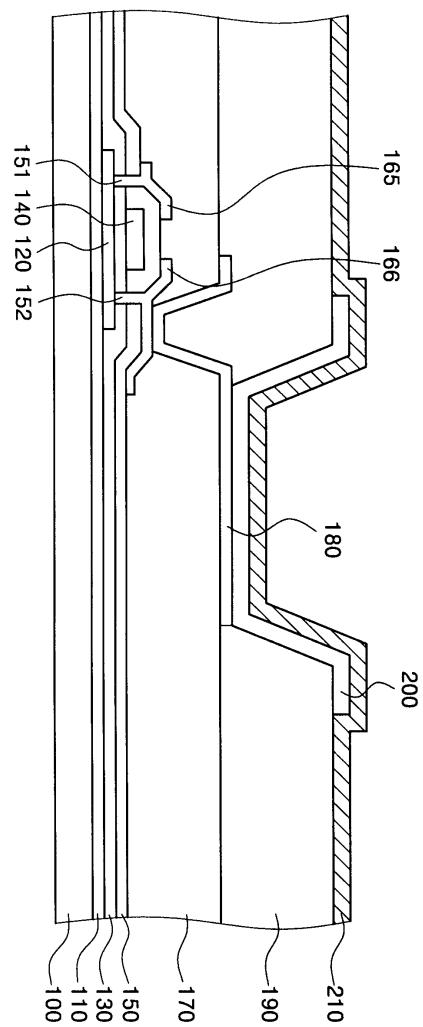
400 -- 제 2 전극

도면

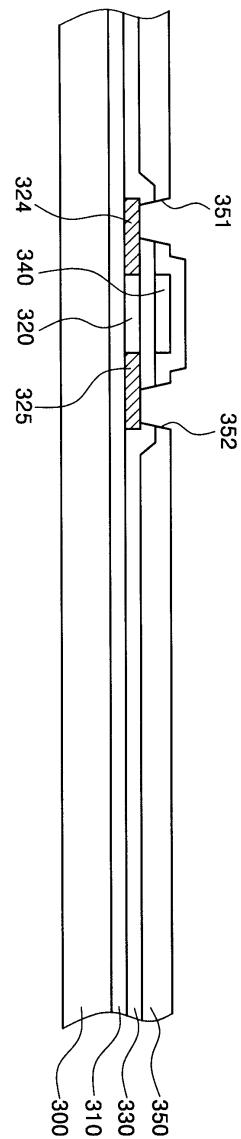
도면1



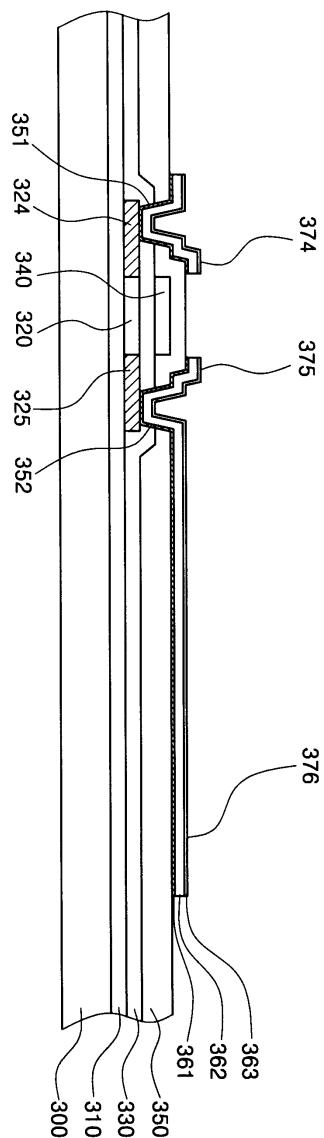
도면2



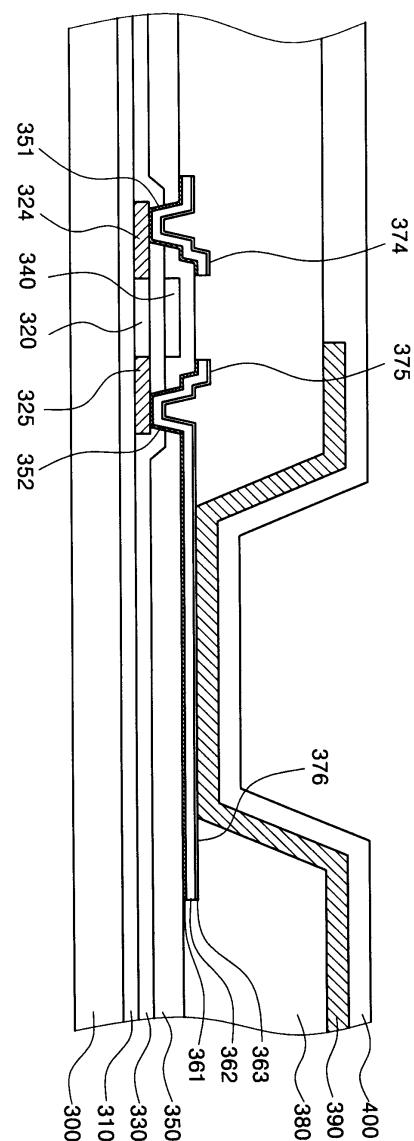
도면3



도면4



도면5



专利名称(译)	薄膜晶体管和使用其的有机发光显示器		
公开(公告)号	KR100700496B1	公开(公告)日	2007-03-28
申请号	KR1020050104504	申请日	2005-11-02
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	SEO CHANG SU		
发明人	SEO,CHANG SU		
IPC分类号	H05B33/10 H05B33/26		
CPC分类号	H01L27/3248 H01L27/3279 H01L2251/5315		
代理人(译)	PARK, 常树		
外部链接	Espacenet		

摘要(译)

提供薄膜晶体管和使用其的有机发光显示装置，以通过使用MIC (金属诱导结晶) / MILC (金属诱导横向结晶) 来减小TFT (薄膜晶体管) 的漏电流和线电阻。处理。薄膜晶体管包括衬底 (300)，半导体层 (320)，栅极绝缘膜 (330)，栅电极 (340)，层间电介质 (350) 以及源电极和漏电极 (374,375)。半导体层形成在基板上。栅极绝缘膜形成在半导体层上。栅电极设置在栅极绝缘膜上。层间电介质布置在栅电极上。源电极和漏电极通过接触孔与半导体层接触，以暴露半导体层的一部分。源电极和漏电极至少包括第一金属膜，第二金属膜和透明导电膜。

