

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월24일 10-0563060 2006년03월15일
---	-------------------------------------	--

(21) 출원번호	10-2004-0003236	(65) 공개번호	10-2005-0075871
(22) 출원일자	2004년01월16일	(43) 공개일자	2005년07월25일

(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575
(72) 발명자	황의훈 경기도안양시동안구관양동1589-1 한가람신라아파트405동603호
(74) 대리인	리엔목특허법인 이해영

심사관 : 여운석

(54) 박막 트랜지스터를 구비한 평판표시장치

요약

본 발명은 태양광으로 인한 누설전류 증대를 방지하고, 계조 구현이 용이하도록 하기 위한 것으로, 기관과, 상기 기관 상에 구비되어 소정의 화상이 구현되고, 적어도 채널 영역을 포함한 활성층과, 게이트 전극과, 소스/드레인 전극을 갖는 화소부 박막 트랜지스터를 적어도 하나 이상 구비한 화소 영역과, 상기 화소부 박막 트랜지스터의 활성층과 절연되도록 구비되고, 상기 활성층의 적어도 채널 영역을 차폐하는 차폐부재를 포함하는 것을 특징으로 하는 평판 표시장치를 제공한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 본 발명의 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치의 평면도,

도 2는 회로부 박막 트랜지스터의 일예를 나타내는 단면도,

도 3은 화소부 박막 트랜지스터의 일예를 나타내는 단면도,

도 4는 차폐부재의 면적을 도시하기 위한 일부 평면도,

도 5는 ELA결정화법에 있어, 에너지 밀도와 결정립의 크기와의 관계를 나타내는 그래프,

도 6은 결정립의 크기와 전류 이동도의 관계를 나타내는 그래프,

도 7 및 도 8은 각각 화소영역과 회로영역의 출력특성을 도시한 그래프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로, 박막 트랜지스터를 구비한 액티브 매트릭스형 평판표시장치에 관한 것이다.

액정 디스플레이 소자나 유기 전계 발광 디스플레이 소자 또는 무기 전계 발광 디스플레이 소자 등 평판 표시장치에 사용되는 박막 트랜지스터(Thin Film Transistor: TFT)는 각 화소의 동작을 제어하는 스위칭 소자 및 픽셀을 구동시키는 구동 소자로 사용된다.

이러한 박막 트랜지스터는 기판 상에 고농도의 불순물로 도핑된 드레인 영역과 소스 영역 및 상기 드레인 영역과 소스 영역의 사이에 형성된 채널 영역을 갖는 활성층을 가지며, 이 활성층 상에 형성된 게이트 절연막 및 활성층의 채널영역 상부의 게이트 절연막 상에 형성된 게이트 전극으로 구성되는 데, 상기 활성층은 실리콘의 결정 상태에 따라 비정질 실리콘과 다결정질 실리콘으로 구분된다.

비정질 실리콘을 이용한 박막 트랜지스터는 저온 증착이 가능하다는 장점이 있으나, 전기적 특성과 신뢰성이 저하되고, 표시장치의 대면적화가 어려워 최근에는 다결정질 실리콘을 많이 사용하고 있다. 다결정질 실리콘은 수십 내지 수백 $\text{cm}^2/\text{V.s}$ 의 높은 이동도를 갖고, 고주파 동작 특성 및 누설 전류치가 낮아 고정세 및 대면적의 평판표시장치에 사용하기에 매우 적합하다.

한편, 상기와 같은 박막 트랜지스터는 전술한 바와 같이, 평판 표시장치에 있어 스위칭 소자나 화소의 구동소자 등 화소부 박막 트랜지스터와 이를 구동하기 위한 회로영역의 회로부 박막 트랜지스터로 사용된다.

한편, 평판 표시장치 중 발광 소자로서 유기 전계 발광 소자(이하, "유기 EL 소자"라 함)를 사용하는 유기 전계 발광 표시장치의 유기 EL 소자는 애노드 전극과 캐소드 전극의 사이에 유기물로 이루어진 발광층을 갖는다. 이 유기 EL 소자는 이들 전극들에 양극 및 음극 전압이 각각 인가됨에 따라 애노드 전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 캐소드 전극으로부터 전자 수송층을 경유하여 발광층으로 주입되어, 이 발광층에서 전자와 홀이 재결합하여 여기자(exiton)를 생성하고, 이 여기자가 여기상태에서 기저상태로 변화됨에 따라, 발광층의 형광성 분자가 발광함으로써 화상을 형성한다. 풀컬러 유기 전계 발광 표시장치의 경우에는 상기 유기 EL 소자로서 적(R), 녹(G), 청(B)의 삼색을 발광하는 화소를 구비토록 함으로써 풀컬러를 구현한다.

이러한 액티브 매트릭스형 유기 전계 발광 표시장치(AMOLED)에 있어서, 점차 고해상도 패널이 요구되고 있는데, 이 때는 전술한 바와 같은 고성능의 다결정질 실리콘으로 형성한 박막 트랜지스터가 오히려 문제를 야기시키게 된다.

즉, 종래의 액티브 매트릭스형 유기 전계 발광 표시장치 등 액티브 매트릭스형 평판표시장치에서는 동일한 다결정질 실리콘으로 회로부 박막 트랜지스터와 화소부 박막 트랜지스터, 특히, 그 중, 구동 박막 트랜지스터가 제조되어 이 구동 박막 트랜지스터와 회로부 박막 트랜지스터가 동일한 전류 이동도를 가지게 되므로, 회로부 박막 트랜지스터의 스위칭 특성과 구동 박막 트랜지스터의 저전류 구동특성을 동시에 만족할 수 없었다. 즉, 고해상도 표시소자의 구동 박막 트랜지스터와 회로부 박막 트랜지스터를 전류 이동도가 큰 다결정질 실리콘막을 이용하여 제조하는 경우에는 회로부 박막 트랜지스터의 높은 스위칭 특성은 얻을 수는 있지만, 구동 박막 트랜지스터를 통해 EL소자로 흐르는 전류량이 증가하여 휘도가 지나치게 높아지게 되고, 결국 단위면적당 전류밀도가 높아져서 EL소자의 수명이 감소하게 되는 것이다.

한편, 전류 이동도가 낮은 비정질 실리콘막 등을 이용하여 표시소자의 구동 박막 트랜지스터와 회로부 박막 트랜지스터를 제조하는 경우에는, 구동 박막 트랜지스터는 전류가 감소되는 방향으로, 회로부 박막 트랜지스터는 전류가 증가되는 방향으로 박막 트랜지스터를 제조해야 한다.

이러한 문제점을 해결하기 위하여, 구동 트랜지스터를 통해 흐르는 전류량을 제한하는 방법이 제안되었다. 그 방법으로는 구동 트랜지스터의 폭에 대한 길이의 비(W/L)를 감소시켜 채널영역의 저항을 증가시키는 방법, 또는 구동 트랜지스터의 소스/드레인영역에 저도핑영역을 형성하여 저항을 증가시키는 방법 등이 있었다.

그러나, 길이를 증가시켜 W/L을 감소시키는 방법은 채널영역의 길이가 길어져서 엑시머 레이저 어닐링(ELA: Excimer Laser Annealing)방법 등을 이용하여 결정화할 때 채널영역에 줄무늬가 형성되고, 개구면적이 감소하는 문제점이 있었다. 폭을 감소시켜 W/L을 감소시키는 방법은 포토리소그래피 공정의 디자인 룰에 제약을 받으며, 트랜지스터의 신뢰성을 확보하기 어려운 문제점이 있었다.

또한, 저도핑영역을 형성하여 저항을 증가시키는 방법은 추가의 도핑공정이 수행되어야 하는 문제점이 있었다.

한편, 액티브 매트릭스형 평판표시장치의 경우에는 박막 트랜지스터의 활성층이 기판의 상면에 구비되어 있는 데, 기판의 방향으로 화상이 구현되는 배면 발광형 유기 전계 발광 표시장치의 경우, 구동 박막 트랜지스터의 활성층이 태양광에 노출되어 누설전류가 발생하는 문제가 있다. 특히, 이러한 누설전류는 활성층의 채널영역과 소스/드레인 영역의 경계부에서 가장 크게 나타난다. 이러한 구동 박막 트랜지스터에서의 누설전류는 화질불량을 초래하게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 태양광으로 인한 누설전류 증대를 방지하고, 제조 구현이 용이한 평판표시장치를 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여, 본 발명은,

기판;

상기 기판 상에 구비되어 소정의 화상이 구현되고, 적어도 채널 영역을 포함한 활성층과, 게이트 전극과, 소스/드레인 전극을 갖는 화소부 박막 트랜지스터를 적어도 하나 이상 구비한 화소 영역; 및

상기 화소부 박막 트랜지스터의 활성층과 절연되도록 구비되고, 상기 활성층의 적어도 채널 영역을 차폐하는 차폐부재;를 포함하는 것을 특징으로 하는 평판 표시장치를 제공한다.

본 발명의 다른 특징에 의하면, 상기 차폐부재는 열전도성 소재로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 차폐부재는 태양광을 반사하는 소재로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 차폐부재는 태양광과의 에너지 밴드갭이 1eV보다 작은 물질로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 차폐부재는 금속재로 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 기판의 상면에는 버퍼층이 더 구비되고, 상기 차폐부재는 상기 기판과 버퍼층의 사이에 개재될 수 있다. 이 때, 상기 화소부 박막 트랜지스터의 게이트 전극과, 상기 차폐부재는 상기 활성층을 중심으로 서로 반대 방향에 위치하는 것일 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 영역은 소정의 화상을 구현하는 복수개의 부화소를 갖고, 상기 화소부 박막 트랜지스터는 상기 각 부화소에 적어도 하나씩 구비되며, 상기 차폐부재는 상기 각 부화소별로 분할되어 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 영역은 소정의 화상을 구현하는 복수개의 부화소를 갖고, 상기 각 부화소에는 유기 전계 발광 소자가 구비되며, 상기 화소부 박막 트랜지스터는 상기 각 부화소의 유기 전계 발광 소자에 연결된 구동 박막 트랜지스터를 포함하고, 상기 차폐부재는 상기 각 구동 박막 트랜지스터의 활성층과 절연되어, 이 활성층의 적어도 채널영역을 차폐하도록 구비될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 영역에 인가되는 신호를 제어하는 것으로, 적어도 채널 영역을 포함한 활성층과, 게이트 전극과, 소스/드레인 전극을 갖는 회로부 박막 트랜지스터를 적어도 하나 이상 구비한 회로 영역을 더 포함하고, 상기 화소부 박막 트랜지스터의 활성층의 적어도 채널 영역의 결정립의 크기는 상기 회로부 박막 트랜지스터의 활성층의 적어도 채널 영역의 결정립의 크기보다 작을 수 있다.

본 발명에 있어서, 상기 활성층은 다결정질 실리콘으로 구비되고, 상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성될 수 있다.

이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예에 대하여 보다 상세히 설명한다.

도 1은 본 발명에 따른 평판표시장치 중 그 바람직한 일 실시예에 따른 액티브 매트릭스형 유기 전계 발광 표시장치를 나타내는 평면도이다. 도 1에서 볼 때, 상기 유기 전계 발광 표시장치는 화소 영역(20)과, 상기 화소 영역(20)의 가장자리에 회로 영역(10)으로 구성된다.

상기 화소 영역(20)은 복수개의 화소(pixel)들로 구비되며, 각 화소들은 유기 전계 발광 소자를 각각 구비한 복수개의 부화소(sub-pixel)들로 이루어져 있다. 풀 칼라 유기 전계 발광 표시장치의 경우에는 적색(R), 녹색(G) 및 청색(B)의 부화소들이 라인상, 모자이크상, 격자상 등 다양한 패턴으로 배열되어 화소를 구성하며, 풀 칼라 평판표시장치가 아닌 모노 칼라 평판표시장치여도 무방하다.

그리고, 상기 회로 영역(10)은 상기 화소 영역(20)으로 입력되는 화상 신호 등을 제어해 준다.

이러한 유기 전계 발광 표시장치에 있어서, 상기 화소 영역(20)과 회로 영역(10)에는 각각 적어도 하나 이상의 박막 트랜지스터가 설치될 수 있다.

화소 영역(20)에 설치되는 박막 트랜지스터로는 게이트 라인의 신호에 따라 발광 소자에 데이터 신호를 전달하여 그 동작을 제어하는 스위칭용 박막 트랜지스터와, 상기 데이터 신호에 따라 상기 유기 전계 발광 소자에 소정의 전류가 흐르도록 구동시키는 구동용 박막 트랜지스터 등 화소부 박막 트랜지스터가 있다. 그리고, 회로 영역(10)에 설치되는 박막 트랜지스터로는 소정의 회로를 구현하도록 구비된 회로부 박막 트랜지스터가 있다.

물론 이러한 박막 트랜지스터의 수와 배치는 디스플레이의 특성 및 구동 방법 등에 따라 다양한 수가 존재할 수 있으며, 그 배치 방법도 다양하게 존재할 수 있음은 물론이다.

이들 박막 트랜지스터들은 각각 비정질 또는 다결정질 실리콘으로 이루어진 활성층을 구비하며, 이 활성층은 소정의 채널 영역을 갖는다. 상기 채널 영역은 소스 영역 및 드레인 영역의 중앙부에 위치한다.

도면 부호 40은 각 부화소에 구비된 차폐부재를 말하는 것으로, 이에 대한 보다 상세한 설명은 후술하도록 한다.

도 2 및 도 3은 각각 회로부 박막 트랜지스터(11)와, 화소부 박막 트랜지스터(21)를 나타낸 것이다.

먼저, 도 2 및 도 3에서 볼 수 있는 바와 같이, 절연성 소재의 기판(1)에 버퍼층(2)이 형성되어 있고, 이 버퍼층(2) 상부에 회로부 박막 트랜지스터(11) 및 화소부 박막 트랜지스터(21)가 형성된다. 상기 기판(1)은 투명한 글래스(glass)재 또는 플라스틱재로 형성될 수 있다. 그리고, 상기 버퍼층(2)은 SiO₂로 형성할 수 있으며, PECVD법, APCVD법, LPCVD법, ECR법 등에 의해 증착될 수 있다. 그리고, 이 버퍼층(2)은 대략 3000Å 정도로 증착 가능하다.

상기 회로부 박막 트랜지스터(11)는 도 2에서 볼 수 있는 바와 같이 버퍼층(2)의 상에 형성된 반도체 활성층(12)과, 이 활성층(12)의 상부에 형성된 게이트 절연막(3)과, 게이트 절연막(3) 상부의 게이트 전극(13)을 갖는다. 그리고, 상기 활성층(12)과 접하는 소스 전극(14)/드레인 전극(15)을 갖는다.

상기 활성층(12)은 무기반도체 또는 유기반도체로 형성될 수 있는데, 대략 500Å 정도로 형성될 수 있다. 활성층(12)을 무기반도체 중 폴리 실리콘으로 형성할 경우에는 비정질 실리콘을 형성한 후, 각종 결정화방법에 의해 다결정화할 수 있다. 이 활성층은 N형 또는 P형 불순물이 고농도로 도핑된 소스 영역(S1) 및 드레인 영역(D1)을 가지며, 그 사이로 채널 영역(C1)을 갖는다.

무기반도체는 CdS, GaS, ZnS, CdSe, CaSe, ZnSe, CdTe, SiC, 및 a-Si(amorphous silicon)이나 poly-Si(poly silicon)과 같은 실리콘재를 포함하는 것일 수 있다.

그리고, 상기 유기반도체는 에너지 밴드갭이 1eV 내지 4eV인 반도체성 유기물질로 구비될 수 있는 데, 고분자로서, 폴리티오펜 및 그 유도체, 폴리파라페닐렌비닐렌 및 그 유도체, 폴리파라페닐렌 및 그 유도체, 폴리플로렌 및 그 유도체, 폴리티오펜비닐렌 및 그 유도체, 폴리티오펜-헤테로고리방향족 공중합체 및 그 유도체를 포함할 수 있고, 저분자로서, 펜타센, 테트라센, 나프탈렌의 올리고아센 및 이들의 유도체, 알파-6-티오펜, 알파-5-티오펜의 올리고티오펜 및 이들의 유도체, 금속을 함유하거나 함유하지 않은 프탈로시아닌 및 이들의 유도체, 파이로멜리틱 디안하이드라이드 또는 파이로멜리틱 디이미드 및 이들의 유도체, 퍼릴렌테트라카르복시산 디안하이드라이드 또는 퍼릴렌테트라카르복실릭 디이미드 및 이들의 유도체를 포함할 수 있다.

상기 활성층(12)의 상부에는 SiO₂ 등에 의해 게이트 절연막(3)이 구비되고, 게이트 절연막(3) 상부의 소정 영역에는 MoW, Al, Cr, Al/Cu 등의 도전성 금속막으로 게이트 전극(13)이 형성된다. 상기 게이트 전극(13)을 형성하는 물질에는 반드시 이에 한정되지 않으며, 도전성 폴리머 등 다양한 도전성 물질이 사용될 수 있다. 상기 게이트 전극(13)이 형성되는 영역은 활성층(12)의 채널 영역(C1)에 대응된다.

상기 게이트 전극(13)의 상부로는 SiO₂ 및/또는 SiN_x 등으로 층간 절연막(inter-insulator: 4)이 형성되고, 이 층간 절연막(4)과 게이트 절연막(3)에 콘택 홀이 천공되어진 상태에서 소스 전극(14) 및 드레인 전극(15)이 상기 층간 절연막(5)의 상부에 형성되어진다. 상기 소스/드레인 전극(14)(15)은 MoW, Al, Cr, Al/Cu 등의 도전성 금속막이나 도전성 폴리머 등이 사용될 수 있다.

이상 설명한 바와 같은 박막 트랜지스터의 구조는 반드시 이에 한정되는 것은 아니고, 종래의 일반적인 박막 트랜지스터의 구조가 모두 그대로 채용될 수 있음은 물론이다.

화소부 박막 트랜지스터(21)는 구동 박막 트랜지스터 및 스위칭 박막 트랜지스터로 구비될 수 있는 데, 도 3에는 그 중 구동 박막 트랜지스터를 도시한 것이다.

도 3에서 볼 수 있는 바와 같은 화소부 박막 트랜지스터(21), 특히 구동 박막 트랜지스터는 전술한 바와 같이, 버퍼층(2) 상부로 활성층(22)이 형성되고, 이 활성층(22) 상부로 게이트 절연막(3), 게이트 전극(23)이 형성된다.

게이트 전극(23)의 상부로는 층간 절연막(4)이 형성되고, 그 위로 소스 전극(24) 및 드레인 전극(25)이 형성된다.

소스/드레인 전극(24)(25)의 상부로는 패시베이션막(5)이 형성되고, 이 패시베이션막(5)에 비아홀(5a)을 천공한다.

이 패시베이션막(5) 상에 유기 전계 발광 소자(30)의 제 1 전극층(31)이 비아홀(5a)을 통해 상기 드레인 전극(25)에 연결되도록 한다. 상기 제 1 전극층(31)의 상부로는 아크릴, BCB, 폴리 이미드 등의 유기물질에 의해 화소정의막(6)이 형성되어 있으며, 이 화소정의막(6)에 소정의 개구부(6a)를 형성한 후, 유기 전계 발광 소자(30)의 유기 발광층(32)과 제 2 전극층(33)을 형성한다. 상기 화소정의막(6)의 형성 전에, 제 1 전극층(31)과 패시베이션막(5)의 사이에 평탄화막을 더 형성할 수 있다.

상기 유기 전계 발광 소자(30)는 전류의 흐름에 따라 적, 녹, 청색의 빛을 발광하여 소정의 화상 정보를 표시하는 것으로, TFT의 드레인 전극(25)에 연결되어 이로부터 플러스 전원을 공급받는 제 1 전극층(31)과, 전체 화소를 덮도록 구비되어 마이너스 전원을 공급하는 제 2 전극층(33), 및 이들 제 1 전극층(31)과 제 2 전극층(33)의 사이에 배치되어 발광하는 유기 발광층(32)으로 구성된다.

상기 제 1 전극층(31)과 제 2 전극층(33)은 상기 유기 발광층(32)에 의해 서로 절연되어 있으며, 유기 발광층(32)에 서로 다른 극성의 전압을 가해 유기 발광층(32)에서 발광이 이뤄지도록 한다.

상기 유기 발광층(32)은 저분자 또는 고분자 유기층이 사용될 수 있는 데, 저분자 유기층을 사용할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-

디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄 (tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양하게 적용 가능하다. 이들 저분자 유기층은 진공증착의 방법으로 형성된다.

고분자 유기층의 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 유기 발광층은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

상기 제 1 전극층(31)은 애노우드 전극의 기능을 하고, 상기 제 2 전극층(33)은 캐소우드 전극의 기능을 하는 데, 물론, 이들 제 1 전극층(31)과 제 2 전극층(33)의 극성은 반대로 되어도 무방하다. 이하에서는 상기 제 1 전극층(31)이 애노우드 전극인 실시예를 중심으로 설명한다.

상기 제 1 전극층(31)은 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 ITO, IZO, ZnO, 또는 In_2O_3 로 구비될 수 있고, 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 를 형성할 수 있다.

한편, 상기 제 2 전극층(33)도 투명 전극 또는 반사형 전극으로 구비될 수 있는 데, 투명전극으로 사용될 때에는 이 제 2 전극층(33)이 캐소우드 전극으로 사용되므로, 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물이 유기층(62)의 방향을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO, 또는 In_2O_3 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고, 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg, 및 이들의 화합물을 전면 증착하여 형성한다.

한편, 본 발명에서는 이러한 화소부 박막 트랜지스터(21)에 있어, 활성층(22)의 적어도 채널 영역(C2)을 차폐하는 차폐부재(40)를 활성층(22)과 절연되도록 더 형성하여, 화소부 박막 트랜지스터(21)에서 활성층(22)에 태양광에 의한 누설전류의 발생이 방지되도록 한다.

도 3에 따른 본 발명의 바람직한 일 실시예의 경우에는 기관(1)의 방향으로 화상이 구현되는 실시예를 나타내었는데, 이에 따라, 태양광은 기관(1)의 방향으로부터 입사되게 된다.

따라서, 상기 차폐부재(40)를 버퍼층(2)과 기관(1)의 사이에 개재함으로써, 활성층(22)의 채널 영역(C2)을 태양광으로부터 보호하게 된다.

상기 차폐부재(40)는 이처럼, 태양광으로부터 활성층(22)의 적어도 채널 영역(C2)을 보호하기 위한 것으로, 도 4에서 볼 수 있는 바와 같이, 그 면적이 활성층(22)의 채널 영역(C2)보다 크게 형성하는 것이 바람직하다. 이에 따라, 차폐부재(40)가 채널 영역(C2)과 소스/드레인 영역(S2)(D2)의 경계를 커버할 수 있도록 하는 것이 바람직하다.

또한, 이러한 차폐부재(40)는 모든 부화소의 화소부 박막 트랜지스터에 형성될 수 있으므로, 도 1에서 볼 수 있듯이, 각 부화소에 대응되도록 패터닝되어 아일랜드(island)타입으로 형성될 수도 있다.

이러한 차폐부재(40)는 태양광을 반사시킬 수 있는 재질로 형성하는 것이 바람직한 데, 금속재로 형성할 수 있다. 또한, 태양광과의 에너지 밴드 갭이 1eV보다 작은 물질이면 어느 것이나 적용 가능하다. 이 경우에는 태양광의 에너지를 활성층으로 전달하지 않고, 자체 흡수하여, 활성층(22)의 채널 영역(C2)을 보호하게 된다.

한편, 상기와 같은 차폐부재(40)를 열전도성이 우수한 재질로 형성하여, 활성층의 결정화시에 회로부 박막 트랜지스터(11)의 경우와, 화소부 박막 트랜지스터(21)의 경우의 활성층의 결정립 크기를 조절할 수 있다.

즉, 회로부 박막 트랜지스터(11)의 경우에는 도 2에서와 같이, 버퍼층(2) 상에 차폐부재없이 활성층(12)을 형성하고, 화소부 박막 트랜지스터(21)의 경우에는 도 3에서와 같이, 기관(1) 상에 차폐부재(40)를 형성하고, 이 위에 버퍼층(2)을 형성한 후, 그 위에 활성층(22)을 형성하면, 이 활성층들(12)(22)을 레이저에 의해 결정화할 때, 화소부 박막 트랜지스터(21)에서는 차폐부재(40)에 의해 열손실이 발생하게 된다. 이러한 열손실은 도 5에서 볼 수 있듯이, 다결정질 실리콘의 결정립 크기에 영향을 미치게 된다.

도 5는 비정질 실리콘을 레이저에 의한 결정화법에 의해 다결정 실리콘으로 형성할 때에, 레이저의 에너지 밀도에 따른 결정립의 크기를 도시한 것이다. 도 5에서 볼 수 있는 바와 같이, 화소부 박막 트랜지스터(21)에서 차폐부재(40)에 의한 열손실이 발생하게 될 경우에는 차폐부재(40)가 없는 회로부 박막 트랜지스터(11)에 비해 결정립이 작아지게 된다. 다만, 도 5에서 볼 수 있는 바와 같이, 비정질 실리콘 박막이 지나치게 높은 에너지 밀도의 레이저를 받게 되면 완전히 용융되어 그 결정립의 크기가 오히려 작아질 수 있다. 따라서, 보다 큰 결정립이 요구되는 회로부 박막 트랜지스터의 활성층(12)에는 큰 결정립이 형성될 정도의 에너지 밀도로 레이저를 조사하는 것이 바람직하다.

이렇게 결정립의 크기가 달라지게 되면, 전류 이동도가 또한 달라지게 되는 데, 이는 도 6에 도시된 바와 같다. 즉, 결정립의 크기가 커지면, 전류 이동도가 높아지게 되고, 이에 따라 더욱 우수한 TFT 특성을 얻을 수 있기 때문이다. 따라서, 통상보다 높은 전류 이동도값을 필요로 하는 회로부 박막 트랜지스터의 활성층을 전술한 바와 같이, 화소부 박막 트랜지스터의 활성층 크기보다 크게 형성하여, 우수한 TFT 특성을 갖도록 하고, 화소부 박막 트랜지스터의 활성층은 차폐부재로 인해 S-팩터(S-factor)가 증가되고, 표면 거칠기가 개선되어 절연 내압 특성이 증가될 수 있게 된다.

도 7 및 도 8은 각각 화소영역과 회로영역의 출력특성을 도시한 것인 데, I 은 V_{gs} , 즉, 게이트와 소스 간의 전압차가 3V 인 경우, II는 V_{gs} 가 4V인 경우, III는 V_{gs} 가 5V인 경우를 나타낸 것이다.

도 7 및 도 8에서 볼 수 있듯이, V_{gs} 의 증가에 따른 드레인 전류의 증가가 회로영역에 비해 화소영역이 완만하게 이루어짐을 알 수 있다. 이는 화소 영역에서 S-팩터가 증가함을 의미하는 것으로, 이에 따라 계조 구현이 용이해 진다.

이상 설명한 것은, 기관(1)의 방향으로 화상이 구현되는 경우를 예로 한 것이나, 본 발명은 반드시 이에 한정되는 것은 아니며, 제2전극층(33)의 방향으로 화상이 구현되는 경우에도 역시 동일하게 적용될 수 있다. 다만, 이 때에는 태양광의 차폐를 위해, 차폐부재(40)의 위치가 활성층(22)의 상부에 배치되어야 한다. 그러나, 이 때, 활성층의 결정립의 크기 조절만을 위한 경우에는 도 3처럼 그대로 배치하여도 무방하다.

한편, 이렇게 제2전극층(33)의 방향으로 화상이 구현되는 경우에, 활성층의 결정립 크기 조절을 위한 경우에는, 도 1과 같이, 패터닝된 구조를 채용하지 않고, 화소 영역 전면에서 걸쳐 형성할 수도 있다.

이러한 본 발명은 화소부 박막 트랜지스터의 구동 박막 트랜지스터와 회로부 박막 트랜지스터를 나타내었는 데, 이는 반드시 이에 한정되는 것은 아니고, 회로부 박막 트랜지스터 대신, 화소부 박막 트랜지스터의 스위칭 박막 트랜지스터에 적용할 수도 있음은 물론이다.

또한, 이상 설명한 것은 본 발명을 유기 전계 발광 표시장치에 적용한 경우이나, 본 발명은 이에 한정되는 것이 아니며, 액정 표시장치나, 무기 전계 발광 표시장치 등 TFT를 이용할 수 있는 어떠한 구조에든 적용될 수 있음은 물론이다.

발명의 효과

상기한 바와 같은 본 발명에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 기관의 방향으로 발광할 경우, 태양광에 의한 누설전류를 제어할 수 있어, 화질불량을 방지할 수 있다.

둘째, 화소용 소자와 회로용 소자에 모두 만족할 수 있는 TFT 특성을 갖도록 할 수 있다.

셋째, 화소용 박막 트랜지스터에 결정립 크기가 보다 작고 표면 거칠기가 개선된 활성층을 제공할 수 있다.

넷째, 화소용 박막 트랜지스터의 S-factor가 증가해, V_{gs} 증가에 따른 전류량 변화가 적어져, 계조 구현이 용이해진다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기관;

상기 기관 상에 구비되어 소정의 화상이 구현되고, 적어도 채널 영역을 포함한 활성층과, 게이트 전극과, 소스/드레인 전극을 갖는 화소부 박막 트랜지스터를 구비한 화소 영역; 및

상기 화소부 박막 트랜지스터의 활성층과 절연되도록 구비되고, 상기 활성층의 채널 영역을 차폐하는 차폐부재;를 포함하고,

상기 화소 영역에 인가되는 신호를 제어하는 것으로, 채널 영역을 포함한 활성층과, 게이트 전극과, 소스/드레인 전극을 갖는 회로부 박막 트랜지스터를 적어도 하나 이상 구비한 회로 영역을 더 포함하며,

상기 화소부 박막 트랜지스터의 활성층의 채널 영역의 결정립의 크기는 상기 회로부 박막 트랜지스터의 활성층의 채널 영역의 결정립의 크기보다 작은 것을 특징으로 하는 평판 표시장치.

청구항 2.

제1항에 있어서,

상기 차폐부재는 열전도성 소재로 구비된 것을 특징으로 하는 평판 표시장치.

청구항 3.

제1항에 있어서,

상기 차폐부재는 태양광을 반사하는 소재로 구비된 것을 특징으로 하는 평판 표시장치.

청구항 4.

제1항에 있어서,

상기 차폐부재는 태양광과의 에너지 밴드갭이 1eV보다 작은 물질로 구비된 것을 특징으로 하는 평판 표시장치.

청구항 5.

제1항에 있어서,

상기 차폐부재는 금속재로 구비된 것을 특징으로 하는 평판 표시장치.

청구항 6.

제1항에 있어서,

상기 기관의 상면에는 버퍼층이 더 구비되고, 상기 차폐부재는 상기 기관과 버퍼층의 사이에 개재되는 것을 특징으로 하는 평판 표시장치.

청구항 7.

제6항에 있어서,

상기 화소부 박막 트랜지스터의 게이트 전극과, 상기 차폐부재는 상기 활성층을 중심으로 서로 반대 방향에 위치하는 것을 특징으로 하는 평판 표시장치.

청구항 8.

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 화소 영역은 소정의 화상을 구현하는 복수개의 부화소를 갖고, 상기 화소부 박막 트랜지스터는 상기 각 부화소에 하나씩 구비되며, 상기 차폐부재는 상기 각 부화소별로 분할되어 구비된 것을 특징으로 하는 평판 표시장치.

청구항 9.

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 화소 영역은 소정의 화상을 구현하는 복수개의 부화소를 갖고, 상기 각 부화소에는 유기 전계 발광 소자가 구비되며, 상기 화소부 박막 트랜지스터는 상기 각 부화소의 유기 전계 발광 소자에 연결된 구동 박막 트랜지스터를 포함하고, 상기 차폐부재는 상기 각 구동 박막 트랜지스터의 활성층과 절연되어, 이 활성층의 채널영역을 차폐하도록 구비된 것을 특징으로 하는 평판 표시장치.

청구항 10.

삭제

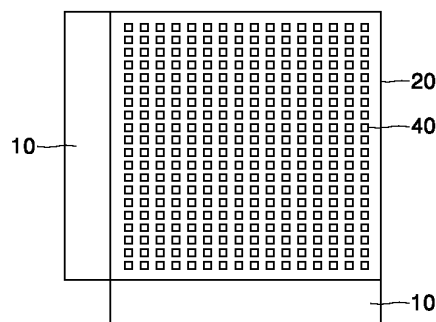
청구항 11.

제1항에 있어서,

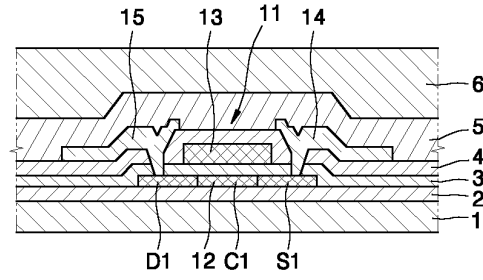
상기 활성층은 다결정질 실리콘으로 구비되고, 상기 다결정질 실리콘은 레이저에 의한 결정화방법에 의해 형성된 것을 특징으로 하는 평판 표시장치.

도면

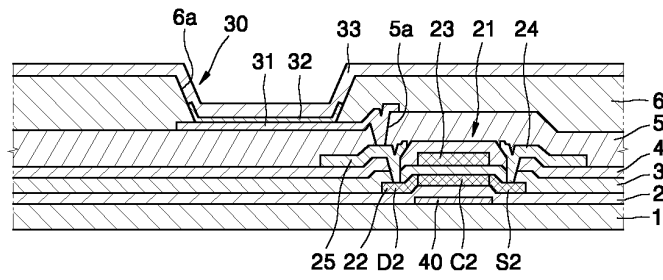
도면1



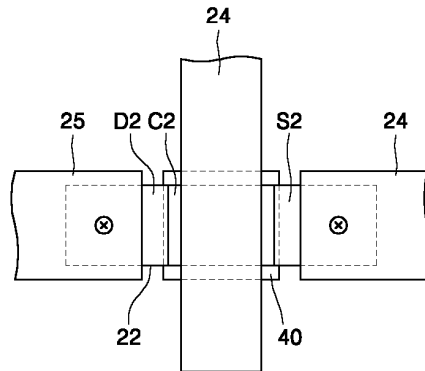
도면2



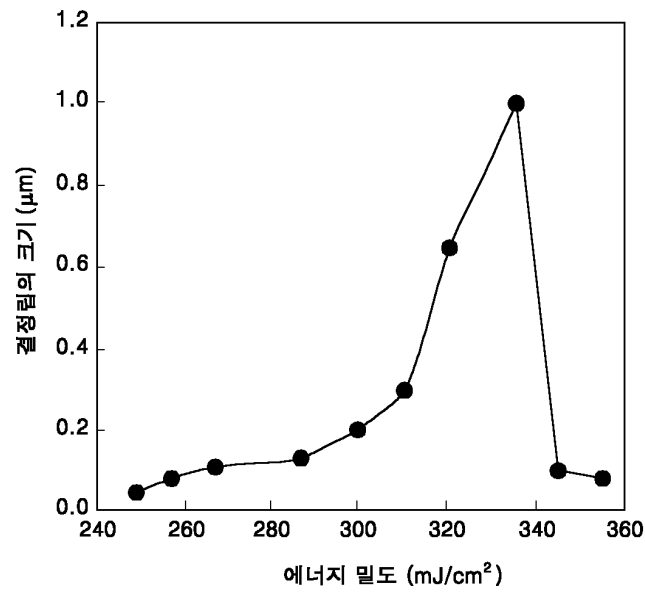
도면3



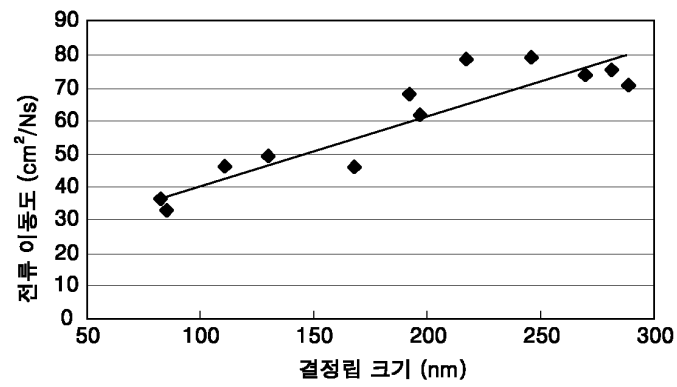
도면4



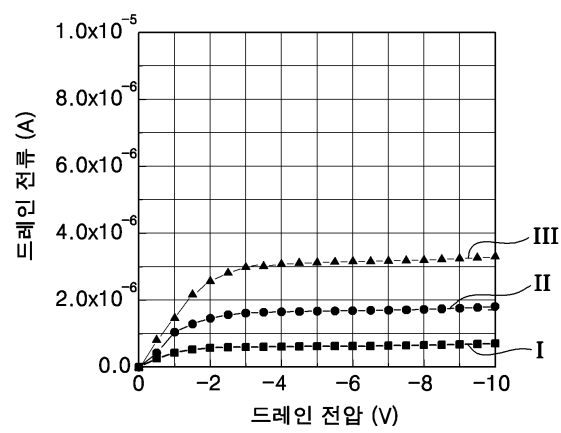
도면5



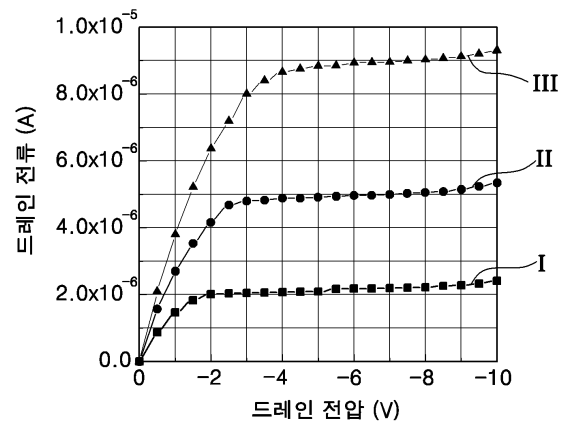
도면6



도면7



도면8



专利名称(译)	具有薄膜晶体管的平板显示装置		
公开(公告)号	KR100563060B1	公开(公告)日	2006-03-24
申请号	KR1020040003236	申请日	2004-01-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	HWANG EUIHOON		
发明人	HWANG,EUIHOON		
IPC分类号	H05B33/00		
代理人(译)	李，杨HAE		
其他公开文献	KR1020050075871A		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光二极管 (OLED) 显示装置和制造该OLED显示装置的方法，其可以防止由于太阳光引起的漏电流的增加并且有助于实现渐变。并且提供一种屏蔽构件，其设置为与像素部分薄膜晶体管的有源层绝缘并且至少屏蔽有源层的沟道区域，其特征在于包括像素区域，该像素区域包括至少一个或多个具有光源的像素部分薄膜晶体管/提供一种平板显示装置。 3

