

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ H01L 29/786		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년09월13일 10-0514179 2005년09월05일
(21) 출원번호 (22) 출원일자	10-2002-0071998 2002년11월19일	(65) 공개번호 (43) 공개일자	10-2004-0043729 2004년05월27일
(73) 특허권자	삼성에스디아이 주식회사 경기 수원시 영통구 신동 575		
(72) 발명자	박지용 경기도수원시팔달구영통동993-5,204호 박혜향 경기도수원시권선구권선동1285-7,101호		
(74) 대리인	박상수		

심사관 : 임동우

(54) 박막 트랜지스터 및 이를 사용하는 유기 전계 발광 소자

요약

본 발명은 특성 및 균일성이 우수한 박막 트랜지스터 및 그를 사용하는 유기 전계 발광 소자에 관한 것으로, 다결정 실리콘의 프라이머리 결정립 경계가 드레인 영역과 액티브 채널 영역의 경계와 만나지 않는 것을 특징으로 하는 박막 트랜지스터를 제공함으로써 전류 특성 및 균일성이 우수한 박막 트랜지스터를 제공할 수 있으므로 성능이 우수한 유기 전계 발광 소자에 사용될 수 있다.

대표도

도 6a

색인어

다결정 실리콘, 결정립 경계, 액티브 채널 영역

명세서

도면의 간단한 설명

도 1a는 동일한 결정립 크기 Gs 및 액티브 채널 차원 L×W에 대하여 치명적인 결정립 경계의 수가 2인 TFT의 개략적인 단면을 도시한 도면이고, 도 1b는 치명적인 결정립 경계의 수가 3인 TFT의 개략적인 단면을 도시한 도면이다.

도 2a 및 도 2b는 종래 기술에 따라 SLS 결정화법에 의하여 형성된 입자 크기가 큰 실리콘 그래인을 포함한 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 3a 내지 도 3c는 또 다른 종래 기술에 따라 제조된 TFT의 액티브 채널의 개략적인 단면을 도시한 도면이다.

도 4는 구동 회로 기판 또는 디스플레이 상에 제작되는 TFT의 특성에 치명적인 영향을 줄 수 있는 치명적인 결정립 경계의 수가 TFT의 위치에 따라 달라질 수 있음을 나타내는 개략도이다.

도 5는 프라이머리 결정립 경계의 폭이 나타나도록 폴리실리콘 기판을 절단한 단면을 나타내는 사진이다.

도 6a는 본 발명의 일실시예에 따라 제작된 TFT의 단면을 개략적으로 도시한 도면이고, 도 6b는 도 6a의 TFT의 소스 드레인 전류와 게이트 전압과의 관계를 나타내는 그래프이다.

도 7은 프라이머리 그래인 바운더리가 드레인 영역과 액티브 채널 영역의 경계로부터 멀리 떨어져 있는 경우로 험프가 발생한 것을 나타내는 사진이다.

도 8a는 비교예로서 제작된 TFT의 단면을 개략적으로 도시한 도면이고, 도 8b는 도 8a의 TFT의 소스 드레인 전류와 게이트 전압과의 관계를 나타내는 그래프이다.

도 9는 프라이머리 그래인 바운더리가 드레인 영역과 액티브 채널 영역의 경계와 만나는 것으로 험프가 발생한 것을 나타내는 사진이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[산업상 이용분야]

본 발명은 전류 특성 및 균일성이 우수한 박막 트랜지스터 및 그를 사용하는 유기 전계 발광 소자에 관한 것으로서, 더욱 상세하게는 SLS 결정화 기술을 사용하여 다결정 실리콘을 제작하고 이를 사용하는 전류 특성 및 균일성이 우수한 박막 트랜지스터 및 이를 사용하는 유기 전계 발광 소자에 관한 것이다.

[종래 기술]

다결정 실리콘을 이용한 TFT(Thin Film Transistor) 제작시, 액티브 채널(active channel) 영역 내에 포함되는 다결정 실리콘의 결정립 경계에 존재하는 원자 가교(dangling bonds) 등의 결함 결함은 전하 캐리어(electric charge carrier)에 대하여 트랩(trap)으로 작용하는 것으로 알려져 있다.

따라서, 결정립의 크기, 크기 균일성, 수와 위치, 방향 등은 문턱 전압(V_{th}), 문턱치 경사(subthreshold slope), 전하 수송 이동도(charge carrier mobility), 누설 전류(leakage current), 및 디바이스 안정성(device stability) 등과 같은 TFT 특성에 직접 또는 간접적으로 치명적인 영향을 줄 수 있음은 물론, TFT를 이용한 액티브 매트릭스 디스플레이(active matrix display) 기판 제작시 결정립의 위치에 따라라도 TFT의 균일성에도 치명적인 영향을 줄 수 있다.

이때, 디스플레이 디바이스의 전체 기판 위에 TFT의 액티브 채널 영역 내에 포함되는 치명적인 결정립 경계(이하, "프라이머리(primary)" 결정립 경계라 칭함)의 수는 결정립의 크기, 기울어짐 각도 θ , 액티브 채널의 차원(dimension)(길이(L), 폭(W))과 기판 상의 각 TFT의 위치에 따라 같거나 달라질 수 있다(도 1a 및 도 1b).

도 1a 및 도 1b에서와 같이, 결정립 크기 G_s , 액티브 채널 차원(dimension) $L \times W$, 기울어짐 각도 θ 에 대하여 액티브 채널 영역에 포함될 수 있는 "프라이머리" 결정립 경계의 수는, 최대 결정립 경계의 수를 N_{max} 라 할 때, 즉 TFT 기판 또는 디스플레이 디바이스 상의 위치에 따라 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는 N_{max} (도 1a의

경우 3개) 또는 $N_{max} - 1$ (도 1b의 경우 2개)개가 될 것이며, 모든 TFT에 대하여 N_{max} 의 "프라이머리" 결정립 경계의 수가 액티브 채널 영역 내에 포함될 때 가장 우수한 TFT 특성의 균일성이 확보될 수 있다. 즉, 각각의 TFT가 동일한 수의 결정립 경계를 갖는 것이 많을수록 균일성이 우수한 디바이스를 얻을 수 있다.

반면, N_{max} 개의 "프라이머리" 결정립 경계의 수를 포함하는 TFT의 수와 $N_{max} - 1$ 개의 "프라이머리" 결정립 경계의 수를 포함하는 TFT의 수가 동일하다면, TFT 기관 또는 디스플레이 디바이스 상에 있는 TFT 특성 중 균일성 면에서 가장 나쁘리라 쉽게 예상할 수 있다.

이에 대하여, SLS(Sequential Lateral Solidification) 결정화 기술을 이용하여 기관 상에 다결정 또는 단결정인 입자가 거대 실리콘 그레인(large silicon grain)을 형성할 수 있으며(도 2a 및 도 2b), 이를 이용하여 TFT를 제작하였을 때, 단결정 실리콘으로 제작된 TFT의 특성과 유사한 특성을 얻을 수 있는 것으로 보고되고 있다.

그러나, 액티브 매트릭스 디스플레이를 제작하기 위해서는 드라이버(driver)와 화소 배치(pixel array)를 위한 수많은 TFT가 제작되어야 한다.

예를 들어, SVGA급 해상도를 갖는 액티브 매트릭스 디스플레이의 제작에는 대략 100만개의 화소가 만들어지며, 액정 표시 소자(Liquid Crystal Display; LCD)의 경우 각 화소에는 1개의 TFT가 필요하며, 유기 발광 물질을 이용한 디스플레이(예를 들어, 유기 전계 발광 소자)에는 적어도 2개 이상의 TFT가 필요하게 된다.

따라서, 100만개 또는 200만개 이상의 TFT 각각의 액티브 채널 영역에만 일정한 숫자의 결정립을 일정한 방향으로 성장시켜 제작하는 것은 불가능하다.

이를 구현하는 방법으로는 PCT 국제 특허 WO 97/45827호에서 개시된 바와 같이, 비정질 실리콘을 PECVD, LPCVD 또는 스퍼터링법에 의하여 증착한 후 SLS 기술로 전체 기관 상의 비정질 실리콘을 다결정 실리콘으로 변환하거나, 기관 상의 선택 영역만을 결정화하는 기술이 개시되어 있다(도 2a 및 도 2b 참조).

선택 영역 역시 수 $\mu\text{m} \times$ 수 μm 의 차원을 갖는 액티브 채널 영역에 비하면 상당히 넓은 영역이다. 또한, SLS 기술에서 사용하는 레이저 빔 크기(laser beam size)는 대략 수 mm $\times$ 수십 mm로서 기관 상의 전체 영역 또는 선택 영역의 비정질 실리콘을 결정화하기 위해서는 필연적으로 레이저 빔 또는 스테이지(stage)의 스텝핑(steping) 및 쉬프팅(shifting)이 필요하며, 이 때 레이저빔이 조사되는 영역간의 미스얼라인(misalign)이 존재하게 되고, 따라서, 수많은 TFT의 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는 달라지게 되며, 전체 기관 상 또는 드라이버 영역, 화소 셀 영역 내의 TFT는 예측할 수 없는 불균일성을 갖게 된다. 이러한 불균일성은 액티브 매트릭스 디스플레이 디바이스를 구현하는데 있어서 치명적인 악영향을 미칠 수 있다.

또한, 미국 특허 제6,177,391호에서는 SLS 결정화 기술을 이용하여 거대 입자 실리콘 그레인(large silicon grain)을 형성하여 드라이버와 화소 배치를 포함한 LCD 디바이스용 TFT 제작시 액티브 채널 방향이 SLS 결정화 방법에 의하여 성장된 결정립 방향에 대하여 평행한 경우 전하 캐리어(electric charge carrier) 방향에 대한 결정립 경계의 배리어(barrier) 효과가 최소가 되며(도 3a), 따라서, 단결정 실리콘에 버금가는 TFT 특성을 얻을 수 있는 반면, 액티브 채널 방향과 결정립 성장 방향이 90°인 경우 TFT 특성이 전하 캐리어(electric charge carrier)의 트랩으로 작용하는 많은 결정립 경계가 존재하게 되며, TFT 특성이 크게 저하된다(도 3b).

실제로, 액티브 매트릭스 디스플레이 제작시 구동 회로(driver circuit) 내의 TFT와 화소 셀 영역 내의 TFT는 일반적으로 90°의 각도를 갖는 경우가 있으며, 이 때, 각 TFT의 특성을 크게 저하시키지 않으면서, TFT 간 특성의 균일성을 향상시키기 위해서는 결정 성장 방향에 대한 액티브 채널 영역의 방향을 30°내지 60°의 각도로 기울어지게 제작함으로써 디바이스의 균일성을 향상시킬 수 있다(도 3c).

그러나, 이 방법 역시 SLS 결정화 기술에 의해 형성되는 유한 크기의 결정립을 이용함으로써, 치명적인 결정립 경계가 액티브 채널 영역 내에 포함될 확률이 존재하며, 따라서, TFT 간 특성 차이를 야기시키는 예측할 수 없는 불균일성이 존재하게 된다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 위에서 설명한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 SLS 결정화 기술을 사용하여 형성된 다결정 실리콘을 사용하여 균일성이 우수한 TFT를 제공하는 것이다.

발명의 구성 및 작용

본 발명은 상기한 목적을 달성하기 위하여,

다결정 실리콘의 프라이머리 결정립 경계가 드레인 영역과 액티브 채널 영역의 경계와 만나지 않는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

또한, 본 발명은

위에서 제작된 박막 트랜지스터를 사용하는 것을 특징으로 유기 전계 발광 소자를 제공한다.

이하, 본 발명을 첨부한 도면을 참조하여 상세히 설명한다.

액티브 매트릭스 디스플레이용 TFT 제작시 TFT 특성에 직접, 간접적으로 중대한 영향을 미치는 다결정 실리콘의 결정립이 TFT 특성 향상을 위하여 크고 규칙화되는 경우, 결정립의 유한한 크기로 인하여, 인접한 결정립 사이에는 결정립 경계가 발생한다.

본 발명에서 "결정립 크기"라 함은 확인될 수 있는 결정립 경계 사이의 거리를 말하며, 통상 오차 범위에 속하는 결정립 경계의 거리라고 정의한다.

특히, 결정립 경계가 액티브 채널(active channel) 영역 내에 존재할 때 TFT 특성에 치명적인 영향을 주는 결정립 경계, 즉, 액티브 채널 방향의 수직 방향에 대한 결정립 경계의 기울어짐 각도가 $-45^\circ \leq \theta \leq 45^\circ$ 인 "프라이머리" 결정립 경계의 경우, 다결정 실리콘 박막의 형성시 공정 정밀성의 한계로 인하여 피할 수 없는 결함이 된다.

또한, 구동 회로 기관 또는 디스플레이 기관 상에 제작되는 TFT 액티브 채널 영역 내에 포함되는 "프라이머리" 결정립 경계의 수는 결정립의 크기, 방향, 액티브 채널의 차원 등에 따라 달라질 수 있고(도 4), 따라서, 제작되는 TFT 및 디스플레이의 특성이 불균일하게 되거나, 심지어 구동이 되지 않게 된다.

본 발명에서는 이와 같이 '프라이머리' 결정립 경계의 위치가 TFT 특성에 큰 영향을 미치는 것에 착안하여 '프라이머리' 결정립 경계의 위치를 조정함으로써 TFT의 특성을 향상시켰다.

도 5는 '프라이머리' 결정립 경계의 폭이 나타나도록 폴리실리콘 기판을 절단한 단면을 나타내는 사진으로, '프라이머리' 결정립 경계는 폴리실리콘 결정면의 굴곡이 나타나기 시작한 양 끝점 사이의 부분(도 5에서 a)으로 통상적으로 약 1 μm 의 길이를 갖는다.

도 6a는 본 발명의 일실시예에 따라 제작된 TFT의 단면을 개략적으로 도시한 도면이고, 도 6b는 도 6a의 TFT의 소스 드레인 전류와 게이트 전압과의 관계를 나타내는 그래프이다.

도 6a에서와 같이, 게이트의 액티브 채널 영역과 드레인이 만나는 접점(선)에서 '프라이머리' 결정립 경계가 일정 거리 떨어져 있는 경우에는 도 6b에서 볼 수 있는 바와 같이, 게이트 전압에 따른 소스 드레인 전류의 변동성이 없이 일정한 곡선, 즉 소위 "험프"가 발생하지 않은 것을 알 수 있다.

위에서 게이트의 액티브 채널 영역과 드레인이 만나는 접점(선)에서 '프라이머리' 결정립 경계가 떨어져 있어야 하는 거리는 도 5에서 볼 수 있는 바와 같이, 프라이머리 결정립 경계의 폭이 액티브 채널 영역의 경계와 겹치지 않는 경우이다.

도 7은 험프가 발생하지 않는 경우로서 프라이머리 결정립 경계가 액티브 채널 영역의 경계와는 상당거리 떨어져 있는 것을 알 수 있다.

도 8a는 비교예로서 제작된 TFT의 단면을 개략적으로 도시한 도면이고, 도 8b는 도 8a의 TFT의 소스 드레인 전류와 게이트 전압과의 관계를 나타내는 그래프이다.

도 8a에서는 게이트의 액티브 채널 영역과 드레인이 만나는 접점(선)과 '프라이머리' 결정립 경계의 폭이 겹치는 경우에는 도 8b에서 볼 수 있는 바와 같이 게이트 전압에 따라 소스 드레인 전류의 변동성이 나타나는 "험프(hump)"가 발생한다. 따라서, 게이트의 액티브 채널 영역과 드레인이 만나는 접점(선)에는 '프라이머리' 결정립 경계가 겹치지 않는 것이 바람직하다.

도 9는 "험프"가 발생한 예로서 사진에서 알 수 있는 바와 같이, 액티브 채널 영역의 경계와 '프라이머리' 결정립 경계의 폭이 겹치는 경우, 즉, 만나는 것을 알 수 있다.

따라서, 도 6a에서와 같이 험프가 발생하지 않는 경우에는 전류 특성이 일정하게 유지될 수 있으므로 균일성이 우수한 TFT를 제공할 수 있으나, 도 8a에서와 같이 험프가 발생하는 경우에는 전류 특성이 일정치 않으므로 TFT의 균일성이 나빠지게 된다.

본 발명에서는 '프라이머리' 결정립 경계와 소스 드레인의 전류가 흐르는 방향이 수직이 되도록, 즉 '프라이머리' 결정립 경계와 액티브 채널 방향이 평행이 되도록 하거나, '프라이머리' 결정립 경계와 액티브 채널 방향이 $-45^{\circ} \leq \theta \leq 45^{\circ}$ 의 각도를 이루어도 무관하다.

또한, 상기 '프라이머리' 결정립 경계가 게이트의 액티브 채널 영역 상에는 존재하지 않아도 가능하며, 액티브 채널 영역 내에 존재할 수 있는 '프라이머리' 결정립 경계의 수와는 무관하다.

그러므로, '프라이머리' 결정립의 크기가 액티브 채널의 폭보다 큰 경우에도 위에서 설명한 바와 같은 '험프'와 같은 현상은 발생하지 않으므로 TFT의 균일성을 확보할 수 있다.

한편, 상기 다결정 실리콘은 SLS(Sequential Lateral Solidification) 기술로 형성한다.

위에서 제조된 박막 트랜지스터는 전류 특성 등 균일성이 우수하므로 이러한 조건을 요구하는 디스플레이 디바이스에 사용될 수 있고, 유기 전계 발광 소자 등에 사용되는 것이 바람직하다.

발명의 효과

본 발명에 따른 TFT는 드레인과 액티브 채널 영역이 접하는 영역에서 가능한한 멀리 '프라이머리' 결정립 경계를 형성하도록 하여 험프 발생을 최대한 억제함으로써 우수한 특성의 TFT를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

다결정 실리콘 층을 반도체층으로 사용하는 박막 트랜지스터에 있어서, 상기 다결정 실리콘층은 SLS 결정화 방법에 의하여 형성되며, 상기 다결정 실리콘층의 프라이머리 결정립 경계의 폭이 드레인 영역과 액티브 채널 영역의 경계와 만나지 않으며, 상기 프라이머리 결정립 경계의 폭은 $1 \mu\text{m}$ 이하인 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

삭제

청구항 3.

제 1항에 있어서,

상기 프라이머리 결정립의 크기가 상기 액티브 채널 영역의 폭보다 큰 박막 트랜지스터.

청구항 4.

제 1항에 있어서,

상기 프라임리 결정립 경계와 상기 액티브 채널 영역이 서로 평행하게 배치된 박막 트랜지스터.

청구항 5.

제 1항에 있어서,

상기 프라임리 결정립 경계와 상기 액티브 채널 영역이 이루는 각도가 $-45^{\circ} \leq \theta \leq 45^{\circ}$ 인 박막 트랜지스터.

청구항 6.

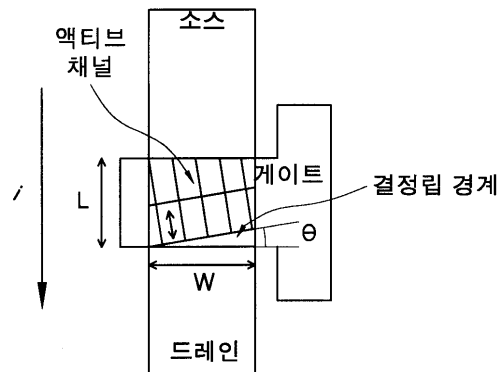
삭제

청구항 7.

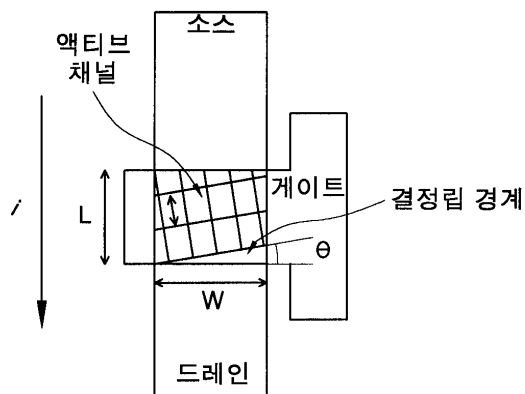
제 1항의 박막 트랜지스터를 사용하는 것을 특징으로 유기 전계 발광 소자.

도면

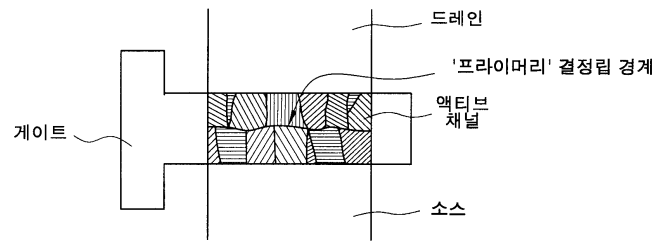
도면1a



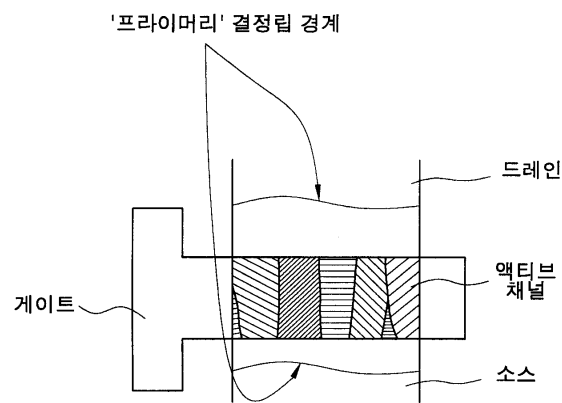
도면1b



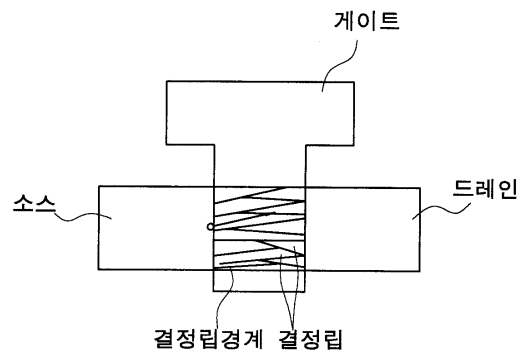
도면2a



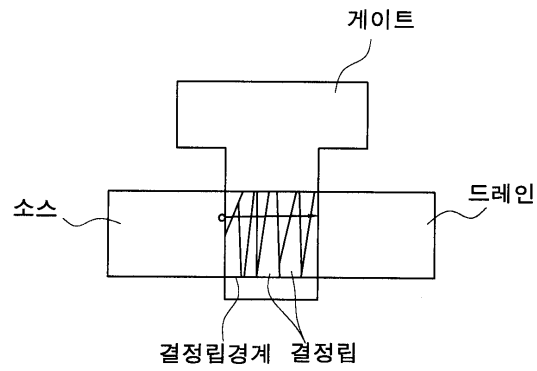
도면2b



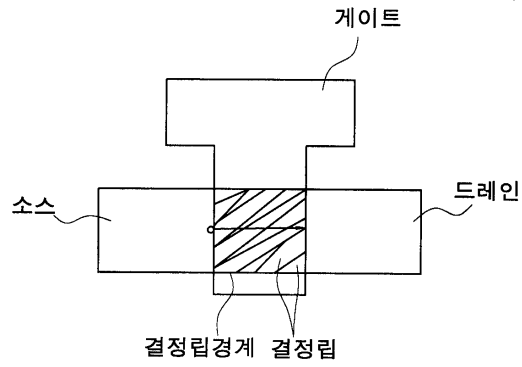
도면3a



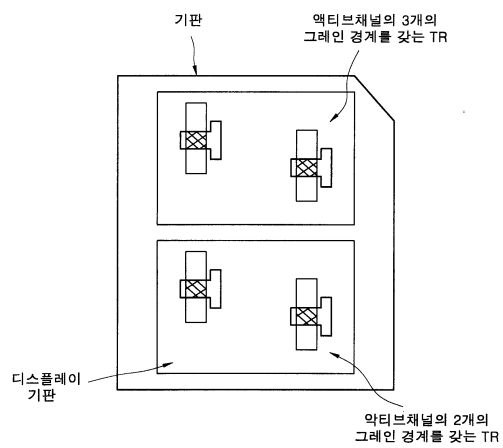
도면3b



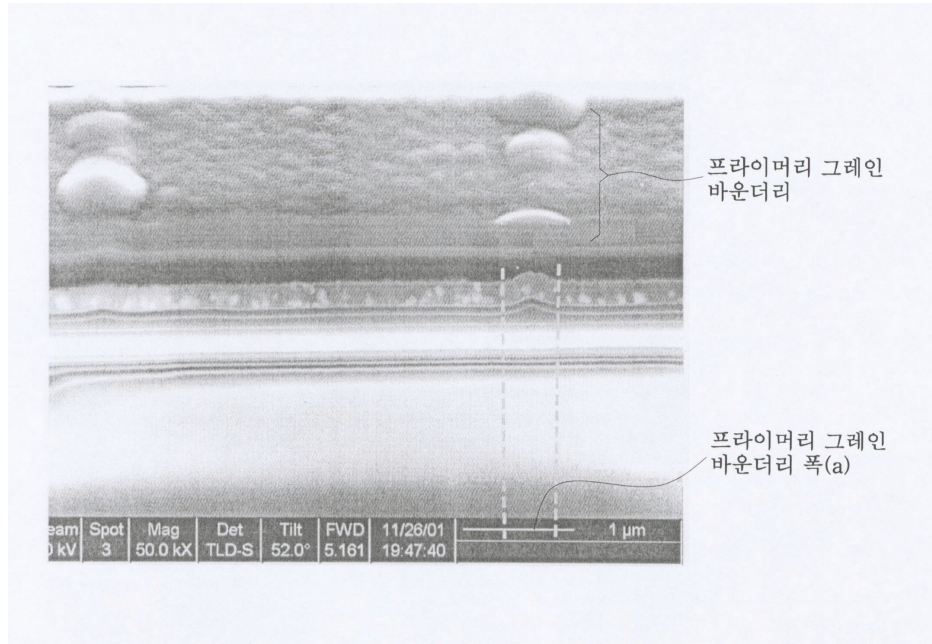
도면3c



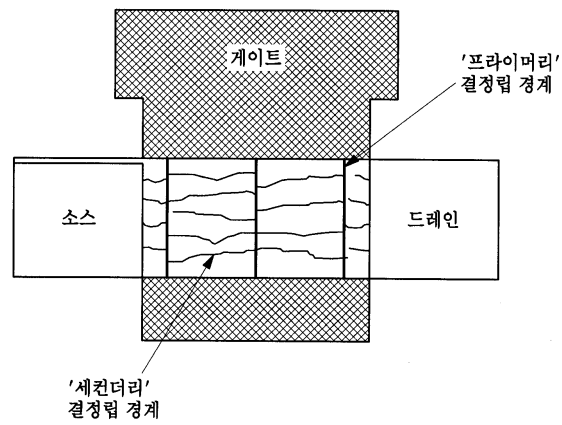
도면4



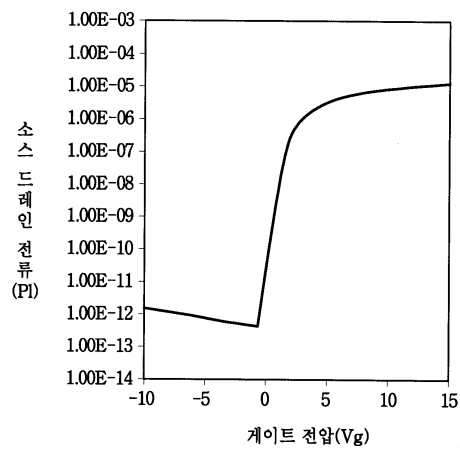
도면5



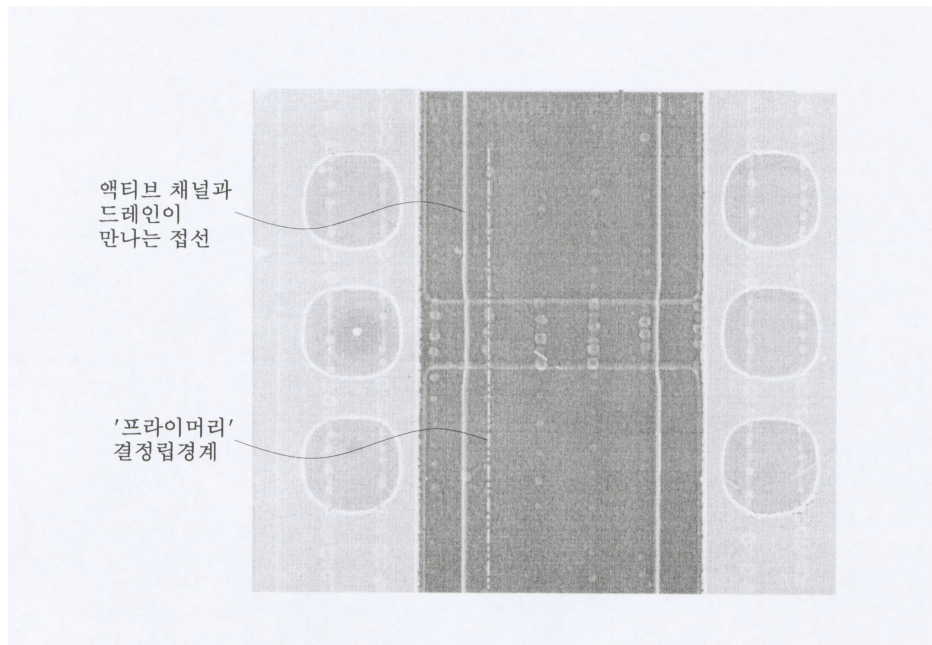
도면6a



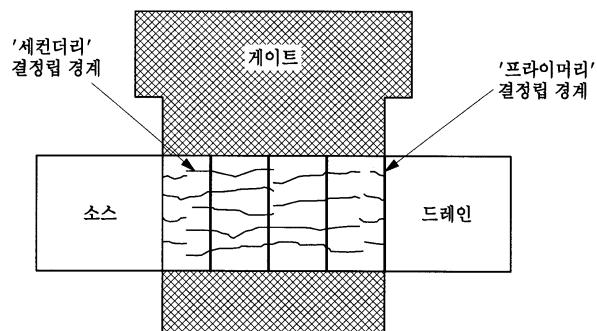
도면6b



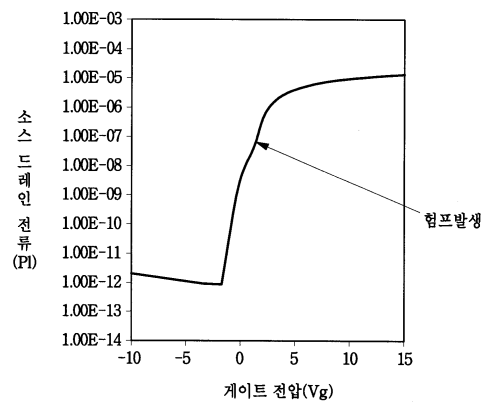
도면7



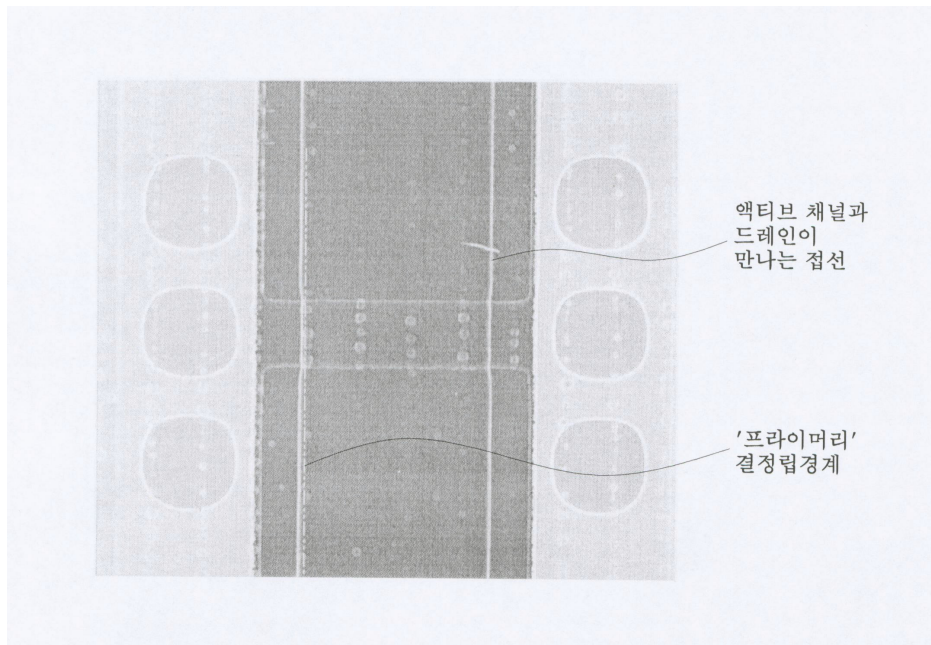
도면8a



도면8b



도면9



专利名称(译)	薄膜晶体管和使用其的有机电致发光器件		
公开(公告)号	KR100514179B1	公开(公告)日	2005-09-13
申请号	KR1020020071998	申请日	2002-11-19
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	PARK JIYONG 박지용 PARK HYEHYANG 박혜향		
发明人	박지용 박혜향		
IPC分类号	H01L51/50 H01L27/12 H01L29/786 H01L21/20 H01L21/336 G09F9/30 H01L21/77 H01L27/32 H01L29/04		
CPC分类号	H01L27/1285 H01L29/04 H01L29/78672 H01L27/1296 H01L29/78696		
代理人(译)	PARK, 常树		
其他公开文献	KR1020040043729A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种具有优异的特性和薄膜晶体管的均匀性，并使用他有机电致发光器件，其特征在于在多晶硅的该主晶界不符合漏区和有源沟道区的边界，并可以提供具有优异电流特性和均匀性的薄膜晶体管，从而可以用于具有优异性能的有机电致发光器件中。图6a 指数方面 多晶硅，晶界，有源沟道域

