



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0042143
(43) 공개일자 2012년05월03일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2010-0103667
(22) 출원일자 2010년10월22일
심사청구일자 없음

(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 삼성로 95 (농서동)
(72) 발명자
김성호
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목록허법인

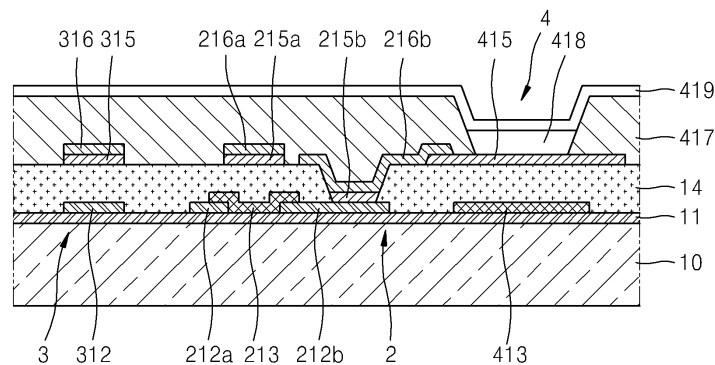
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 유기 발광 표시 장치 및 이의 제조 방법

(57) 요약

광학적 공진 효과를 얻을 수 있고 제조 공정이 단순화된 유기 발광 표시 장치 및 이의 제조 방법을 제공하기 위하여, 본 발명은 기판상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 버퍼층; 상기 버퍼층 상에 형성되며 서로 소정 간격 이격되어 형성된 소스 및 드레인 전극; 상기 소스 및 드레인 전극 사이에 형성된 박막 트랜지스터의 제1 활성층 및 상기 제1 활성층과 동일층에 동일 물질로 소정 간격 이격되어 형성된 제2 활성층; 상기 버퍼층, 상기 소스 및 드레인 전극 및 상기 활성층들 상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 제1 절연층; 상기 제1 절연층을 사이에 두고 상기 활성층 중앙 영역에 대응하도록 형성된 제1 게이트 전극 및 상기 제1 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 화소 전극; 및 상기 제1 게이트 전극 상에 형성된 제2 게이트 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

대표도 - 도14



특허청구의 범위

청구항 1

기판상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 버퍼층;

상기 버퍼층 상에 형성되며 서로 소정 간격 이격되어 형성된 소스 및 드레인 전극;

상기 소스 및 드레인 전극 사이에 형성된 박막 트랜지스터의 제1 활성층 및 상기 제1 활성층과 동일층에 동일 물질로 소정 간격 이격되어 형성된 제2 활성층;

상기 버퍼층, 상기 소스 및 드레인 전극 및 상기 활성층들 상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 제1 절연층;

상기 제1 절연층을 사이에 두고 상기 활성층 중앙 영역에 대응하도록 형성된 제1 게이트 전극 및 상기 제1 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 화소 전극; 및

상기 제1 게이트 전극 상에 형성된 제2 게이트 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

기판상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 버퍼층;

상기 버퍼층 상에 형성되는 게이트 전극;

상기 버퍼층 및 상기 게이트 전극 상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 제1 절연층;

상기 제1 절연층을 사이에 두고 상기 게이트 전극에 대응하도록 형성된 제1 활성층 및 상기 제1 활성층과 동일층에 동일 물질로 소정 간격 이격되어 형성된 제2 활성층;

상기 제1 활성층에 접촉하도록 형성된 제1 소스 및 드레인 전극 및 상기 제1 드레인 전극의 일단으로부터 연장 형성된 화소 전극; 및

상기 제1 소스 및 드레인 전극 상에 형성된 제2 소스 및 드레인 전극;을 포함하는 유기 발광 표시 장치.

청구항 3

제 1 항 또는 제 2 항 중 어느 한 항에 있어서,

상기 버퍼층은 SiO_x , SiN_x , TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 중 적어도 하나를 포함하는 층을 두 개 이상 포함하는 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 버퍼층은 실리콘 옥사이드(SiO_x)를 포함하는 상부 버퍼층과, 실리콘 나이트라이드(SiN_x)를 포함하는 하부 버퍼층을 포함하는 유기 발광 표시 장치.

청구항 5

제 1 항 또는 제 2 항 중 어느 한 항에 있어서,

상기 제1 절연층은 SiO_x , SiN_x , TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 중 적어도 하나를 포함하는 층을 두 개 이상 포함하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제1 절연층은 실리콘 나이트라이드(SiN_x)를 포함하는 상부 제1 절연층과, 실리콘 옥사이드(SiO_x)를 포함하

는 하부 제1 절연층을 포함하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 소스 및 드레인 전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 커패시터의 하부 전극;

상기 제1 게이트 전극과 동일층에 동일물질로 상기 커패시터의 하부 전극 상에 형성된 제1 상부 전극; 및

상기 제2 게이트 전극과 동일층에 동일물질로 상기 커패시터의 제1 상부 전극 상에 형성된 제2 상부 전극;을 더 포함하는 유기 발광 표시 장치.

청구항 8

제 2 항에 있어서,

상기 게이트 전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 커패시터의 하부 전극;

상기 제1 소스 및 드레인 전극과 동일층에 동일물질로 상기 커패시터의 하부 전극 상에 형성된 제1 상부 전극; 및

상기 제2 소스 및 드레인 전극과 동일층에 동일물질로 상기 커패시터의 제1 상부 전극 상에 형성된 제2 상부 전극;을 더 포함하는 유기 발광 표시 장치.

청구항 9

제 1 항 또는 제 2 항 중 어느 한 항에 있어서,

상기 제2 도전층은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 1 항 또는 제 2 항 중 어느 한 항에 있어서,

상기 제3 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 1 항 또는 제 2 항 중 어느 한 항에 있어서,

상기 화소 전극이 노출되도록 상기 화소 전극 가장자리에 형성된 화소 정의막을 더 포함하는 유기 발광 표시 장치.

청구항 12

제 1 항 또는 제 2 항 중 어느 한 항에 있어서,

상기 활성층은 산화물 반도체로 구비된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

기판상에 굴절률이 서로 상이한 물질을 차례로 적층하여 버퍼층을 형성하는 단계;

상기 버퍼층 상에 제1 도전층을 형성하여, 이를 박막 트랜지스터의 소스 및 드레인 전극으로 패터닝하는 제1 마스크 공정;

상기 제1 마스크 공정의 구조물 상에 반도체층을 형성하고, 이를 제1 활성층 및 제2 활성층으로 패터닝하는 제2 마스크 공정;

상기 제2 마스크 공정의 구조물 상에 굴절률이 서로 상이한 물질을 차례로 적층하여 제1 절연층을 형성하고, 상기 소스 및 드레인 전극의 일부가 노출되도록 상기 제1 절연층의 일부를 제거하는 제3 마스크 공정;

상기 제3 마스크 공정의 구조물 상에 제2 도전층 및 제3 도전층을 순차로 형성하여, 이를 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극과, 화소 전극으로 동시에 패터닝하는 제4 마스크 공정; 및

상기 제4 마스크 공정의 구조물 상에 제2 절연층을 형성하여, 상기 화소 전극이 노출되도록 상기 제2 절연층을 제거하는 제5 마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 14

기판상에 굴절률이 서로 상이한 물질을 차례로 적층하여 버퍼층을 형성하는 단계;

상기 버퍼층 상에 제1 도전층을 형성하여, 이를 박막 트랜지스터의 게이트 전극으로 패터닝하는 제1 마스크 공정;

상기 제1 마스크 공정의 구조물 상에 굴절률이 서로 상이한 물질을 차례로 적층하여 제1 절연층을 형성하고, 상기 제1 절연층 상에 반도체층을 형성하고, 상기 반도체층을 제1 활성층 및 제2 활성층으로 패터닝하는 제2 마스크 공정;

상기 제2 마스크 공정의 구조물 상에 제2 절연층을 형성하고, 상기 제2 절연층을 식각 방지층으로 패터닝하는 제3 마스크 공정;

상기 제3 마스크 공정의 구조물 상에 제2 도전층 및 제3 도전층을 순차로 형성하여, 이를 박막 트랜지스터의 소스 및 드레인 전극과, 화소 전극으로 동시에 패터닝하는 제4 마스크 공정; 및

상기 제4 마스크 공정의 구조물 상에 제3 절연층을 형성하여, 상기 화소 전극이 노출되도록 상기 제3 절연층을 제거하는 제5 마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제 13 항 또는 제 14 항 중 어느 한 항에 있어서,

상기 제4 마스크 공정은, 상기 화소 전극에 대응하는 위치에 형성된 반투과부를 포함하는 하프톤 마스크(half-tone mask)를 이용하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제 13 항 또는 제 14 항 중 어느 한 항에 있어서,

상기 버퍼층을 형성하는 단계는, SiOx, SiNx, TiO2, HfO2, Al2O3, HfSiOx, Ta2O5, Nb2O5, ZrO2, Y2O3, La2O3 중 적어도 하나를 포함하는 층을 두 개 이상 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 버퍼층은 실리콘 옥사이드(SiOx)를 포함하는 상부 버퍼층과, 실리콘 나이트라이드(SiNx)를 포함하는 하부 버퍼층을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 13 항 또는 제 14 항 중 어느 한 항에 있어서,

상기 제1 절연층을 형성하는 단계는, SiOx, SiNx, TiO2, HfO2, Al2O3, HfSiOx, Ta2O5, Nb2O5, ZrO2, Y2O3, La2O3, AZO 중 적어도 하나를 포함하는 층을 두 개 이상 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 제1 절연층은 실리콘 나이트라이드(SiNx)를 포함하는 상부 제1 절연층과, 실리콘 옥사이드(SiOx)를 포함하는 하부 제1 절연층을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 13 항 또는 제 14 항 중 어느 한 항에 있어서,

상기 제2 도전층은 ITO, IZO, ZnO, 및 In_2O_3 중 하나 이상을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제 13 항 또는 제 14 항 중 어느 한 항에 있어서,

상기 제3 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제 13 항 또는 제 14 항 중 어느 한 항에 있어서,

상기 활성층은 산화물 반도체로 구비된 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 이의 제조 방법에 관한 것으로, 더 상세하게는 광학적 공진 효과를 얻을 수 있고 제조 공정이 단순화된 유기 발광 표시 장치 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판상에 제작된다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 박막 트랜지스터 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 기판에 전사한다.

[0004] 한편, 유기 발광 표시 장치의 광효율은 내부효율(internal efficiency)과 외부효율(external efficiency)로 나뉘어진다. 이 중, 내부효율은 유기 발광 물질의 광전변환 효율에 의존하며, 외부효율은 유기 발광 표시 장치를 구성하는 각층의 굴절률에 좌우된다. 이 중 외부효율인 광취출효율(light coupling efficiency)의 경우에는 유기 발광 표시장치가 음극선관이나 PDP 등 다른 표시장치에 비해 낮은 편이어서, 이로 인해 휘도, 수명 등 표시 장치의 특성 면에서 개선의 여지가 많다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 광학적 공진 효과를 구현하여 광 효율이 향상된 유기 발광 표시 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명은 기판상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 버퍼층; 상기 버퍼층 상에 형성되며 서로 소정 간격 이격되어 형성된 소스 및 드레인 전극; 상기 소스 및 드레인 전극 사이에 형성된 박막 트랜지스터의 제1 활성층 및 상기 제1 활성층과 동일층에 동일 물질로 소정 간격 이격되어 형성된 제2 활성층; 상기 버퍼층, 상기 소스 및 드레인 전극 및 상기 활성층들 상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 제1 절연층; 상기 제1 절연층을 사이에 두고 상기 활성층 중앙 영역에 대응하도록 형성된 제1 게이트 전극 및 상기 제1 게이트 전극과 동일층에 동일 물질로 소정 간격 이격되어 형성된 화소 전극; 및 상기 제1 게이트 전극 상에 형성된 제2 게이트 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

[0007] 다른 측면에 따른 본 발명은, 기판상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된

버퍼층; 상기 버퍼층 상에 형성되는 게이트 전극; 상기 버퍼층 및 상기 게이트 전극 상에 형성되며, 굴절률이 서로 상이한 물질이 차례로 적층되어 형성된 제1 절연층; 상기 제1 절연층을 사이에 두고 상기 게이트 전극에 대응하도록 형성된 제1 활성층 및 상기 제1 활성층과 동일층에 동일 물질로 소정 간격 이격되어 형성된 제2 활성층; 상기 제1 활성층에 접촉하도록 형성된 제1 소스 및 드레인 전극 및 상기 제1 드레인 전극의 일단으로부터 연장 형성된 화소 전극; 및 상기 제1 소스 및 드레인 전극 상에 형성된 제2 소스 및 드레인 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

- [0008] 본 발명에 있어서, 상기 버퍼층은 SiO_x , SiN_x , TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 중 적어도 하나를 포함하는 층을 두 개 이상 포함할 수 있다.
- [0009] 여기서, 상기 버퍼층은 실리콘 옥사이드(SiO_x)를 포함하는 상부 버퍼층과, 실리콘 나이트라이드(SiN_x)를 포함하는 하부 버퍼층을 포함할 수 있다.
- [0010] 본 발명에 있어서, 상기 제1 절연층은 SiO_x , SiN_x , TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 중 적어도 하나를 포함하는 층을 두 개 이상 포함할 수 있다.
- [0011] 여기서, 상기 제1 절연층은 실리콘 나이트라이드(SiN_x)를 포함하는 상부 제1 절연층과, 실리콘 옥사이드(SiO_x)를 포함하는 하부 제1 절연층을 포함할 수 있다.
- [0012] 본 발명에 있어서, 상기 소스 및 드레인 전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 커패시터의 하부 전극; 상기 제1 게이트 전극과 동일층에 동일물질로 상기 커패시터의 하부 전극 상에 형성된 제1 상부 전극; 및 상기 제2 게이트 전극과 동일층에 동일물질로 상기 커패시터의 제1 상부 전극 상에 형성된 제2 상부 전극;을 더 포함할 수 있다.
- [0013] 본 발명에 있어서, 상기 게이트 전극과 동일층에 동일물질로 소정 간격 이격되어 형성된 커패시터의 하부 전극; 상기 제1 소스 및 드레인 전극과 동일층에 동일물질로 상기 커패시터의 하부 전극 상에 형성된 제1 상부 전극; 및 상기 제2 소스 및 드레인 전극과 동일층에 동일물질로 상기 커패시터의 제1 상부 전극 상에 형성된 제2 상부 전극;을 더 포함할 수 있다.
- [0014] 본 발명에 있어서, 상기 제2 도전층은 ITO , IZO , ZnO , 및 In_2O_3 중 하나 이상을 포함할 수 있다.
- [0015] 본 발명에 있어서, 상기 제3 도전층은 Ag , Mg , Al , Pt , Pd , Au , Ni , Nd , Ir , Cr , Li , Ca , Mo , Ti , W , MoW , Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.
- [0016] 본 발명에 있어서, 상기 화소 전극이 노출되도록 상기 화소 전극 가장자리에 형성된 화소 정의막을 더 포함할 수 있다.
- [0017] 본 발명에 있어서, 상기 활성층은 산화물 반도체로 구비될 수 있다.
- [0018] 또 다른 측면에 따른 본 발명은, 기판상에 굴절률이 서로 상이한 물질을 차례로 적층하여 버퍼층을 형성하는 단계; 상기 버퍼층 상에 제1 도전층을 형성하여, 이를 박막 트랜지스터의 소스 및 드레인 전극으로 패터닝하는 제1 마스크 공정; 상기 제1 마스크 공정의 구조물 상에 반도체층을 형성하고, 이를 제1 활성층 및 제2 활성층으로 패터닝하는 제2 마스크 공정; 상기 제2 마스크 공정의 구조물 상에 굴절률이 서로 상이한 물질을 차례로 적층하여 제1 절연층을 형성하고, 상기 소스 및 드레인 전극의 일부가 노출되도록 상기 제1 절연층의 일부를 제거하는 제3 마스크 공정; 상기 제3 마스크 공정의 구조물 상에 제2 도전층 및 제3 도전층을 순차로 형성하여, 이를 박막 트랜지스터의 제1 게이트 전극 및 제2 게이트 전극과, 화소 전극으로 동시에 패터닝하는 제4 마스크 공정; 및 상기 제4 마스크 공정의 구조물 상에 제2 절연층을 형성하여, 상기 화소 전극이 노출되도록 상기 제2 절연층을 제거하는 제5 마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0019] 또 다른 측면에 따른 본 발명은, 기판상에 굴절률이 서로 상이한 물질을 차례로 적층하여 버퍼층을 형성하는 단계; 상기 버퍼층 상에 제1 도전층을 형성하여, 이를 박막 트랜지스터의 게이트 전극으로 패터닝하는 제1 마스크 공정; 상기 제1 마스크 공정의 구조물 상에 굴절률이 서로 상이한 물질을 차례로 적층하여 제1 절연층을 형성하고, 상기 제1 절연층 상에 반도체층을 형성하고, 상기 반도체층을 제1 활성층 및 제2 활성층으로 패터닝하는 제2 마스크 공정; 상기 제2 마스크 공정의 구조물 상에 제2 절연층을 형성하고, 상기 제2 절연층을 식각 방지층으로 패터닝하는 제3 마스크 공정; 상기 제3 마스크 공정의 구조물 상에 제2 도전층 및 제3 도전층을 순차로 형성하여, 이를 박막 트랜지스터의 소스 및 드레인 전극과, 화소 전극으로 동시에 패터닝하는 제4 마스크 공정; 및 상기 제4 마스크 공정의 구조물 상에 제3 절연층을 형성하여, 상기 화소 전극이 노출되도록 상기 제3 절연층을

제거하는 제5 마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.

- [0020] 본 발명에 있어서, 상기 제4 마스크 공정은, 상기 화소 전극에 대응하는 위치에 형성된 반투과부를 포함하는 하프톤 마스크(half-tone mask)를 이용할 수 있다.
- [0021] 본 발명에 있어서, 상기 버퍼층을 형성하는 단계는, SiO_x , SiN_x , TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 중 적어도 하나를 포함하는 층을 두 개 이상 형성하는 단계를 포함할 수 있다.
- [0022] 여기서, 상기 버퍼층은 실리콘 옥사이드(SiO_x)를 포함하는 상부 버퍼층과, 실리콘 나이트라이드(SiN_x)를 포함하는 하부 버퍼층을 포함할 수 있다.
- [0023] 본 발명에 있어서, 상기 제1 절연층을 형성하는 단계는, SiO_x , SiN_x , TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 중 적어도 하나를 포함하는 층을 두 개 이상 형성하는 단계를 포함할 수 있다.
- [0024] 여기서, 상기 제1 절연층은 실리콘 나이트라이드(SiN_x)를 포함하는 상부 제1 절연층과, 실리콘 옥사이드(SiO_x)를 포함하는 하부 제1 절연층을 포함할 수 있다.
- [0025] 본 발명에 있어서, 상기 제2 도전층은 ITO , IZO , ZnO , 및 In_2O_3 중 하나 이상을 포함할 수 있다.
- [0026] 본 발명에 있어서, 상기 제3 도전층은 Ag , Mg , Al , Pt , Pd , Au , Ni , Nd , Ir , Cr , Li , Ca , Mo , Ti , W , MoW , Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.
- [0027] 본 발명에 있어서, 상기 활성층은 산화물 반도체로 구비될 수 있다.

발명의 효과

- [0028] 이상과 같은 본 발명의 유기 발광 표시 장치 및 그 제조 방법에 따르면, 적은 개수의 마스크를 이용하여 상술한 구조의 유기 발광 표시 장치를 제조하면서도 광학적 공진 효과를 구현할 수 있기 때문에, 광 효율이 향상되는 효과를 얻을 수 있다. 나아가 마스크 수의 저감에 따른 비용의 절감, 및 제조 공정의 단순화와 이로 인한 비용 절감을 실현할 수 있다.

도면의 간단한 설명

- [0029] 도 1 내지 도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 단계를 개략적으로 도시한 단면도이다.
- 도 14는 상기 제조 단계에 의해 형성된 유기 발광 표시 장치의 개략적인 단면이다.
- 도 15는 도 14의 유기 발광 표시 장치의 공진 구조를 개략적으로 나타낸 도면이다.
- 도 16 내지 도 29는 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치의 제조 단계를 개략적으로 도시한 단면도이다.
- 도 30는 상기 제조 단계에 의해 형성된 유기 발광 표시 장치의 개략적인 단면이다.
- 도 31은 도 30의 유기 발광 표시 장치의 공진 구조를 개략적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 상세히 설명한다.
- [0031] 도 1 내지 도 13은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 단계를 개략적으로 도시한 단면도이고, 도 14는 상기 제조 단계에 의해 형성된 유기 발광 표시 장치의 개략적인 단면이다.
- [0032] 상기 도면들을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는, 기판(10), 버퍼층(11), 박막 트랜지스터(2), 커패시터(3) 및 유기 발광 소자(4)를 포함한다.
- [0033] 도 1을 참조하면, 기판(10) 상에 버퍼층(11) 및 제1 도전층(12)이 순차로 형성되어 있다.
- [0034] 기판(10)은 SiO_2 를 주성분으로 하는 투명 재질의 글라스 재로 형성될 수 있다. 물론 불투명 재질도 가능하며, 플라스틱 재와 같은 다른 재질로 이루어질 수도 있다. 다만, 유기 발광 표시 장치의 화상이 기판(10) 측에서 구현되는 배면 발광형인 경우에는 상기 기판(10)은 투명 재질로 형성되어야 한다.

- [0035] 기판(10)의 상면에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(11)이 구비될 수 있다. 상기 버퍼층(11)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다. 또는 버퍼층(11)은 TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 등의 물질을 포함할 수도 있다. 여기서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 버퍼층(11)이 굴절률이 서로 다른 물질들이 차례로 적층된 다층 구조로 형성되어 광학적 공진 구조를 형성하는바, 이에 대하여는 뒤에서 상세히 설명한다.
- [0036] 버퍼층(11) 상에 제1 도전층(12)이 증착된다. 제1 도전층(12)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 또는 제1 도전층(12)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제1 도전층(12)은 후술할 박막 트랜지스터의 소스/드레인 전극(212a, 212b) 및 커패시터의 하부 전극(312)의 일부가 된다.
- [0037] 다음으로, 도 2를 참조하면, 도 1의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P1)(photoresit layer)을 형성한 후, 감광막(P1)을 패터닝하기 위하여 소정 패턴이 그려진 제1 마스크(M1)를 준비하여 기판(10)에 정렬한다. 여기서, 제1 마스크(M1)는 광투과부(M11) 및 광차단부(M12a, M12b, M12c)를 포함한다. 광투과부(M1)는 소정 파장대의 광을 투과시키고, 광차단부(M12a, M12b, M12c)는 조사되는 광을 차단한다. 그리고나서, 감광막(P1)을 노광 및 현상 한 후, 잔존하는 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.
- [0038] 다음으로, 도 3을 참조하면, 제1 마스크 공정의 결과로, 버퍼층(11) 상부에 소스/드레인 전극(212a, 212b)이 형성된다. 또한, 커패시터의 하부 전극(312)이 상기 소스/드레인 전극(212a, 212b)과 동일층에 동일물질로 형성된다.
- [0039] 다음으로, 도 4를 참조하면, 버퍼층(11), 소스/드레인 전극(212a, 212b) 및 하부 전극(312) 상부에 반도체층(13)이 형성된다.
- [0040] 상기 반도체층(13)은 산화물 반도체로 형성될 수 있으며, 상세하게는 갈륨(Ga), 인(In), 아연(Zn), 주석(Sn) 및 hafnium(Hf) 군에서 선택된 하나 이상의 원소 및 산소를 포함할 수 있다. 예를 들어, 상기 반도체층(13)은 ZnO, ZnGaO , ZnInO , GaInO , GaSnO , ZnSnO , InSnO , HfInZnO 또는 ZnGaInO 등의 물질을 포함할 수 있으며, 바람직하게는 G-I-Z-O층[a(In2O3)b(Ga2O3)c(ZnO)층](a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)일 수 있다. 이와 같이 산화물 반도체로 형성된 반도체층(13)은, 후술할 박막 트랜지스터(2)의 활성층(213) 및 유기 발광 소자(4)의 활성층(413)으로 패터닝된다.
- [0041] 다음으로, 도 5를 참조하면, 도 4의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P2)(photoresit layer)을 형성한 후, 감광막(P2)을 패터닝하기 위하여 소정 패턴이 그려진 제2 마스크(M2)를 준비하여 기판(10)에 정렬한다. 그리고, 감광막(P2)을 노광 및 현상 한 후, 잔존하는 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.
- [0042] 다음으로, 도 6을 참조하면, 제2 마스크 공정의 결과로, 버퍼층(11), 소스/드레인 전극(212a, 212b) 및 하부 전극(312) 상부에 박막 트랜지스터(2)의 활성층(213)이 형성된다. 또한, 유기 발광 소자(4)의 활성층(413)이 상기 활성층(213)과 동일층에 동일물질로 형성된다.
- [0043] 다음으로, 도 7을 참조하면, 제2 마스크 공정의 결과인 도 6의 구조물 상에 제1 절연층(14)을 증착하고, 그 위에 제3 감광막(P3)을 형성한 후, 그 위에 제3 마스크(M3)를 정렬한다.
- [0044] 상세히, 제1 절연층(14)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 또는 제1 절연층(14)은 TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 등의 물질을 포함할 수도 있다. 이와 같은 제1 절연층(14)은, 박막 트랜지스터(2)의 활성층(213)과 제1 게이트 전극(도 14의 215a 참조) 사이에 개재되어 박막 트랜지스터(2)의 게이트 절연막 역할을 하며, 동시에 후술할 커패시터(3)의 하부 전극(312)과 제1 상부 전극(도 14의 315 참조) 사이에 개재되어 커패시터(3)의 제1 유전체층 역할을 하게 된다. 또한, 후술할 유기 발광 소자(4)의 활성층(413)과 화소 전극(도 14의 415 참조) 사이에 개재되어 유기 발광 소자(4)의 공진을 위한 절연막 역할을 하게 된다. 이를 위하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 절연층(14)이 굴절률이 서로 다른 물질들이 차례로 적층된 다층 구조로 형성되는바, 이에 대하여는 뒤에서 상세히 설명한다.

- [0045] 그리고나서, 소정의 패턴이 구비된 제3 마스크(M3)를 기판(10)에 정렬하여 감광막(P3)에 노광을 실시한다.
- [0046] 도 8을 참조하면, 감광된 부분의 감광막(P3)이 제거된 후, 잔존하는 감광막 패턴을 마스크로 하여 식각한 후의 유기 발광 표시 장치가 개략적으로 도시되어 있다. 상기 도면을 참조하면, 드레인 전극(212b)에 대응하는 일부 영역을 노출하는 개구(H1)가 형성된다.
- [0047] 다음으로, 도 9를 참조하면, 제3 마스크 공정의 결과인 도 8의 구조물 상에 제2 도전층(15) 및 제3 도전층(16)을 순차로 증착한다.
- [0048] 제2 도전층(15)은 IT0, IZ0, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제2 도전층(15)은 후술할 유기 발광 표시 장치의 화소 전극(415), 박막 트랜지스터의 제1 게이트 전극(215a)과 제1 컨택 전극(215b) 및 커패시터의 제1 상부 전극(315)의 일부가 된다.
- [0049] 제3 도전층(16)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제3 도전층(16)은 후술할 박막 트랜지스터의 제2 게이트 전극(216a)과 제2 컨택 전극(216b) 및 커패시터의 제2 상부 전극(316)의 일부가 된다.
- [0050] 다음으로, 도 10을 참조하면, 도 9의 구조물 상에 제4 마스크(M4)를 정렬한다. 여기서, 제4 마스크(M4)는 광투과부(M41), 광차단부(M42a, M42b, M42c), 및 반투과부(M43)를 구비하는 하프톤 마스크일 수 있다. 광투과부(M41)는 소정 파장대의 광을 투과시키고, 광차단부(M42a, M42b, M42c)는 광을 차단하며, 반투과부(M43)는 화소 전극(415)에 대응하는 패턴을 구비한다. 위와 같은 패턴이 그려진 제4 마스크(M4)를 기판(10)에 정렬한 후, 감광막(P4)에 소정 파장대의 광을 조사한다.
- [0051] 그러면, 하프톤 마스크(M4)의 광투과부(M41)에 대응하는 감광막 부분은 제거되고, 광차단부(M42a, M42b, M42c)에 대응하는 감광막 부분, 및 반투과부(M43)에 대응하는 감광막 부분이 남아있다. 이때, 반투과부(M43)에 대응하는 감광막 부분의 두께는 광차단부(M42a, M42b, M42c)에 대응하는 감광막 부분의 두께보다 얇으며, 이 감광막의 두께는 반투과부(M43) 패턴을 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0052] 이들 감광막 패턴들을 마스크로 이용하여, 식각 장비로 상기 기판(10) 상의 제2 도전층(15) 및 제3 도전층(16)을 식각한다. 이때, 감광막이 없는 부분의 구조물이 가장 먼저 식각되고, 감광막의 일부 두께가 식각된다. 이때, 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행가능하다.
- [0053] 이와 같이 1차 식각 공정이 진행되는 동안, 감광막이 없는 부분의 제2 도전층(15)과 제3 도전층(16)은 식각되었다. 그리고, 반투과부(M43)에 대응하는 감광막 부분은 식각되었지만 그 하부 구조물은 그대로 남아있으며, 이 하부 구조물들은 이후 유기 발광 표시 장치의 화소 전극(415)으로 형성된다. 한편, 광차단부(M42a, M42b, M42c)에 대응하는 감광막 부분은 1차 식각에도 일부가 남아 있으며, 이를 마스크로 하여 2차 식각을 진행한다.
- [0054] 이와 같이 2차 식각 공정을 진행하면, 감광막이 일부 제거된 화소 전극 영역은 상부의 제3 도전층(16)이 식각되고 제2 도전층(15)의 일부가 화소 전극(415)으로 형성된다.
- [0055] 상기 도면을 참조하면, 화소 전극(415)과, 박막 트랜지스터의 게이트 전극(215a, 216a) 및 컨택 전극(215b, 216b)과, 커패시터의 상부 전극(315, 316)이 동일 구조물 상에서 하나의 하프톤 마스크(M4)를 이용하여 동시에 패턴닝되게 된다. 따라서, 화소 전극(415)과, 박막 트랜지스터의 제1 게이트 전극(215a)과, 박막 트랜지스터의 제1 컨택 전극(215b)과, 커패시터의 제1 상부 전극(315)이 동일층에서 동일물질로 형성된다. 동시에 박막 트랜지스터의 제2 게이트 전극(216a)과, 박막 트랜지스터의 제2 컨택 전극(216b)과, 커패시터의 제2 상부 전극(316)이 동일층에 동일 물질로 형성된다.
- [0056] 도 12를 참조하면, 제4 마스크 공정 결과인 도 11의 구조물 상에 제2 절연층(17)을 형성하고, 제5 마스크(M5)를 정렬한다.
- [0057] 제2 절연층(17)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제2 절연층(17)은 상기기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1 절연층(14)과 같은 무기 절연 물질로 형성될 수 있음은 물론이다. 이와 같은 제2 절연층(17)은, 제5 마스크(M5)를 사용한 식각 공정 후, 후술할 유기 발광 표시 장치의 화소 정의막(pixel define layer: PDL) 역할을 하게 된다.
- [0058] 제5 마스크(M5)는 화소 전극(415)에 대응하는 위치에 광투과부(M51)가 형성되고, 나머지 부분에는 광차단부(M52)가 형성된다. 제5 마스크(M5)에 광이 조사되면, 광이 투과된 제2 절연층(17) 및 제2 절연층(17) 부분의 유

기 절연 물질은 건식 식각(dry etching)으로 직접 제거할 수 있다. 전술한 제1 내지 제4 마스크 공정의 경우에는 감광막을 사용하여, 감광막을 노광, 현상하고, 현상된 감광막을 마스크로 하여 하부 구조를 다시 패터닝하였지만, 본 실시예와 같이 유기 절연 물질을 사용하는 경우에는 감광막을 별도로 사용하지 않고 직접 제2 절연층(17)을 건식 식각 할 수 있다.

[0059] 도 13을 참조하면, 제2 절연층(17)의 일부가 식각되어 화소 전극(415)이 노출되도록 개구(H2)를 형성함으로써, 화소를 정의하는 화소 정의막(417)이 형성된다. 이러한 화소 정의막(417)은 소정의 두께를 가짐으로써 화소 전극(415)의 가장자리와 대향 전극(도 14의 419 참조) 사이의 간격을 넓혀, 화소 전극(415)의 가장자리에 전계가 집중되는 현상을 방지함으로써 화소 전극(415)과 대향 전극(도 14의 419 참조) 사이의 단락을 방지한다.

[0060] 도 14를 참조하면, 화소 전극(415) 및 화소 정의막(416) 상에 유기 발광층을 포함하는 중간층(418) 및 대향 전극(419)이 형성된다.

[0061] 중간층(418)에 포함되는 유기 발광층은 화소 전극(415)과 대향 전극(419)의 전기적 구동에 의해 발광한다. 유기 발광층은 저분자 또는 고분자 유기물이 사용될 수 있다.

[0062] 저분자 유기물로 형성되는 경우, 중간층(418)은 유기 발광층을 중심으로 화소 전극(415)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer: HIL) 등이 적층되고, 대향 전극(419) 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.

[0063] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(418)은 유기 발광층을 중심으로 화소 전극(415) 방향으로 홀 수송층(HTL)만이 포함될 수 있다. 홀 수송층(HTL)은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소 전극(415) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

[0064] 유기 발광층을 포함한 중간층(418) 상에는 대향 전극인 대향 전극(419)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(415)은 애노드 전극으로 사용되고, 대향 전극(419)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0065] 유기 발광 표시 장치가 기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소 전극(415)은 투명전극이 되고 대향 전극(419)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착할 수 있다.

[0066] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(419) 상에는 외부의 수분이나 산소 등으로부터 중간층(418)을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

[0067] 여기서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치 및 이의 제조 방법은, 버퍼층(11) 및 제1 절연층(14)이 각각 복수 개의 층을 포함하는 다층 구조로 형성되어 광학적 공진 구조를 구현하는 것을 일 특징으로 한다.

[0068] 이를 더욱 상세히 설명하면 다음과 같다.

[0069] 상술한 바와 같이 배면 발광 구조에서 마스크 수를 절감하기 위하여 게이트 전극(215a)(215b)과 화소 전극(415)을 동일층에 동일 물질로 형성할 경우, 게이트 전극(215a)(215b)은 이중층으로 형성되는 반면 화소 전극(415)은 투명 전극의 단일층으로 형성된다. 이와 같이 단일층의 투명 전극을 화소 전극(415)으로 사용하는 배면 발광 구조에서는 화소 전극(415)에 반사 특성이 없기 때문에, 대향 전극(419)과 화소 전극(415) 간의 광학적 공진 효과가 발생하지 아니하고, 이 경우 중간층(418)이 발광할 때 광 효율 및 색 재현율의 증대에 한계가 존재하였다.

[0070] 이와 같이, 마스크 수가 절감된 배면 발광 구조에서 광학적 공진 효과를 구현하기 위하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화소 전극(415) 하부의 활성층(413), 다층 구조의 버퍼층(11) 및 제1 절연층

(14)을 구비하여, 상기 층들이 반사층의 역할을 수행하도록 하는 것을 일 특징으로 한다.

[0071] 도 15를 참조하면, 기판(10) 상부에 굴절율이 서로 다른 물질로 형성된 두 층을 포함하는 버퍼층(11)이 형성된다. 여기서, 하부 버퍼층(11a)은 SiN_x 등과 같은 무기 절연막으로 형성될 수 있고, 상부 버퍼층(11b)은 SiO_x 등과 같은 무기 절연막으로 형성될 수 있다. 여기서, 상기 하부 버퍼층(11a)과 상부 버퍼층(11b)은 서로 굴절율이 다른 물질로 형성될 수 있다. 한편, 상기 버퍼층(11) 상에 활성층(413)이 형성되고, 상기 활성층(413) 상에 굴절율이 서로 다른 물질로 형성된 두 층을 포함하는 제1 절연층(14)이 형성된다. 여기서, 하부 제1 절연층(14a)은 SiO_x 등과 같은 무기 절연막으로 형성될 수 있고, 상부 제1 절연층(14b)은 SiN_x 등과 같은 무기 절연막으로 형성될 수 있다. 여기서, 도면에는 버퍼층(11) 및 제1 절연층(14)이 각각 두 층으로 구성되는 것으로 도시되어 있으나, 본 발명의 사상은 이에 제한되지 아니하며, 세 층, 네 층 또는 그 이상의 다층으로 형성하는 것도 가능하다 할 것이다.

[0072] 여기서, 광학적 공진 구조를 형성하기 위해, 버퍼층(11)과 대향 전극(419) 사이의 거리(d)는 공진이 되는 조건이 되도록 하여야 한다. 공진이 되는 조건을 구하면 버퍼층(11)과 대향 전극(419)의 면에서 빛의 파가 노드(node)를 형성해야 정상파가 생기므로, 노드가 생성되는 조건은 다음 식(1)과 같다.

$$\sum_n^d n \cdot d = \frac{\lambda}{2} \cdot m (m = 1, 2, 3, \dots) \quad (1)$$

[0074] n은 막의 굴절률이고, d는 막의 두께, m은 자연수이다. (식(1)에서의 d는 노드가 형성될 수 있는 막의 두께를 말한다.)

[0075] 보통 이미지 쌍극자(Image dipole)나 다른 조건들에 의해 공진 조건은 위의 식에서 약간의 범위를 가질 수 있다. 따라서, 본 발명에서의 공진 조건이 되는 막의 두께, 즉, 버퍼층(11)과 대향 전극(419)과의 거리(D)는 다음 식(2)의 범위를 갖게 된다.

$$\frac{\lambda}{2} \cdot m - \frac{\lambda}{10} \leq D \leq \frac{\lambda}{2} \cdot m + \frac{\lambda}{10} \quad (2)$$

[0077] 위 식(2)에서 m은 자연수이고, λ 는 해당 빛의 파장이다.

[0078] 이러한 거리(D)를 맞출 수 있도록 버퍼층(11) 및 제1 절연층(14)의 각 두께를 설정함으로써 상기 중간층(418)으로부터 발산되는 광의 효율을 높여 전체 공진 효과를 더욱 극대화할 수 있다. 이와 같이 각 층에 대한 적절한 두께를 선정하면, 활성층(413), 다층 구조의 버퍼층(11) 및 제1 절연층(14)이 DBR(Dielectric Bragg Reflector)의 역할을 수행하게 되어, 중간층(418)에서 발산된 빛의 일부를 반사하여, 대향 전극(419)과 공진 구조를 형성하게 되는 것이다.

[0079] 이상과 같은 본 발명의 유기 발광 표시 장치 및 그 제조 방법에 따르면, 적은 개수의 마스크를 이용하여 상술한 구조의 유기 발광 표시 장치를 제조하면서도 광학적 공진 효과를 구현할 수 있기 때문에, 광 효율이 향상되는 효과를 얻을 수 있다. 나아가 마스크 수의 저감에 따른 비용의 절감, 및 제조 공정의 단순화와 이로 인한 비용 절감을 실현할 수 있다.

[0080] 도 16 내지 도 29는 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치의 제조 단계를 개략적으로 도시한 단면도이고, 도 30은 상기 제조 단계에 의해 형성된 유기 발광 표시 장치의 개략적인 단면이다.

[0081] 상기 도면들을 참조하면, 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치는, 기판(110), 버퍼층(111), 박막 트랜지스터(5), 커패시터(6) 및 유기 발광 소자(7)를 포함한다.

[0082] 도 16을 참조하면, 기판(110) 상에 버퍼층(111) 및 제1 도전층(112)이 순차로 형성되어 있다.

[0083] 기판(110)은 SiO_2 를 주성분으로 하는 투명 재질의 글라스 재료 형성될 수 있다. 물론 불투명 재질도 가능하며, 플라스틱 재와 같은 다른 재질로 이루어질 수도 있다. 다만, 유기 발광 표시 장치의 화상이 기판(110) 측에서 구현되는 배면 발광형인 경우에는 상기 기판(110)은 투명 재질로 형성되어야 한다.

[0084] 기판(110)의 상면에는 기판(110)의 평활성과 불순 원소의 침투를 차단하기 위하여 버퍼층(111)이 구비될 수 있

다. 상기 버퍼층(111)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착될 수 있다. 또는 버퍼층(111)은 TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 등의 물질을 포함할 수도 있다. 여기서, 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치는 버퍼층(111)이 굴절률이 서로 다른 물질들이 차례로 적층된 다층 구조로 형성되어 광학적 공진 구조를 형성하는바, 이에 대하여는 뒤에서 상세히 설명한다.

[0085] 버퍼층(111) 상에 제1 도전층(112)이 증착된다. 제1 도전층(112)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 또는 제1 도전층(112)은 ITO, IZO, ZnO, 또는 In_2O_3 와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제1 도전층(112)은 후술할 박막 트랜지스터의 게이트 전극(512) 및 커패시터의 하부 전극(612)의 일부가 된다.

[0086] 다음으로, 도 17을 참조하면, 도 16의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P1)(photoresit layer)을 형성한 후, 감광막(P1)을 패터닝하기 위하여 소정 패턴이 그려진 제1 마스크(M1)를 준비하여 기판(110)에 정렬한다. 여기서, 제1 마스크(M1)는 광투과부(M11) 및 광차단부(M12a, M12b)를 포함한다. 광투과부(M1)는 소정 파장대의 광을 투과시키고, 광차단부(M12a, M12b)는 조사되는 광을 차단한다. 그리고나서, 감광막(P1)을 노광 및 현상 한 후, 잔존하는 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.

[0087] 다음으로, 도 18을 참조하면, 제1 마스크 공정의 결과로, 버퍼층(111) 상부에 게이트 전극(512)이 형성된다. 또한, 커패시터의 하부 전극(612)이 상기 게이트 전극(512)과 동일층에 동일물질로 형성된다.

[0088] 다음으로, 도 19를 참조하면, 제1 마스크 공정의 결과인 도 18의 구조물 상에 제1 절연층(113)을 증착하고, 그 상부에 반도체층(114)이 형성된다.

[0089] 상세히, 제1 절연층(113)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 또는 제1 절연층(113)은 TiO_2 , HfO_2 , Al_2O_3 , HfSiO_x , Ta_2O_5 , Nb_2O_5 , ZrO_2 , Y_2O_3 , La_2O_3 , AZO 등의 물질을 포함할 수도 있다. 이와 같은 제1 절연층(113)은, 박막 트랜지스터(5)의 게이트 전극(512)과 활성층(514) 사이에 개재되어 박막 트랜지스터(5)의 게이트 절연막 역할을 하며, 동시에 후술할 커패시터(6)의 하부 전극(612)과 제1 상부 전극(616) 사이에 개재되어 커패시터(6)의 제1 유전체층 역할을 하게 된다. 이를 위하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 제1 절연층(113)이 굴절률이 서로 다른 물질들이 차례로 적층된 다층 구조로 형성되는바, 이에 대하여는 뒤에서 상세히 설명한다.

[0090] 한편, 상기 반도체층(114)은 산화물 반도체로 형성될 수 있으며, 상세하게는 갈륨(Ga), 인(In), 아연(Zn), 주석(Sn) 및 하프늄(Hf) 군에서 선택된 하나 이상의 원소 및 산소를 포함할 수 있다. 예를 들어, 상기 반도체층(114)은 ZnO , ZnGaO , ZnInO , GaInO , GaSnO , ZnSnO , InSnO , HfInZnO 또는 ZnGaInO 등의 물질을 포함할 수 있으며, 바람직하게는 G-I-Z-O층[a(In203)b(Ga203)c(ZnO)층](a, b, c는 각각 $a \geq 0$, $b \geq 0$, $c > 0$ 의 조건을 만족시키는 실수)일 수 있다. 이와 같이 산화물 반도체로 형성된 반도체층(114)은, 후술할 박막 트랜지스터(5)의 활성층(514) 및 유기 발광 소자(7)의 활성층(714)으로 패터닝된다.

[0091] 다음으로, 도 20을 참조하면, 도 19의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P2)(photoresit layer)을 형성한 후, 감광막(P2)을 패터닝하기 위하여 소정 패턴이 그려진 제2 마스크(M2)를 준비하여 기판(110)에 정렬한다. 그리고, 감광막(P2)을 노광 및 현상 한 후, 잔존하는 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.

[0092] 다음으로, 도 21을 참조하면, 제2 마스크 공정의 결과로, 제1 절연층(113) 상부에 박막 트랜지스터(5)의 활성층(514)이 형성된다. 또한, 유기 발광 소자(7)의 활성층(714)이 상기 활성층(514)과 동일층에 동일물질로 형성된다.

[0093] 다음으로, 도 22를 참조하면, 제2 마스크 공정의 결과인 도 21의 구조물 상에 제2 절연층(115)을 증착한다.

[0094] 상세히, 제2 절연층(115)은 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 이와 같은 제2 절연층(115)은, 박막 트랜지스터(5)의 활성층(514) 상부에 개재되어 박막 트랜지스터(5)의 식각 방지층(etch stop layer: ESL)이 된다. 상기 식각 방지층은 특히 활성층(514)의 채널을 보호하기 위한 것으로, 후술할 도 24에 도시된 바와 같이 채널 상부에만 형성될 수도 있고, 또는 도면으로 도시하지는 않았지만 소스/드레인 전극(517a)(517b)과 접촉되는 영역을 제외한 활성층(514) 전체를 덮도록 형성할 수도 있다. 또한,

상기 제2 절연층(115)은 후술할 유기 발광 소자(7)의 활성층(714)과 화소 전극(716) 사이에 개재되어 유기 발광 소자(7)의 공진을 위한 절연층 역할을 하게 된다. 동시에 상기 제2 절연층(115)은 후술할 커패시터(6)의 하부 전극(612)과 제1 상부 전극(616) 사이에 개재되어 커패시터(6)의 제2 유전체층 역할을 하게 된다.

- [0095] 다음으로, 도 23을 참조하면, 도 22의 구조물 상부에 도포된 감광제(photoresist)를 프리 베이킹(pre-baking) 또는 소프트 베이킹(soft baking)으로 용제를 제거한 감광막(P3)(photoresist layer)을 형성한 후, 감광막(P3)을 패터닝하기 위하여 소정 패턴이 그려진 제3 마스크(M3)를 준비하여 기판(110)에 정렬한다. 그리고, 감광막(P3)을 노광 및 현상 한 후, 잔존하는 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.
- [0096] 다음으로, 도 24를 참조하면, 제3 마스크 공정의 결과로, 박막 트랜지스터(5)의 활성층(514) 상부에 박막 트랜지스터(5)의 식각 방지층(515)이 형성된다. 동시에, 유기 발광 소자(7)의 활성층(714) 상부에 절연층(715)이 상기 식각 방지층(515)과 동일층에 동일물질로 형성된다. 또한, 커패시터(6)의 하부 전극(612) 상부에 절연층(615)이 상기 식각 방지층(515)과 동일층에 동일물질로 형성된다.
- [0097] 다음으로, 도 25를 참조하면, 제3 마스크 공정의 결과인 도 24의 구조물 상에 제2 도전층(116) 및 제3 도전층(117)을 순차로 증착한다.
- [0098] 제2 도전층(116)은 IT0, IZO, ZnO, 또는 In₂O₃와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제2 도전층(116)은 후술할 유기 발광 표시 장치의 화소 전극(716), 박막 트랜지스터의 제1 소스 전극(516a)과 제1 드레인 전극(516b) 및 커패시터의 제1 상부 전극(616)의 일부가 된다.
- [0099] 제3 도전층(117)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Al/Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 이와 같은 제3 도전층(117)은 후술할 박막 트랜지스터의 제2 소스 전극(517a)과 제2 드레인 전극(517b) 및 커패시터의 제2 상부 전극(617)의 일부가 된다.
- [0100] 다음으로, 도 26을 참조하면, 도 25의 구조물 상에 제4 마스크(M4)를 정렬한다. 여기서, 제4 마스크(M4)는 광투과부(M41), 광차단부(M42a, M42b, M42c), 및 반투과부(M43)를 구비하는 하프톤 마스크일 수 있다. 광투과부(M41)는 소정 파장대의 광을 투과시키고, 광차단부(M42a, M42b, M42c)는 광을 차단하며, 반투과부(M43)는 화소 전극(415)에 대응하는 패턴을 구비한다. 위와 같은 패턴이 그려진 제4 마스크(M4)를 기판(110)에 정렬한 후, 감광막(P4)에 소정 파장대의 광을 조사한다.
- [0101] 그러면, 하프톤 마스크(M4)의 광투과부(M41)에 대응하는 감광막 부분은 제거되고, 광차단부(M42a, M42b, M42c)에 대응하는 감광막 부분, 및 반투과부(M43)에 대응하는 감광막 부분이 남아있다. 이때, 반투과부(M43)에 대응하는 감광막 부분의 두께는 광차단부(M42a, M42b, M42c)에 대응하는 감광막 부분의 두께보다 얇으며, 이 감광막의 두께는 반투과부(M43) 패턴을 구성하는 물질의 성분비 또는 두께로 조절할 수 있다.
- [0102] 이들 감광막 패턴들을 마스크로 이용하여, 식각 장비로 상기 기판(110) 상의 제2 도전층(116) 및 제3 도전층(117)을 식각한다. 이때, 감광막이 없는 부분의 구조물이 가장 먼저 식각되고, 감광막의 일부 두께가 식각된다. 이때, 상기 식각 과정은 습식 식각 및 건식 식각 등 다양한 방법으로 수행가능하다.
- [0103] 이와 같이 1차 식각 공정이 진행되는 동안, 감광막이 없는 부분의 제2 도전층(116)과 제3 도전층(117)은 식각되었다. 그리고, 반투과부(M43)에 대응하는 감광막 부분은 식각되었지만 그 하부 구조물은 그대로 남아있으며, 이 하부 구조물들은 이후 유기 발광 표시 장치의 화소 전극(716)으로 형성된다. 한편, 광차단부(M42a, M42b, M42c)에 대응하는 감광막 부분은 1차 식각에도 일부가 남아 있으며, 이를 마스크로 하여 2차 식각을 진행한다.
- [0104] 이와 같이 2차 식각 공정을 진행하면, 감광막이 일부 제거된 화소 전극 영역은 상부의 제3 도전층(117)이 식각되고 제2 도전층(116)의 일부가 화소 전극(716)으로 형성된다.
- [0105] 도 27을 참조하면, 화소 전극(716)과, 박막 트랜지스터의 소스 전극(516a, 517a) 및 드레인 전극(516b, 517b)과, 커패시터의 상부 전극(616, 617)이 동일 구조물 상에서 하나의 하프톤 마스크(M4)를 이용하여 동시에 패터닝되게 된다. 따라서, 화소 전극(716)과, 박막 트랜지스터의 제1 소스 전극(516a) 및 제1 드레인 전극(516b)과, 커패시터의 제1 상부 전극(616)이 동일층에서 동일물질로 형성된다. 동시에 박막 트랜지스터의 제2 소스 전극(517a) 및 제2 드레인 전극(517b)과, 커패시터의 제2 상부 전극(617)이 동일층에 동일 물질로 형성된다.
- [0106] 도 28을 참조하면, 제4 마스크 공정 결과인 도 27의 구조물 상에 제3 절연층(118)을 형성하고, 제5 마스크(M5)를 정렬한다.

- [0107] 제3 절연층(118)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제3 절연층(118)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1 절연층(113)과 같은 무기 절연 물질로 형성될 수 있음은 물론이다. 이와 같은 제3 절연층(118)은, 제5 마스크(M5)를 사용한 식각 공정 후, 후술할 유기 발광 표시 장치의 화소 정의막(pixel define layer: PDL) 역할을 하게 된다.
- [0108] 제5 마스크(M5)는 화소 전극(716)에 대응하는 위치에 광투과부(M51)가 형성되고, 나머지 부분에는 광차단부(M52)가 형성된다. 제5 마스크(M5)에 광이 조사되면, 광이 투과된 제3 절연층(118) 및 제3 절연층(118) 부분의 유기 절연 물질은 건식 식각(dry etching)으로 직접 제거할 수 있다. 전술한 제1 내지 제4 마스크 공정의 경우에는 감광막을 사용하여, 감광막을 노광, 현상하고, 현상된 감광막을 마스크로 하여 하부 구조를 다시 패터닝하였지만, 본 실시예와 같이 유기 절연 물질을 사용하는 경우에는 감광막을 별도로 사용하지 않고 직접 제3 절연층(118)을 건식 식각 할 수 있다.
- [0109] 도 29를 참조하면, 제3 절연층(118) 및 제3 절연층(118)이 식각되어 화소 전극(716)이 노출되도록 개구(H2)를 형성함으로써, 화소를 정의하는 화소 정의막(718)이 형성된다. 이러한 화소 정의막(718)은 소정의 두께를 가지므로써 화소 전극(716)의 가장자리와 대향 전극(도 30의 720 참조) 사이의 간격을 넓혀, 화소 전극(716)의 가장자리에 전계가 집중되는 현상을 방지함으로써 화소 전극(716)과 대향 전극(도 30의 720 참조) 사이의 단락을 방지한다.
- [0110] 도 30을 참조하면, 화소 전극(716) 및 화소 정의막(718) 상에 유기 발광층을 포함하는 중간층(719) 및 대향 전극(720)이 형성된다. 이와 같은 중간층(719) 및 대향 전극(720)은 전술한 실시예와 동일하므로, 본 실시예에서는 그 상세한 설명은 생략하도록 한다.
- [0111] <!-- To 발명자님께 -->
- [0112] <!-- 공진 관련하여 정확히 기술되었는지 확인 부탁드립니다. -->
- [0113] 여기서, 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치 및 이의 제조 방법은, 마스크 수가 절감된 배면 발광 구조에서 광학적 공진 효과를 구현하기 위하여, 화소 전극(715) 하부의 활성층(713), 다층 구조의 버퍼층(111) 및 제1 절연층(113)을 구비하여, 상기 층들이 반사층의 역할을 수행하도록 하는 것을 일 특징으로 한다.
- [0114] 도 31을 참조하면, 기판(110) 상부에 굴절율이 서로 다른 물질로 형성된 두 층을 포함하는 버퍼층(111)이 형성된다. 여기서, 하부 버퍼층(111a)은 SiN_x 등과 같은 무기 절연막으로 형성될 수 있고, 상부 버퍼층(111b)은 SiO_x 등과 같은 무기 절연막으로 형성될 수 있다. 여기서, 상기 하부 버퍼층(111a)과 상부 버퍼층(111b)은 서로 굴절율이 다른 물질로 형성될 수 있다. 한편, 상기 버퍼층(111) 상에 굴절율이 서로 다른 물질로 형성된 두 층을 포함하는 제1 절연층(113)이 형성된다. 여기서, 하부 제1 절연층(113a)은 SiO_x 등과 같은 무기 절연막으로 형성될 수 있고, 상부 제1 절연층(113b)은 SiN_x 등과 같은 무기 절연막으로 형성될 수 있다. 여기서, 도면에는 버퍼층(111) 및 제1 절연층(113)이 각각 두 층으로 구성되는 것으로 도시되어 있으나, 본 발명의 사상은 이에 제한되지 아니하며, 세 층, 네 층 또는 그 이상의 다층으로 형성하는 것도 가능하다 할 것이다. 또한, 상기 활성층(714) 상에 절연층(715)이 형성되고, 그 상부에 화소 전극(716)이 형성된다. 여기서, 광학적 공진 구조를 형성하기 위해, 버퍼층(111)과 대향 전극(720) 사이의 거리(d)는 공진이 되는 조건이 되도록 하여야 한다. 공진이 되는 조건을 구하면 버퍼층(111)과 대향 전극(720)의 면에서 빛의 파가 노드(node)를 형성해야 정상파가 생기므로, 노드가 생성되는 조건은 다음 식(1)과 같다.
- $$\sum_n^d n \cdot d = \frac{\lambda}{2} \cdot m (m = 1, 2, 3, \dots)$$
- [0115] (1)
- [0116] n은 막의 굴절률이고, d는 막의 두께, m은 자연수이다. (식(1)에서의 d는 노드가 형성될 수 있는 막의 두께를 말한다.)
- [0117] 보통 이미지 쌍극자(Image dipole)나 다른 조건들에 의해 공진 조건은 위의 식에서 약간의 범위를 가질 수 있다. 따라서, 본 발명에서의 공진 조건이 되는 막의 두께, 즉, 버퍼층(111)과 대향 전극(720)과의 거리(D)는 다음 식(2)의 범위를 갖게 된다.

$$\frac{\lambda}{2} \cdot m - \frac{\lambda}{10} \leq D \leq \frac{\lambda}{2} \cdot m + \frac{\lambda}{10} \quad (2)$$

위 식(2)에서 m은 자연수이고, λ는 해당 빛의 파장이다.

이러한 거리(D)를 맞출 수 있도록 버퍼층(111) 및 제1 절연층(113)의 각 두께를 설정함으로써 상기 중간층(719)으로부터 발산되는 광의 효율을 높여 전체 공진 효과를 더욱 극대화할 수 있다. 이와 같이 각 층에 대한 적절한 두께를 선정하면, 활성층(713), 다층 구조의 버퍼층(111) 및 제1 절연층(113)이 DBR(Dielectric Bragg Reflector)의 역할을 수행하게 되어, 중간층(719)에서 발산된 빛의 일부를 반사하여, 대향 전극(720)과 공진 구조를 형성하게 되는 것이다.

이상과 같은 본 발명의 유기 발광 표시 장치 및 그 제조 방법에 따르면, 적은 개수의 마스크를 이용하여 상술한 구조의 유기 발광 표시 장치를 제조하면서도 광학적 공진 효과를 구현할 수 있기 때문에, 광 효율이 향상되는 효과를 얻을 수 있다. 나아가 마스크 수의 저감에 따른 비용의 절감, 및 제조 공정의 단순화와 이로 인한 비용 절감을 실현할 수 있다.

한편, 본 실시예에서는 평판 표시 장치로서 유기 발광 표시 장치를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정 표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.

또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 박막 트랜지스터와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 박막 트랜지스터와 복수 개의 커패시터가 포함될 수 있음은 물론이다.

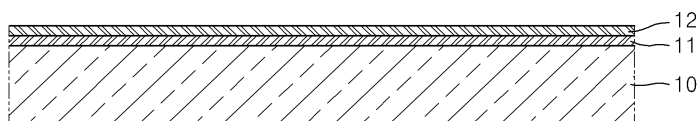
또한 상기 도면들에 도시된 구성요소들은 설명의 편의상 확대 또는 축소되어 표시될 수 있으므로, 도면에 도시된 구성요소들의 크기나 형상에 본 발명이 구속되는 것은 아니며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

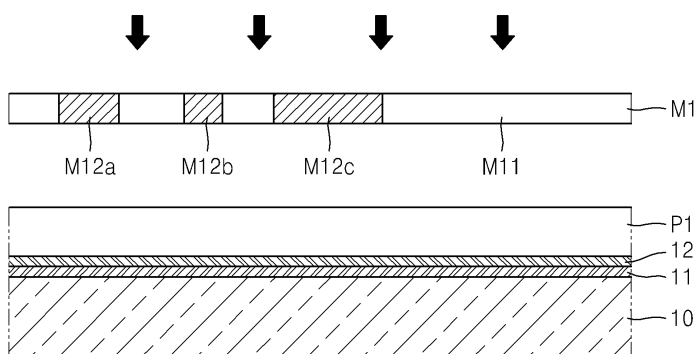
2, 5: 박막 트랜지스터 3, 6: 커패시터
4, 7: 유기 발광 소자

도면

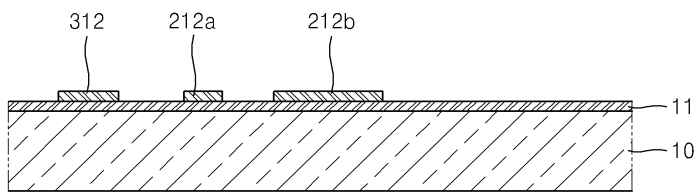
도면1



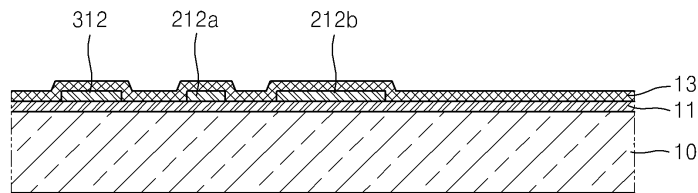
도면2



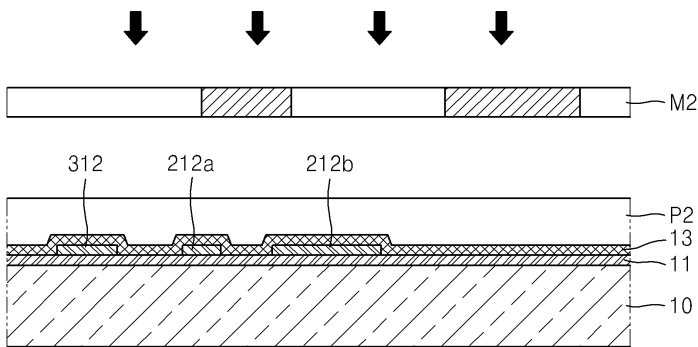
도면3



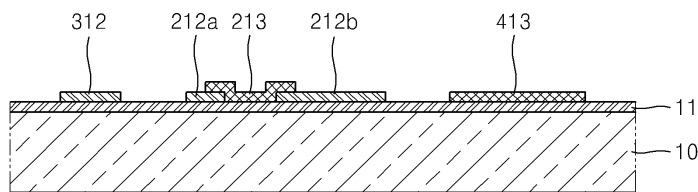
도면4



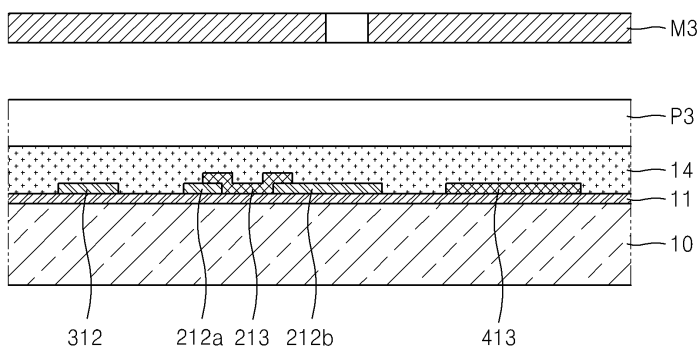
도면5



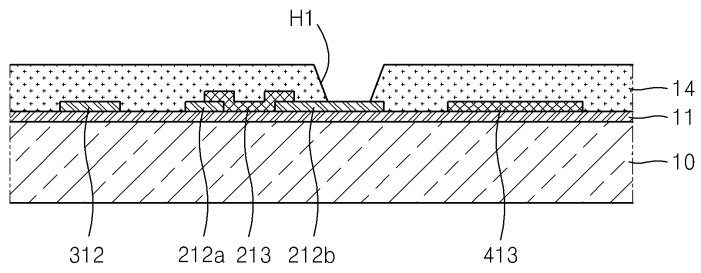
도면6



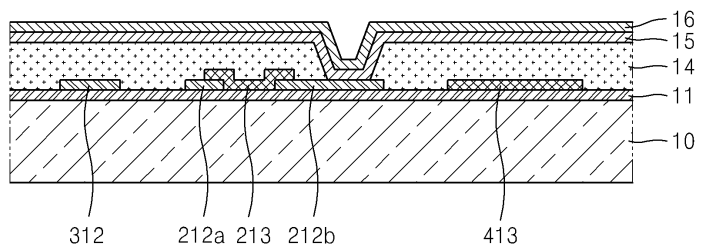
도면7



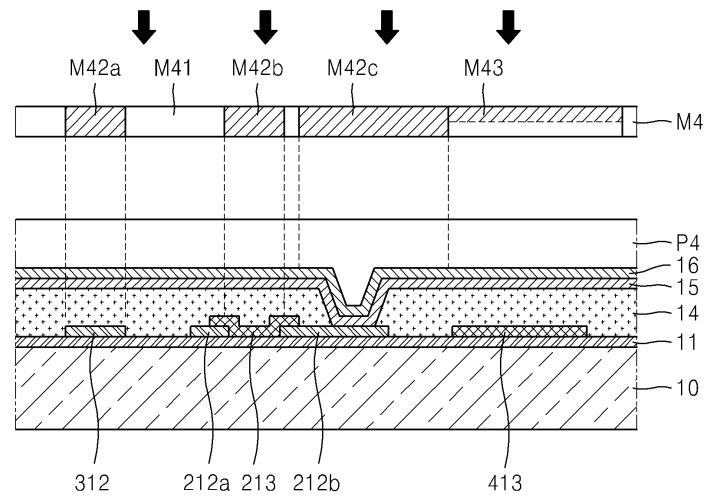
도면8



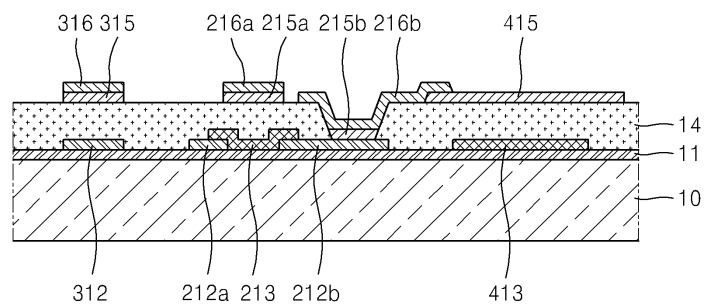
도면9



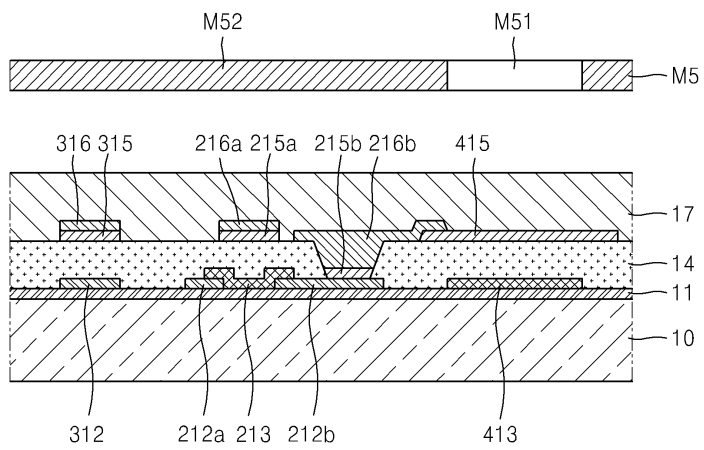
도면10



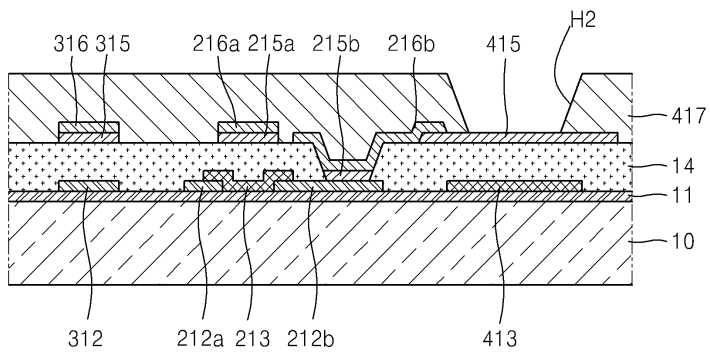
도면11



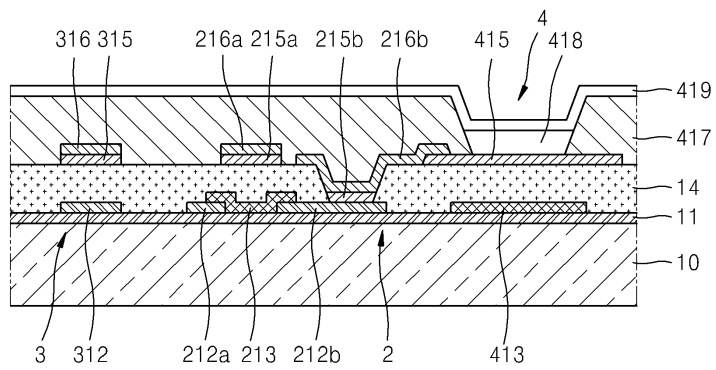
도면12



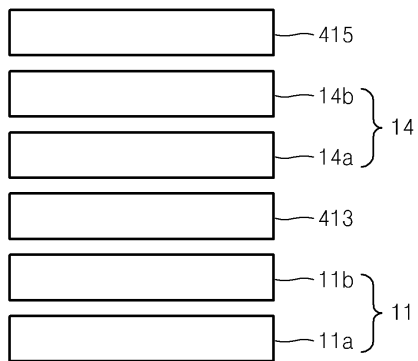
도면13



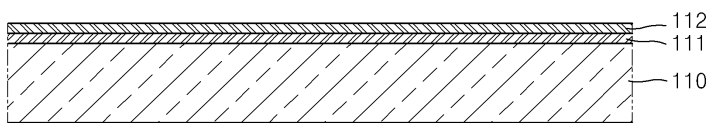
도면14



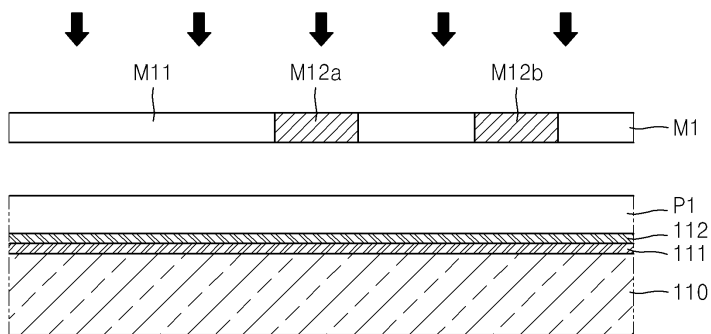
도면15



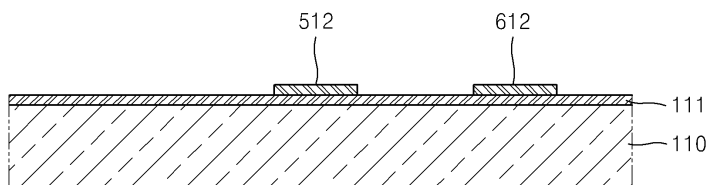
도면16



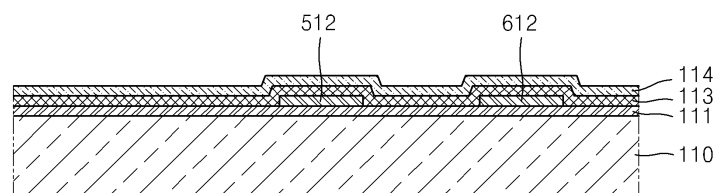
도면17



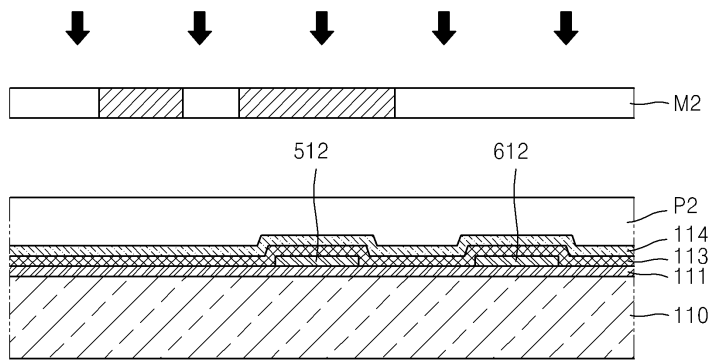
도면18



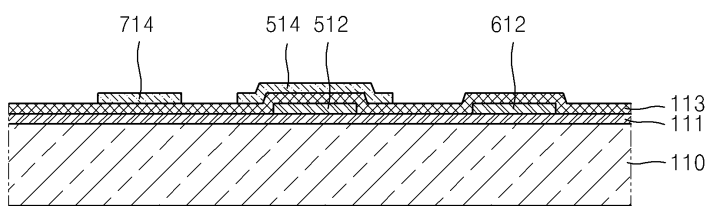
도면19



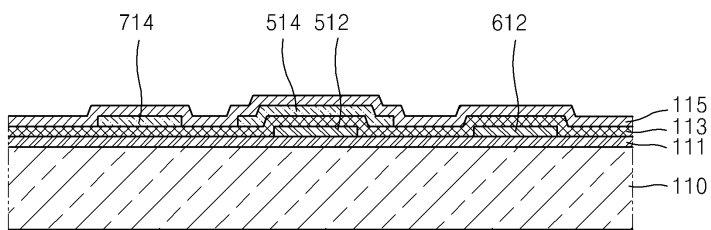
도면20



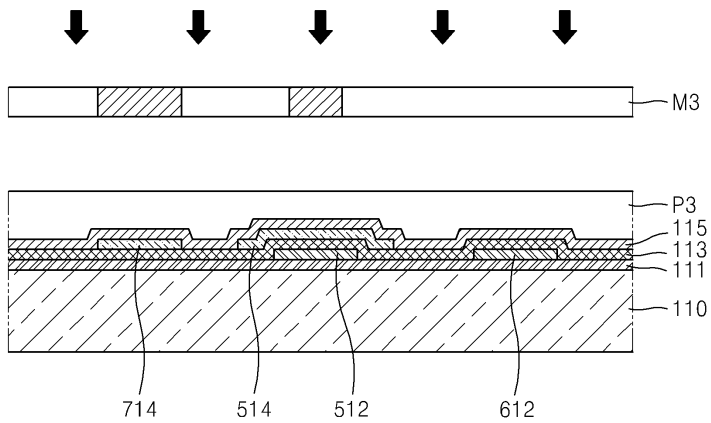
도면21



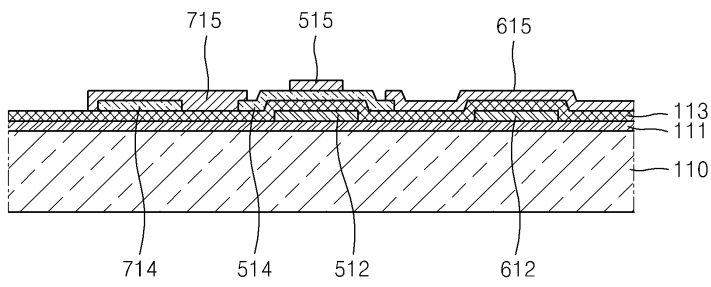
도면22



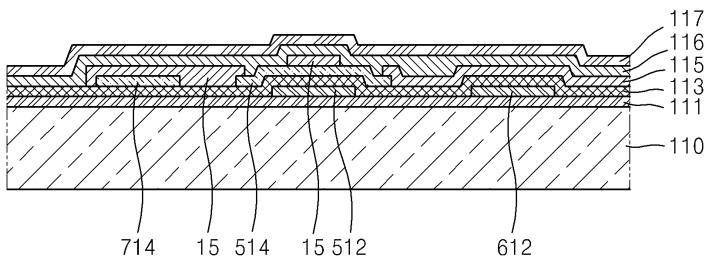
도면23



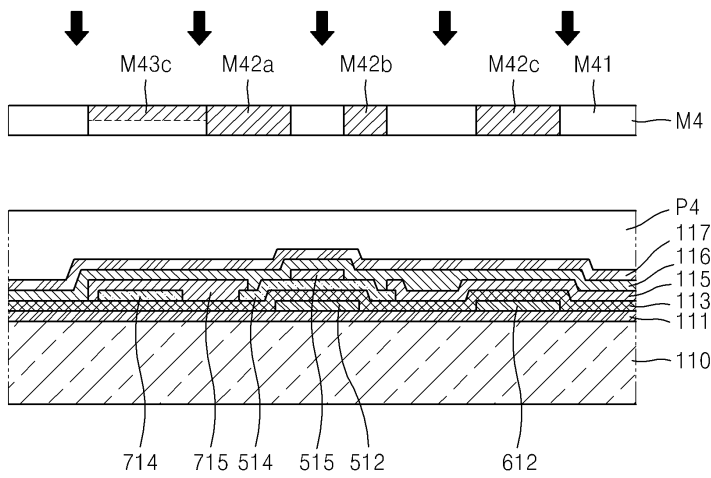
도면24



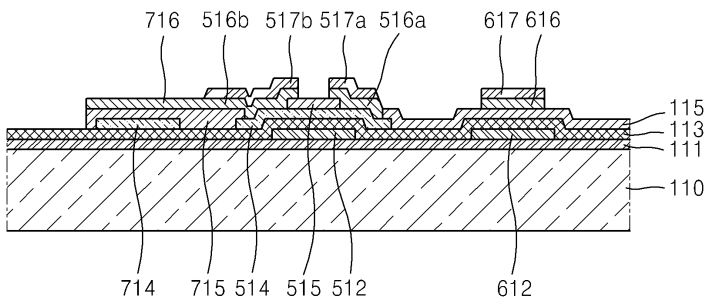
도면25



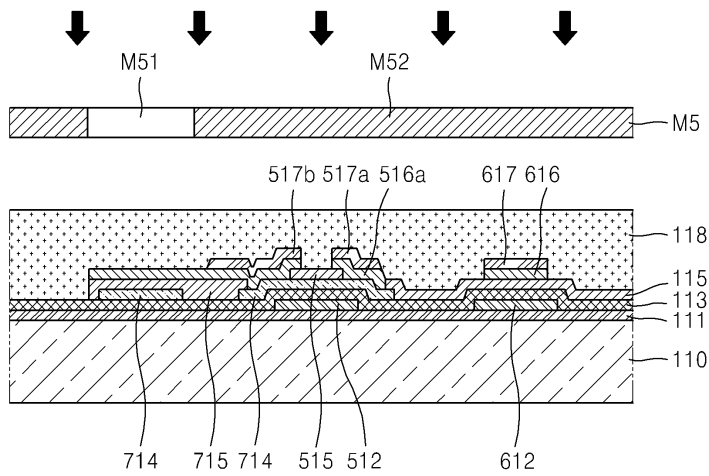
도면26



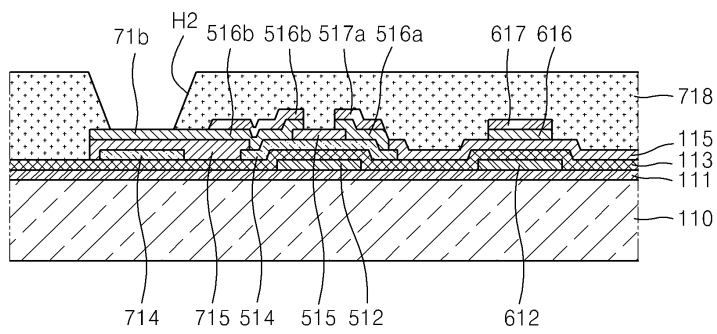
도면27



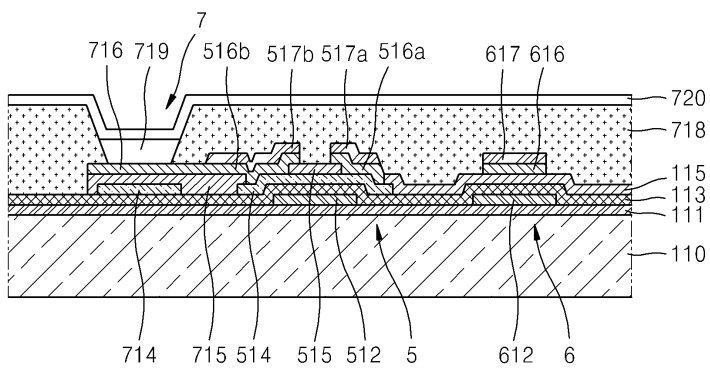
도면28



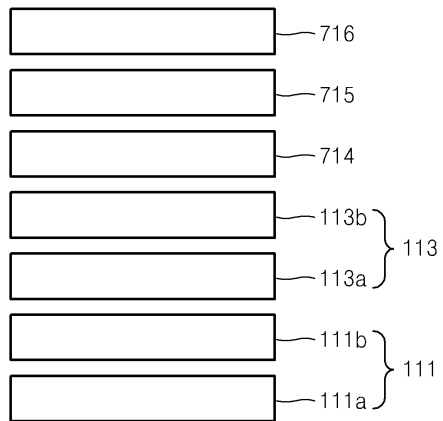
도면29



도면30



도면31



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020120042143A	公开(公告)日	2012-05-03
申请号	KR1020100103667	申请日	2010-10-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SUNG HO		
发明人	KIM, SUNG HO		
IPC分类号	H01L51/52 H01L51/56		
CPC分类号	H01L27/3258 H01L51/5265		
外部链接	Espacenet		

摘要(译)

可以获得光学谐振效应，并且制造工艺提供简化的有机发光显示装置及其制造方法。并且本发明提供了包括像素电极的有机发光显示装置，该像素电极形成为在第一栅电极中间隔开的间隙，其形成为对应于有源层中心和与第一栅电极相同的层到相同的材料。预定它放置第一绝缘层：第一绝缘层，其中折射率不同的材料在其形成在第二有源区上的间隔中依次层叠：缓冲层，其形成在与第一有源层相同的层中在漏电极：源极和漏电极之间形成的薄膜晶体管的第一有源层和间隙与预定的相同材料间隔开，并且源极，漏电极和有源层以及第二栅电极形成在第一栅电极。

