(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0133243
(43) 공개일자 2011년12월12일

(51) Int. Cl.
H01L 51/52 (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2010-0052864
(22) 출원일자 2010년06월04일
심사청구일자 2010년06월04일

(71) 출원인
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 농서동 산24번지
(72) 발명자
신민철
서울 구로구 온수동 18-1 월드주택 A동 102호
허종무
경기 화성시 반월동 신영통현대아파트 204동 902호
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

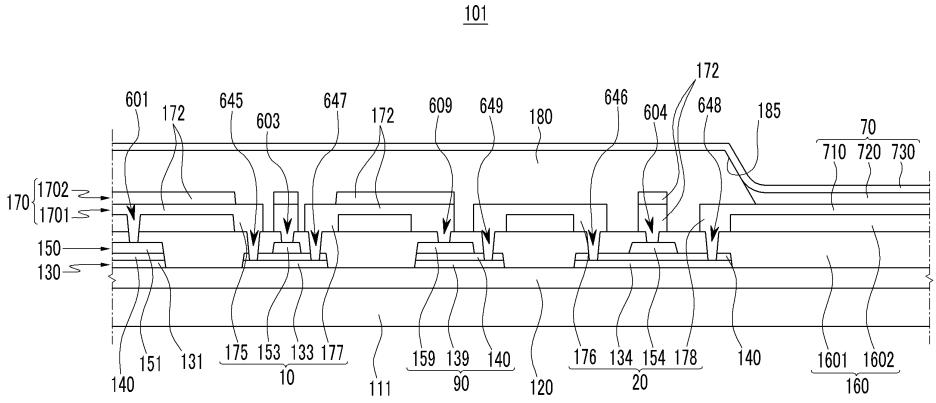
전체 청구항 수 : 총 40 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요 약

유기 발광 표시 장치 및 그 제조 방법에서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판 본체와, 기판 본체 상에 형성된 다결정 액티브층 및 제1 캐패시터 전극을 포함하는 다결정 규소층 패턴과, 다결정 규소층 패턴 위에 형성된 게이트 절연막 패턴과, 게이트 절연막 패턴 위에 형성된 게이트 전극 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴과, 제1 도전막 패턴 위에 형성된 층간 절연막 패턴, 그리고 층간 절연막 패턴 위에 형성된 소스 전극, 드레인 전극, 및 화소 전극을 포함하는 제2 도전막 패턴을 포함한다. 게이트 절연막 패턴은 다결정 규소층 패턴 및 제1 도전막 패턴 중 어느 하나와 함께 패터닝된다.

대 표 도 - 도2



(72) 발명자

김봉주

경기도 수원시 영통구 망포동 방죽마을 영통뜨란채 아파트 1002동 601호

이윤규

경기 용인시 기흥구 농서동 산24번지

특허청구의 범위

청구항 1

기판 본체;

상기 기판 본체 상에 형성된 다결정 액티브층 및 제1 캐패시터 전극을 포함하는 다결정 규소층 패턴;

상기 다결정 규소층 패턴 위에 형성된 게이트 절연막 패턴;

상기 게이트 절연막 패턴 위에 형성된 게이트 전극 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴;

상기 제1 도전막 패턴 위에 형성된 층간 절연막 패턴; 그리고

상기 층간 절연막 패턴 위에 형성된 소스 전극, 드레인 전극, 및 화소 전극을 포함하는 제2 도전막 패턴

을 포함하며,

상기 게이트 절연막 패턴은 상기 다결정 규소층 패턴 및 상기 제1 도전막 패턴 중 어느 하나와 함께 패터닝된 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 게이트 절연막 패턴은 상기 다결정 규소층 패턴의 일부를 드러내는 복수의 접촉 구멍들을 가지고 상기 다결정 규소층 패턴과 동일한 패턴으로 형성된 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제1 도전막 패턴은 제1 금속층을 포함하고,

상기 제2 도전막 패턴은 투명 도전층과 상기 투명 도전층의 일부 영역 위에 형성된 제2 금속층을 포함하는 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 접촉 구멍들을 갖는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 게이트 절연막 패턴은 상기 제1 도전막 패턴과 동일한 패턴으로 형성된 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제1 도전막 패턴은 도핑된 비정질 규소층과 상기 도핑된 비정질 규소층 위에 형성된 제1 금속층을 포함하고,

상기 제2 도전막 패턴은 투명 도전층과 상기 투명 도전층의 일부 영역 위에 형성된 제2 금속층을 포함하는 유기 발광 표시 장치.

청구항 7

제5항에서,

상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 개구 영역들을 갖는 유기 발광 표시 장치 제조 방법.

청구항 8

제1항 내지 제7항 중 어느 한 항에서,

상기 화소 전극의 일부를 드러내는 개구부를 가지고 상기 제2 도전막 패턴 위에 형성된 화소 정의막과, 상기 화소 전극 위에 형성된 유기 발광층, 그리고 상기 유기 발광층 위에 형성된 공통 전극을 더 포함하는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 투명 도전층 및 상기 제2 금속층을 포함하고,

상기 화소 전극은 상기 투명 도전층을 포함하는 유기 발광 표시 장치.

청구항 10

제8항에서,

상기 소스 전극, 상기 드레인 전극, 및 상기 화소 전극은 상기 투명 도전층을 포함하는 유기 발광 표시 장치.

청구항 11

제8항에서,

상기 제1 도전막 패턴은 데이터 라인 및 공통 전원 라인을 더 포함하는 유기 발광 표시 장치.

청구항 12

제8항에서,

상기 제2 도전막 패턴은 게이트 라인 및 연결 라인을 더 포함하는 유기 발광 표시 장치.

청구항 13

제8항에서,

상기 층간 절연막 패턴은 제1 층간 절연막과, 상기 제1 층간 절연막과 다른 굴절율을 갖는 제2 층간 절연막을 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 층간 절연막 패턴은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함하는 유기 발광 표시 장치.

청구항 15

기판 본체를 마련하는 단계;

상기 기판 본체 상에 다결정 규소층, 게이트 절연막, 및 제1 금속층을 차례로 적층하는 단계;

상기 다결정 규소층, 상기 게이트 절연막, 및 상기 제1 금속층을 함께 패터닝하여 다결정 규소층 패턴, 게이트 절연막 패턴, 및 제1 도전막 패턴을 형성하는 단계;

상기 제1 도전막 패턴 위에 층간 절연막 패턴을 형성하는 단계; 그리고

상기 층간 절연막 패턴 위에 제2 도전막 패턴을 형성하는 단계

를 포함하며,

상기 다결정 규소층 패턴은 다결정 액티브층 및 제1 캐패시터 전극을 포함하고, 상기 게이트 절연막 패턴은 상

기 다결정 규소층 패턴의 일부를 드러내는 복수의 접촉 구멍들을 가지고 상기 다결정 규소층 패턴과 동일한 패턴으로 형성되며, 상기 제1 도전막 패턴은 상기 게이트 절연막 패턴 위에 형성된 게이트 전극 및 제2 캐패시터 전극을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 16

제15항에서,

상기 다결정 규소층 패턴, 상기 게이트 절연막 패턴, 및 상기 제1 도전막 패턴은 이중 노광 또는 하프톤(halftone) 노광 공정을 포함하는 사진 식각 공정을 통해 함께 형성되는 유기 발광 표시 장치 제조 방법.

청구항 17

제15항에서,

상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 접촉 구멍들을 갖는 유기 발광 표시 장치 제조 방법.

청구항 18

제17항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 패턴 및 상기 게이트 절연막 패턴을 통해 드러난 상기 다결정 액티브층의 일부 영역과 각각 접속되는 유기 발광 표시 장치 제조 방법.

청구항 19

제15항에서,

상기 제1 도전막 패턴은 데이터 라인 및 공통 전원 라인을 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 20

제15항에서,

상기 제2 도전막 패턴을 형성하는 단계는,

상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와;

상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층 및 상기 제2 금속층을 포함하는 소스 전극 및 드레인 전극과, 상기 투명 도전층을 포함하는 화소 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 21

제20항에서,

상기 제2 도전막 패턴을 형성하기 전에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 22

제15항에서,

상기 제2 도전막 패턴을 형성하는 단계는,

상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와;

상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층을 포함하는 소스 전극, 드레인 전극, 및 화소 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 23

제22항에서,

상기 제2 도전막 패턴을 형성한 후에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 24

제15항 내지 제23항 중 어느 한 항에서,

상기 화소 전극의 일부를 드러내는 개구부를 가는 화소 정의막을 상기 제2 도전막 패턴 위에 형성하는 단계;

상기 화소 전극 위에 유기 발광층을 형성하는 단계; 그리고

상기 유기 발광층 위에 공통 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 25

제24항에서,

상기 제2 도전막 패턴은 게이트 라인 및 연결 라인을 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 26

제24항에서,

상기 층간 절연막 패턴은 제1 층간 절연막과, 상기 제1 층간 절연막과 다른 굴절율을 갖는 제2 층간 절연막을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 27

제26항에서,

상기 층간 절연막 패턴은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 28

기판 본체를 마련하는 단계;

상기 기판 본체 상에 다결정 규소층, 게이트 절연막, 도핑된 비정질 규소층, 및 제1 금속층을 차례로 적층하는 단계;

상기 다결정 규소층, 상기 게이트 절연막, 도핑된 비정질 규소층, 및 상기 제1 금속층을 함께 패터닝하여 다결정 액티브층과 제1 캐패시터 전극을 포함하는 다결정 규소층 패턴, 상기 다결정 규소층 패턴 위에 형성된 게이트 절연막 중간체, 및 상기 게이트 절연막 중간체 위에 형성된 제1 도전막 중간체를 형성하는 단계;

상기 제1 도전막 중간체 위에 층간 절연막을 형성하는 단계;

상기 제1 도전막 중간체 및 상기 층간 절연막을 패터닝하여 상기 게이트 절연막 중간체의 일부를 드러내는 제1 도전막 패턴 및 층간 절연막 패턴을 형성하는 단계;

상기 제1 도전막 패턴 및 상기 층간 절연막 패턴을 통해 드러난 상기 게이트 절연막 중간체를 식각하여 상기 다결정 액티브층의 일부를 드러내는 게이트 절연막 패턴을 형성하는 단계;

상기 다결정 액티브층 및 상기 층간 절연막 패턴 위에 제2 도전막 패턴을 형성하는 단계

를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 29

제28항에서,

상기 제1 도전막 패턴은 게이트 전극과 제2 캐패시터 전극을 포함하며, 상기 도핑된 비정질 규소층 및 제1 금속층으로 형성되는 유기 발광 표시 장치 제조 방법.

청구항 30

제29항에서,

상기 제1 도전막 패턴은 데이터 라인 및 공통 전원 라인을 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 31

제28항에서,

상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 개구 영역들을 갖는 유기 발광 표시 장치 제조 방법.

청구항 32

제31항에서,

상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 패턴 및 상기 게이트 절연막 패턴을 통해 드러난 상기 다결정 액티브층의 일부 영역과 각각 접속되는 유기 발광 표시 장치 제조 방법.

청구항 33

제28항에서,

상기 제2 도전막 패턴을 형성하는 단계는,

상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와;

상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층 및 상기 제2 금속층을 포함하는 소스 전극 및 드레인 전극과, 상기 투명 도전층을 포함하는 화소 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 34

제33항에서,

상기 제2 도전막 패턴을 형성하기 전에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 35

제28항에서,

상기 제2 도전막 패턴을 형성하는 단계는,

상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와;

상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층을 포함하는 소스 전극, 드레인 전극, 및 화소 전극을 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 36

제35항에서,

상기 제2 도전막 패턴을 형성한 후에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 37

제28항 내지 제36항 중 어느 한 항에서,

상기 화소 전극의 일부를 드러내는 개구부를 가는 화소 정의막을 상기 제2 도전막 패턴 위에 형성하는 단계;

상기 화소 전극 위에 유기 발광층을 형성하는 단계; 그리고

상기 유기 발광층 위에 공통 전극을 형성하는 단계를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 38

제37항에서,

상기 제2 도전막 패턴은 게이트 라인 및 연결 라인을 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 39

제37항에서,

상기 층간 절연막은 제1 층간 절연막과, 상기 제1 층간 절연막과 다른 굴절율을 갖는 제2 층간 절연막을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 40

제39항에서,

상기 층간 절연막은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함하는 유기 발광 표시 장치 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명의 실시예는 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 구조 및 제조 공정을 간소화한 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광층의 내부에서 전자와 정공이 결합하여 생성된 여기자(exciton)가 여기 상태로부터 기저 상태로 떨어질 때 발생하는 에너지에 의해 빛이 발생되며, 이를 이용하여 유기 발광 표시 장치는 화상을 표시한다.

[0003] 일반적으로 유기 발광 표시 장치는 8매 이상의 마스크들을 가지고 여러 차례의 사진 식각 공정들을 통해 제조된다.

[0004] 하지만, 유기 발광 표시 장치가 점점 대형화되면서, 제조 과정에서 사용되는 마스크의 수가 많아질수록 생산성이 매우 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들은 제조 과정에서 사용되는 사진 식각 공정의 수를 최소화할 수 있도록 간소한 구조를 갖는 유기 발광 표시 장치를 제공한다.

[0006] 또한, 상기한 유기 발광 표시 장치의 제조 방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 기판 본체와, 상기 기판 본체 상에 형성된 다결정 액티브층 및 제1 캐패시터 전극을 포함하는 다결정 규소층 패턴과, 상기 다결정 규소층 패턴 위에 형성된 게이트 절연막 패턴과, 상기 게이트 절연막 패턴 위에 형성된 게이트 전극 및 제2 캐패시터 전극을 포함하는 제1 도전막 패턴과, 상기 제1 도전막 패턴 위에 형성된 층간 절연막, 그리고 상기 층간 절연막 위에 형성된 소스 전극, 드레인 전극, 및 화소 전극을 포함하는 제2 도전막 패턴을 포함한다. 상기 게이트 절연막 패턴은 상기 다결정 규소층 패턴 및 상기 제1 도전막 패턴 중 어느 하나와 함께 동일하게 패터닝된다.

[0008] 상기 게이트 절연막 패턴은 상기 다결정 규소층 패턴의 일부를 드러내는 복수의 접촉 구멍들을 가지고 상기 다결정 규소층 패턴과 동일한 패턴으로 형성될 수 있다.

[0009] 상기 제1 도전막 패턴은 제1 금속층을 포함하고, 상기 제2 도전막 패턴은 투명 도전층과 상기 투명 도전층의 일

부 영역 위에 형성된 제2 금속층을 포함할 수 있다.

[0010] 상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 접촉 구멍들을 가질 수 있다.

[0011] 또한, 상기 게이트 절연막 패턴은 상기 제1 도전막 패턴과 동일한 패턴으로 형성될 수 있다.

[0012] 상기 제1 도전막 패턴은 도핑된 비정질 규소층과 상기 도핑된 비정질 규소층 위에 형성된 제1 금속층을 포함하고, 상기 제2 도전막 패턴은 투명 도전층과 상기 투명 도전층의 일부 영역 위에 형성된 제2 금속층을 포함할 수 있다.

[0013] 상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 개구 영역들을 가질 수 있다.

[0014] 상기한 유기 발광 표시 장치는 상기 화소 전극의 일부를 드러내는 개구부를 가지고 상기 제2 도전막 패턴 위에 형성된 화소 정의막과, 상기 화소 전극 위에 형성된 유기 발광층, 그리고 상기 유기 발광층 위에 형성된 공통 전극을 더 포함할 수 있다.

[0015] 상기 소스 전극 및 상기 드레인 전극은 상기 투명 도전층 및 상기 제2 금속층으로 형성되고, 상기 화소 전극은 상기 투명 도전층을 포함할 수 있다.

[0016] 또한, 상기 소스 전극, 상기 드레인 전극, 및 상기 화소 전극은 상기 투명 도전층을 포함할 수 있다.

[0017] 상기 제1 도전막 패턴은 데이터 라인 및 공통 전원 라인을 더 포함할 수 있다.

[0018] 상기 제2 도전막 패턴은 게이트 라인 및 연결 라인을 더 포함할 수 있다.

[0019] 상기 층간 절연막은 제1 층간 절연막과, 상기 제1 층간 절연막과 다른 굴절율을 갖는 제2 층간 절연막을 포함할 수 있다.

[0020] 상기 층간 절연막은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함할 수 있다.

[0021] 또한, 본 발명의 실시예에 따르면, 유기 발광 표시 장치 제조 방법은 기판 본체를 마련하는 단계와, 상기 기판 본체 상에 다결정 규소층, 게이트 절연막, 및 제1 금속층을 차례로 적층하는 단계와, 상기 다결정 규소층, 상기 게이트 절연막, 및 상기 제1 금속층을 함께 패터닝하여 다결정 규소층 패턴, 게이트 절연막 패턴, 및 제1 도전막 패턴을 형성하는 단계와, 상기 제1 도전막 패턴 위에 층간 절연막 패턴을 형성하는 단계, 그리고 상기 층간 절연막 패턴 위에 제2 도전막 패턴을 형성하는 단계를 포함한다. 상기 다결정 규소층 패턴은 다결정 액티브층 및 제1 캐패시터 전극을 포함하고, 상기 게이트 절연막 패턴은 상기 다결정 규소층 패턴의 일부를 드러내는 복수의 접촉 구멍들을 가지고 상기 다결정 규소층 패턴과 동일한 패턴으로 형성되며, 상기 제1 도전막 패턴은 상기 게이트 절연막 패턴 위에 형성된 게이트 전극 및 제2 캐패시터 전극을 포함할 수 있다.

[0022] 상기 다결정 규소층 패턴, 상기 게이트 절연막 패턴, 및 상기 제1 도전막 패턴은 이중 노광 또는 하프톤(halftone) 노광 공정을 포함하는 사진 식각 공정을 통해 함께 형성될 수 있다.

[0023] 상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 접촉 구멍들을 가질 수 있다.

[0024] 상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 패턴 및 상기 게이트 절연막 패턴을 통해 드러난 상기 다결정 액티브층의 일부 영역과 각각 접속될 수 있다.

[0025] 상기 제1 도전막 패턴은 데이터 라인 및 공통 전원 라인을 더 포함할 수 있다.

[0026] 상기 제2 도전막 패턴을 형성하는 단계는 상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와, 상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층 및 상기 제2 금속층을 포함하는 소스 전극 및 드레인 전극과 상기 투명 도전층을 포함하는 화소 전극을 형성하는 단계를 포함할 수 있다.

[0027] 상기 제2 도전막 패턴을 형성하기 전에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함할 수 있다.

[0028] 또한, 상기 제2 도전막 패턴을 형성하는 단계는 상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와, 상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층을 포함하는 소스 전극, 드레인 전극, 및 화소 전극을 형성하는 단계를 포함할 수 있다.

[0029] 상기 제2 도전막 패턴을 형성한 후에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함할 수 있다.

[0030] 상기한 유기 발광 표시 장치 제조 방법은 상기 화소 전극의 일부를 드러내는 개구부를 가는 화소 정의막을 상기 제2 도전막 패턴 위에 형성하는 단계와, 상기 화소 전극 위에 유기 발광층을 형성하는 단계, 그리고 상기 유기 발광층 위에 공통 전극을 형성하는 단계를 더 포함할 수 있다.

[0031] 상기 제2 도전막 패턴은 게이트 라인 및 연결 라인을 더 포함할 수 있다.

[0032] 상기 층간 절연막 패턴은 제1 층간 절연막과, 상기 제1 층간 절연막과 다른 굴절율을 갖는 제2 층간 절연막을 포함할 수 있다.

[0033] 상기 층간 절연막 패턴은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함할 수 있다.

[0034] 또한, 본 발명의 다른 실시예에 따르면, 유기 발광 표시 장치 제조 방법은 기판 본체를 마련하는 단계와, 상기 기판 본체 상에 다결정 규소층, 게이트 절연막, 도핑된 비정질 규소층, 및 제1 금속층을 차례로 적층하는 단계와, 상기 다결정 규소층, 상기 게이트 절연막, 도핑된 비정질 규소층, 및 상기 제1 금속층을 함께 패터닝하여 다결정 액티브층과 제1 캐패시터 전극을 포함하는 다결정 규소층 패턴, 상기 다결정 규소층 패턴 위에 형성된 게이트 절연막 중간체, 및 상기 게이트 절연막 중간체 위에 형성된 제1 도전막 중간체를 형성하는 단계와, 상기 제1 도전막 중간체 위에 층간 절연막을 형성하는 단계와, 상기 제1 도전막 중간체 및 상기 층간 절연막을 패터닝하여 상기 게이트 절연막 중간체의 일부를 드러내는 제1 도전막 패턴 및 층간 절연막 패턴을 형성하는 단계와, 상기 제1 도전막 패턴 및 상기 층간 절연막 패턴을 통해 드러난 상기 게이트 절연막 중간체를 식각하여 상기 다결정 액티브층의 일부를 드러내는 게이트 절연막 패턴을 형성하는 단계와, 상기 다결정 액티브층 및 상기 층간 절연막 패턴 위에 제2 도전막 패턴을 형성하는 단계를 포함한다.

[0035] 상기 제1 도전막 패턴은 게이트 전극과 제2 캐패시터 전극을 포함하며, 상기 도핑된 비정질 규소층 및 제1 금속층으로 형성될 수 있다.

[0036] 상기 제1 도전막 패턴은 데이터 라인 및 공통 전원 라인을 더 포함할 수 있다.

[0037] 상기 층간 절연막 패턴은 상기 제1 도전막 패턴의 일부를 드러내는 접촉 구멍들과, 상기 게이트 절연막 패턴과 함께 상기 다결정 규소층 패턴의 일부를 드러내는 개구 영역들을 가질 수 있다.

[0038] 상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 패턴 및 상기 게이트 절연막 패턴을 통해 드러난 상기 다결정 액티브층의 일부 영역과 각각 접속될 수 있다.

[0039] 상기 제2 도전막 패턴을 형성하는 단계는 상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와, 상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층 및 상기 제2 금속층을 포함하는 소스 전극 및 드레인 전극과 상기 투명 도전층을 포함하는 화소 전극을 형성하는 단계를 포함할 수 있다.

[0040] 상기 제2 도전막 패턴을 형성하기 전에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함할 수 있다.

[0041] 상기 제2 도전막 패턴을 형성하는 단계는 상기 층간 절연막 위에 투명 도전층 및 제2 금속층을 차례로 적층하는 단계와, 상기 투명 도전층 및 상기 제2 금속층을 함께 패터닝하여 상기 투명 도전층을 포함하는 소스 전극, 드레인 전극, 및 화소 전극을 형성하는 단계를 포함할 수 있다.

[0042] 상기 제2 도전막 패턴을 형성한 후에 상기 다결정 규소층의 일부 영역에 n형 또는 p형 불순물을 도핑하는 단계를 더 포함할 수 있다.

[0043] 상기한 유기 발광 표시 장치 제조 방법은 상기 화소 전극의 일부를 드러내는 개구부를 가는 화소 정의막을 상기 제2 도전막 패턴 위에 형성하는 단계와, 상기 화소 전극 위에 유기 발광층을 형성하는 단계, 그리고 상기 유기 발광층 위에 공통 전극을 형성하는 단계를 더 포함할 수 있다.

[0044] 상기 제2 도전막 패턴은 게이트 라인 및 연결 라인을 더 포함할 수 있다.

[0045] 상기 층간 절연막은 제1 층간 절연막과, 상기 제1 층간 절연막과 다른 굴절율을 갖는 제2 층간 절연막을 포함할 수 있다.

[0046] 상기 층간 절연막은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함할 수 있다.

발명의 효과

[0047] 본 발명의 실시예들에 따르면, 유기 발광 표시 장치는 제조 과정에서 사용되는 사진 식각 공정의 수를 최소화할 수 있도록 간소한 구조를 가질 수 있다.

[0048] 또한, 상기한 유기 발광 표시 장치의 제조 방법을 제공한다.

도면의 간단한 설명

[0049] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 배치도이다.

도 2는 도 1의 Ⅱ-Ⅱ선에 따른 단면도이다.

도 3 내지 도 12는 도 1 및 도 2에 도시한 유기 발광 표시 장치의 제조 과정을 순차적으로 나타낸 단면도들 및 배치도들이다.

도 13은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치의 배치도이다.

도 14는 도 1의 XIV-XIV선에 따른 단면도이다.

도 15 내지 도 21은 도 13 및 도 14에 도시한 유기 발광 표시 장치의 제조 과정을 순차적으로 나타낸 단면도들 및 배치도이다.

발명을 실시하기 위한 구체적인 내용

[0050] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0051] 또한, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 그리고 여러 실시예들에 있어서, 제1 실시예 이외의 실시예들에서는 제1 실시예와 다른 구성을 중심으로 설명한다.

[0052] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0053] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0054] 이하, 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 설명한다.

[0055] 도 1 및 도 2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 기판 본체(111) 위에 각 화소마다 형성된 복수의 박막 트랜지스터들(10, 20), 유기 발광 소자(organic light emitting diode, OLED)(70), 및 캐패시터(90) 등을 포함한다. 여기서, 화소는 유기 발광 표시 장치(101)가 화상을 표시하는 최소 단위를 말한다.

[0056] 또한, 유기 발광 표시 장치(101)는 일 방향을 따라 배치되는 게이트 라인(171)과, 게이트 라인(171)과 절연 교차되는 데이터 라인(151) 및 공통 전원 라인(152)을 더 포함한다. 여기서, 하나의 화소는 게이트 라인(171), 데이터 라인(151), 및 공통 전원 라인(152)을 경계로 정의될 수 있으나, 반드시 이에 한정되는 것은 아니다.

[0057] 유기 발광 소자(70)는 화소 전극(710)과, 화소 전극(710) 상에 형성된 유기 발광층(720)과, 유기 발광층(720) 상에 형성된 공통 전극(730)을 포함한다. 화소 전극(710) 및 공통 전극(730)으로부터 각각 정공과 전자가 유기 발광층(720) 내부로 주입된다. 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

[0058] 캐패시터(90)는 게이트 절연막 패턴(140)을 사이에 두고 배치된 한 쌍의 캐패시터 전극들(159, 179)을 포함한다. 여기서, 게이트 절연막 패턴(140)은 유전체가 된다. 캐패시터(90)에서 축전된 전하와 양 캐패시터 전극(159, 179) 사이의 전압에 의해 축전 용량이 결정된다.

[0059] 복수의 박막 트랜지스터들은 스위칭 소자의 역할을 하는 제1 박막 트랜지스터(10)와, 유기 발광 소자(70)를 구

동하는 제2 박막 트랜지스터(20)를 포함한다. 각 박막 트랜지스터들(10, 20)은 게이트 전극(153,154), 소스 전극(175, 176), 및 드레인 전극(1755, 178)을 포함한다.

[0060] 제1 박막 트랜지스터(10)는 발광시키고자 하는 화소를 선택한다. 제1 박막 트랜지스터(10)의 게이트 전극(153)은 게이트 라인(171)에 연결된다. 제1 박막 트랜지스터(10)의 소스 전극(175)은 데이터 라인(151)에 연결되고, 드레인 전극(177)은 캐패시터(90)의 어느 한 캐패시터 전극(159) 및 제2 박막 트랜지스터(20)의 소스 전극(157)과 연결된다.

[0061] 제2 박막 트랜지스터(20)는 선택된 화소 내의 유기 발광 소자(70)를 발광시키기 위한 구동 신호를 화소 전극(710)에 인가한다. 제2 박막 트랜지스터(20)의 소스 전극(176) 및 캐패시터(90)의 다른 한 캐패시터 전극(139)은 각각 공통 전원 라인(152)과 연결된다. 제2 박막 트랜지스터(20)의 드레인 전극(178)은 유기 발광 소자(70)의 화소 전극(710)과 연결된다.

[0062] 이와 같은 구조에 의하여, 제1 박막 트랜지스터(10)는 게이트 라인(171)에 인가되는 게이트 전압에 의해 작동하여 데이터 라인(151)에 인가되는 데이터 전압을 제2 박막 트랜지스터(20)로 전달하는 역할을 한다. 공통 전원 라인(152)으로부터 제2 박막 트랜지스터(20)에 인가되는 공통 전압과 제1 박막 트랜지스터(10)로부터 전달된 데이터 전압의 차에 해당하는 전압이 캐패시터(90)에 저장되고, 캐패시터(90)에 저장된 전압에 대응하는 전류가 제2 박막 트랜지스터(20)를 통해 유기 발광 소자(70)로 공급된다.

[0063] 이하, 도 2를 참조하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 적층 순서에 따라 상세히 설명한다.

[0064] 기판 본체(111)는 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기판으로 형성된다. 그러나 본 발명의 제1 실시예가 이에 한정되는 것은 아니며, 기판 본체(111)가 스테인리스 강 등으로 이루어진 금속성 기판으로 형성될 수도 있다. 또한, 기판 본체(111)가 플라스틱 등으로 만들어질 경우 플렉서블(flexible)한 기판으로 형성될 수도 있다.

[0065] 버퍼층(120)은 기판 본체(111) 상에 형성된다. 버퍼층(120)은 질화규소(SiNx) 및 산화규소(SiO_2) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질로 형성될 수 있다. 예를 들어, 버퍼층(120)은 질화규소(SiNx)의 단일막 또는 질화규소(SiNx)와 산화규소(SiO_2)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순 원소 또는 수분과 같이 불필요한 성분의 침투를 방지하고 표면을 평탄화하는 역할을 할 수 있다. 버퍼층(120)은 기판 본체(111)의 종류 및 공정 조건에 따라 사용되거나 생략될 수 있다.

[0066] 다결정 규소층 패턴(130)은 버퍼층(120) 상에 형성된다. 다결정 규소층 패턴(130)은 다결정 액티브층(133, 134) 및 제1 캐패시터 전극(139)을 포함한다. 또한, 다결정 규소층 패턴(130)은 후술할 데이터 라인(151) 및 공통 전원 라인(152)(도 1에 도시) 아래에 위치하는 더미 다결정층(131)을 더 포함할 수 있다.

[0067] 다결정 규소층 패턴(130)은 다결정 규소층을 형성한 후 이를 사진 식각 공정을 통해 패터닝하여 형성된다. 이때, 다결정 규소층 패턴(130)은 후술할 게이트 절연층 패턴(140) 및 제1 도전막 패턴(150)과 함께 동일한 사진 식각 공정을 통해 함께 패터닝된다. 그리고 다결정 규소층은 비정질 규소층을 형성하고 이를 결정화하는 방법으로 형성된다.

[0068] 게이트 절연막 패턴(140)은 다결정 규소층 패턴(130)의 일부를 드러내는 복수의 접촉 구멍들(645, 646, 647, 648, 649)을 가지고 다결정 규소층 패턴(130)과 동일한 패턴으로 형성된다. 즉, 다결정 규소층 패턴(130)이 형성되지 않은 영역에는 게이트 절연막 패턴(140)도 형성되지 않는다.

[0069] 게이트 절연막 패턴(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx), 및 산화규소(SiO_2) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성된다.

[0070] 제1 도전막 패턴(150)은 게이트 절연막 패턴(140) 위에 형성된다. 제1 도전막 패턴(150)은 게이트 전극(153, 154) 및 제2 캐패시터 전극(159)을 포함한다. 또한, 제1 도전막 패턴(150)은 데이터 라인(151) 및 공통 전원 라인(152)(도 1에 도시)을 더 포함한다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 즉, 제1 도전막 패턴(150)은 데이터 라인(151) 및 공통 전원 라인(152) 대신 게이트 라인(171)을 더 포함할 수도 있다.

[0071] 제1 도전막 패턴(150)은 제1 금속층(1500)(도 3에 도시)을 포함한다. 즉, 제1 도전막 패턴(150)은 제1 금속

(1500)층을 전술한 사진 식각 공정을 통해 패터닝하여 형성된다. 제1 금속층(1500)은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 형성된다.

[0072] 이상에서 전술한 제1 캐패시터 전극(139), 제2 캐패시터 전극(159), 그리고 제1 캐패시터 전극(139) 및 제2 캐패시터 전극(159) 사이에 배치된 게이트 절연막 패턴(140)은 캐패시터(90)가 된다.

[0073] 층간 절연막 패턴(160)은 제1 도전막 패턴(150) 위에 형성된다. 층간 절연막 패턴(160)은 게이트 전극(153, 154), 제2 캐패시터 전극(159), 데이터 라인(151), 및 공통 전원 라인(152)(도 1에 도시)의 일부를 각각 드러내는 접촉 구멍(601, 603, 604, 609)들을 갖는다. 또한, 층간 절연막 패턴(160)은 게이트 절연막 패턴(140)과 함께 다결정 액티브층(133, 134) 및 제1 캐패시터 전극(139)의 일부를 드러내는 접촉 구멍들(645, 646, 647, 648, 649)을 갖는다.

[0074] 또한, 층간 절연막 패턴(160)은 제1 층간 절연막(1601)과 제2 층간 절연막(1602)을 포함한다. 제1 층간 절연막(1601) 및 제2 층간 절연막(1602)은 서로 다른 굴절율을 가질 수 있다. 이와 같이, 제1 층간 절연막(1601)과 제2 층간 절연막(1602)이 서로 다른 굴절율을 가지면, 유기 발광 표시 장치(101)는 제1 층간 절연막(1601)과 제2 층간 절연막(1602) 사이의 계면에서 반사되는 빛에 의해 거울 효과를 얻을 수 있다. 예를 들어, 제1 층간 절연막(1601) 및 제2 층간 절연막(1602) 중 어느 하나는 상대적으로 높은 굴절율을 갖는 질화규소로 형성되고, 다른 하나는 상대적으로 낮은 굴절율을 갖는 산화규소로 형성될 수 있다.

[0075] 하지만, 본 발명의 제1 실시예가 전술한 바에 한정되는 것은 아니다. 따라서, 층간 절연막 패턴(160)은 여러 무기막들 및 유기막들 중 하나 이상의 막을 포함하는 다양한 조합으로 형성될 수 있다.

[0076] 제2 도전막 패턴(170)은 층간 절연막 패턴(160) 위에 형성된다. 제2 도전막 패턴(170)은 소스 전극(175, 176), 드레인 전극(177, 178), 및 화소 전극(710)을 포함한다. 또한, 제2 도전막 패턴(170)은 게이트 라인(171)(도 1에 도시) 및 연결 라인(172)을 더 포함한다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 즉, 제2 도전막 패턴(170)은 게이트 라인(171) 대신 데이터 라인(151) 및 공통 전원 라인(152)을 더 포함할 수도 있다.

[0077] 소스 전극(175, 176) 및 드레인 전극(177, 178)은 접촉 구멍들(645, 646, 647, 648)을 통해 다결정 액티브층(133, 134)과 연결된다. 화소 전극(710)은 제2 박막 트랜지스터(20)의 드레인 전극(178)으로부터 연장된다.

[0078] 연결 라인(172)은 접촉 구멍들(604, 609)을 통해 제2 박막 트랜지스터(20)의 게이트 전극(154)과 제2 캐패시터 전극(159), 그리고 제1 박막 트랜지스터(10)의 드레인 전극(177)을 연결한다. 또한, 연결 라인(172)은 접촉 구멍(601)을 통해 제1 박막 트랜지스터(10)의 소스 전극(175)과 데이터 라인(151)을 연결한다. 또한, 연결 라인(172)은 도시하지 않은 그 밖에 구성을들 연결할 수도 있다.

[0079] 제2 도전막 패턴(170)은 투명 도전층(1701)과, 투명 도전층(1701)의 일부 영역 위에 형성된 제2 금속층(1702)을 포함한다. 소스 전극(175, 176), 드레인 전극(177, 178), 및 화소 전극(710)은 투명 도전층(1701)을 포함한다. 따라서, 유기 발광 표시 장치(101)는 배면 방향, 즉 기판 본체(111) 방향으로 빛을 방출하여 화상을 표시할 수 있다. 그리고 게이트 라인(171)(도 1에 도시) 및 연결 라인(172)은 투명 도전층(1701) 및 제2 금속층(1702)으로 형성된다. 하지만, 본 발명의 제1 실시예가 전술한 바에 한정되는 것은 아니며, 소스 전극(175, 176) 및 드레인 전극(177, 178)도 투명 도전층(1701) 및 제2 금속층(1702)으로 형성될 수 있다. 다만, 소스 전극(175, 176) 및 드레인 전극(177, 178)이 투명 도전층(1701)으로 형성되었는지, 아니면 투명 도전층(1701)과 제2 금속층(1702)으로 형성되었는지에 따라 다결정 액티브층(133, 134)의 일부 영역에 n형 또는 p형 불순물을 도핑하는 공정의 순서가 달라질 수 있다. 예를 들어, 소스 전극(175, 176) 및 드레인 전극(177, 178)이 투명 도전층(1701)으로 형성되면, 제2 도전막 패턴(170)을 형성한 후 n형 또는 p형 불순물을 다결정 액티브층(133, 134)의 일부 영역에 도핑할 수 있다. 반면, 소스 전극(175, 176) 및 드레인 전극(177, 178)이 투명 도전층(1701)과 제2 금속층(1702)으로 형성되면, 제2 도전막 패턴(170)을 형성하기 전에 n형 또는 p형 불순물을 다결정 액티브층(133, 134)의 일부 영역에 도핑하는 것이 적절하다.

[0080] 투명 도전층(1701)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZITO (Zinc Indium Tin Oxide), GITO(Gallium Indium Tin Oxide), In_2O_3(Indium Oxide), ZnO(Zinc Oxide), GIZO(Gallium Indium Zinc Oxide), GZO(Gallium Zinc Oxide), FTO(Fluorine Tin Oxide), 및 AZO(Aluminum-Doped Zinc Oxide) 중 하나 이상을 포함한다.

[0081] 제2 금속층(1702)은, 제1 금속층(1500)(도 3에 도시)과 같이, 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질로 형성될 수 있다.

[0082] 또한, 제2 도전막 패턴(170)은 이중 노광 또는 하프톤(halftone) 노광 공정을 포함하는 사진 식각 공정을 통해 형성된다.

[0083] 이상에서 전술한 게이트 전극(153, 154), 다결정 액티브층(133, 134), 소스 전극(175, 176), 및 드레인 전극(177, 178)은 박막 트랜지스터(10, 20)가 된다.

[0084] 화소 정의막(180)은 제2 도전막 패턴(170) 위에 형성된다. 화소 정의막(180)은 화소 전극(710)의 일부를 드러내는 개구부(185)를 포함한다. 화소 정의막(180)은 해당 기술 분야의 종사자에게 공지된 다양한 유기 또는 무기 물질로 형성될 수 있다. 예를 들어, 화소 정의막(180)은 감광성 유기막으로 패터닝된 후, 열경화 또는 광경화되어 형성될 수 있다.

[0085] 유기 발광층(720)은 화소 전극(710) 위에 형성되고, 공통 전극(730)은 유기 발광층(720) 위에 형성된다. 화소 전극(710), 유기 발광층(720), 및 공통 전극(730)은 유기 발광 소자(70)가 된다. 그리고, 화소 전극(710), 유기 발광층(720), 및 공통 전극(730)이 차례로 적층되는 화소 정의막(180)의 개구부(185)는 유기 발광 소자(70)의 실제 발광 영역이 된다.

[0086] 이와 같은 구성에 의하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 제조 과정에서 사용되는 사진 식각 공정의 수를 최소화할 수 있도록 간소한 구조를 가질 수 있다.

[0087] 구체적으로, 다결정 액티브층(133, 134)을 포함하는 다결정 규소층 패턴(130), 게이트 절연막 패턴(140), 그리고 게이트 전극(153, 154)을 포함하는 제1 도전막 패턴(150)을 동일한 사진 식각 공정을 통해 형성할 수 있다. 또한, 제2 박막 트랜지스터(20)의 드레인 전극(178)과 유기 발광 소자(70)의 화소 전극(710)을 동일한 사진 식각 공정을 통해 형성할 수 있다.

[0088] 따라서, 본 발명의 제1 실시예에 따르면, 대형화된 유기 발광 표시 장치(101)도 효과적으로 높은 생산성을 유지할 수 있다.

[0089] 또한, 유기 발광 표시 장치(101)는 서로 다른 굴절율을 갖는 제1 층간 절연막(1601)과 제2 층간 절연막(1602)을 통해 거울 효과를 얻을 수 있다.

[0090] 이하, 도 3 내지 도 12을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)의 제조 방법을 설명한다.

[0091] 먼저, 도 3에 도시한 바와 같이, 기판 본체(111) 상에 버퍼층(120), 다결정 규소층(1300), 게이트 절연막(1400), 및 제1 금속층(1500)을 차례로 형성한다.

[0092] 버퍼층(120)은 질화규소(SiNx) 및 산화규소(SiO_2) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질로 형성될 수 있다.

[0093] 다결정 규소층(1300)은 버퍼층(120) 위에 비정질 규소층을 증착하고 이를 결정화시키는 방법으로 형성할 수 있다. 비정질 규소층을 결정화시키는 방법으로는 열 또는 레이저를 가하거나 금속 촉매를 이용하는 등 해당 기술 분야의 종사자에게 공지된 다양한 방법을 사용할 수 있다.

[0094] 다음, 도 4에 도시한 바와 같이, 제1 감광막 패턴(810)을 통해 식각하여 다결정 규소층 패턴(130) 및 게이트 절연막 패턴(140)을 형성하고, 제1 도전막 중간체(1550)를 형성한다. 이때, 제1 감광막 패턴(810)은 이중 노광 또는 하프톤(halftone) 노광 공정을 통해 형성된다. 제1 감광막 패턴(810)은 제1 고두께부(811)와 제1 저두께부(812)를 포함한다.

[0095] 다음, 도 5 및 도 6에 도시한 바와 같이, 제1 감광막 패턴(810)의 제1 저두께부(812)를 제거한다. 이때, 제1 고두께부(811)의 두께도 다소 감소될 수 있다. 그리고 남겨진 제1 고두께부(811)를 통해 제1 도전막 중간체(1550)를 다시 식각하여 제1 도전막 패턴(150)을 형성한다.

[0096] 이와 같이, 한번의 사진 식각 공정을 통해 다결정 규소층 패턴(130), 게이트 절연막 패턴(140), 및 제1 도전막 패턴(150)을 형성할 수 있다. 다결정 규소층 패턴(130)은 다결정 액티브층(133, 134) 및 제1 캐패시터 전극(139)을 포함한다. 게이트 절연막 패턴(140)은 다결정 규소층 패턴(130)과 동일한 패턴으로 형성된다. 제1 도전막 패턴(150)은 게이트 전극(153, 154), 제2 캐패시터 전극(159), 데이터 라인(151), 및 공통 전원 라인

(152)(도 1에 도시)을 포함한다. 또한, 다결정 규소층 패턴(130)은 더미 다결정층(131)을 더 포함할 수 있다. 더미 다결정층(131)은 제1 도전막 패턴(150)의 데이터 라인(151) 및 공통 전원 라인(152) 아래에 배치된다. 더미 다결정층(131)은 유기 발광 표시 장치(101)가 본 발명의 제1 실시예에 따라 제조되는 과정에서 부수적으로 형성되는 구성이다.

[0097] 다음, 도 7에 도시한 바와 같이, 제1 도전막 패턴(150) 위에 제1 층간 절연막(1601) 및 제2 층간 절연막(1602)을 차례로 형성한다. 제1 층간 절연막(1601) 및 제2 층간 절연막(1602)은 서로 다른 굴절율을 갖는다. 예를 들어, 제1 층간 절연막(1601) 및 제2 층간 절연막(1602) 중 어느 하나는 상대적으로 높은 굴절율을 갖는 질화규소로 형성되고, 다른 하나는 상대적으로 낮은 굴절율을 갖는 산화규소로 형성될 수 있다.

[0098] 다음, 도 8 및 도 9에 도시한 바와 같이, 제1 층간 절연막(1601) 및 제2 층간 절연막(1602)을 제2 감광막 패턴(820)을 사용한 사진 식각 공정을 통해 패터닝하여 층간 절연막 패턴(160)을 형성한다. 층간 절연막 패턴(160)은 게이트 전극(153, 154), 제2 캐패시터 전극(159), 데이터 라인(151), 및 공통 전원 라인(152)(도 2에 도시)의 일부를 각각 드러내는 접촉 구멍들(601, 603, 604, 609)을 갖는다. 또한, 층간 절연막 패턴(160)과 게이트 절연막 패턴(140)은 함께 다결정 액티브층(133, 134) 및 제1 캐패시터 전극(139)의 일부를 드러내는 접촉 구멍들(645, 646, 647, 648, 649)을 갖는다.

[0099] 또한, 제2 층간 절연막(1602)은 제2 고두께부(821)와 제2 저두께부(822)를 갖는 제2 감광막 패턴(820)을 통해 제1 층간 절연막(1601) 보다 더 많은 면적이 식각 될 수 있다.

[0100] 다음, 도 10에 도시한 바와 같이, 층간 절연막 패턴(160) 위에 투명 도전층(1701) 및 제2 금속층(1702)을 차례로 적층한다. 투명 도전층(1701)은 층간 절연막 패턴(160)의 접촉 구멍들(601, 603, 604, 609, 645, 646, 647, 648, 649)을 통해 각각 게이트 전극(153, 154), 제1 캐패시터 전극(139), 제2 캐패시터 전극(159), 데이터 라인(151), 공통 전원 라인(152), 및 다결정 액티브층(133, 134)과 접속된다.

[0101] 그리고 제2 금속층(1702) 위에 제3 감광막 패턴(830)을 형성한다. 제3 감광막 패턴(830)도 제3 고두께부(831)와 제3 저두께부(832)를 포함한다. 이때, 제3 저두께부(832)는 소스 전극(175, 176), 드레인 전극(177, 178), 및 화소 전극(710)이 형성될 위치와 대응된다.

[0102] 다음, 도 11에 도시한 바와 같이, 제3 감광막 패턴(830)을 통해 식각하여 투명 도전층(1701)과 제2 금속층(1702)으로 형성된 제2 도전막 패턴 중간체(1700)를 형성한다. 이후, 제3 감광막 패턴(830)의 제3 저두께부(832)를 제거하고, 제3 고두께부(831)를 통해 제2 도전막 패턴 중간체(1700)를 다시 식각하여 제2 도전막 패턴(170)을 형성한다. 제2 도전막 패턴(170)은, 도 12에 도시한 바와 같이, 투명 도전층(1701)과 제2 금속층(1702)으로 형성된 게이트 라인(171) 및 연결 라인(172)과, 투명 도전층(1701)으로 형성된 소스 전극(175, 176), 드레인 전극(177, 178), 및 화소 전극(710)을 포함한다.

[0103] 다음, 다결정 액티브층(133, 134)의 일부 영역에 n형 또는 p형 분술물을 도핑한다. 소스 전극(175, 176) 및 드레인 전극(177, 178)은 제2 금속층(1702)이 제거되고 투명 도전층(1701)으로 형성되므로, n형 또는 p형 불순물이 소스 전극(175, 176) 및 드레인 전극(177, 178)을 통과하여 다결정 액티브층(133, 134)의 일부 영역에 도핑될 수 있다. 반면, 게이트 전극(153, 154)은 n형 또는 p형 불순물이 다결정 액티브층(133, 134)에 도핑되는 것을 차단한다. 따라서, 다결정 액티브층(133, 134)은 게이트 전극(153, 154) 아래에 위치하는 진성 반도체 영역과, 소스 전극(175, 176) 및 드레인 전극(177, 178) 아래에 위치하는 불순물 반도체 영역으로 구분된다.

[0104] 하지만, 본 발명의 제1 실시예가 전술한 바에 한정되는 것은 아니다. 즉, 다결정 액티브층(133, 134)의 일부 영역에 n형 또는 p형 불순물을 도핑하는 공정은 제2 도전막 패턴(170)을 형성하기 전에 수행할 수도 있다. 이 때에는, 소스 전극(175, 176) 및 드레인 전극(177, 178)이 투명 도전층(1701) 및 제2 금속층(1702)으로 형성될 수 있다.

[0105] 다음, 도 12에 도시한 바와 같이, 제2 도전층 패턴(170) 위에 화소 정의막(180)을 형성한다. 화소 정의막(180)은 화소 전극(710)의 일부를 드러내는 개구부(185)를 포함한다. 그리고 화소 전극(710) 위에는 유기 발광층(720) 및 공통 전극(730)이 차례로 적층된다.

[0106] 이상과 같은 제조 방법을 통하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 제조할 수 있다. 즉, 사용되는 사진 식각 공정의 수를 최소화하여 유기 발광 표시 장치(101)를 제조할 수 있다.

[0107] 따라서, 본 발명의 제1 실시예에 따르면, 대형화된 유기 발광 표시 장치(101)도 효과적으로 높은 생산성을 유지할 수 있다.

[0108] 또한, 유기 발광 표시 장치(101)는 서로 다른 굴절율을 갖는 제1 층간 절연막(1601)과 제2 층간 절연막(1602)을 통해 거울 효과를 얻을 수 있다.

[0109] 이하, 도 13 및 도 14를 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)를 설명한다.

[0110] 도 13 및 도 14에 도시한 바와 같이, 다결정 규소층 패턴(230)이 버퍼층(120) 상에 형성된다. 다결정 규소층 패턴(230)은 다결정 액티브층(233, 234) 및 제1 캐패시터 전극(239)을 포함한다. 또한, 다결정 규소층 패턴(230)은 후술할 데이터 라인(151) 및 공통 전원 라인(152) 아래에 위치하는 더미 다결정층(231)을 더 포함할 수 있다.

[0111] 게이트 절연막 패턴(240)은 다결정 규소층 패턴(230)의 일부 영역 위에 형성된다. 즉, 본 발명의 제2 실시예에서, 게이트 절연막 패턴(240)은 다결정 규소층패턴(240)과 동일한 패턴으로 형성되지 않으며, 후술할 제1 도전막 패턴(250)과 동일한 패턴으로 형성된다.

[0112] 제1 도전막 패턴(250)은 게이트 절연막(240) 위에 게이트 절연막(240)과 동일한 패턴으로 형성된다. 제1 도전막 패턴(250)은 게이트 전극(253, 254) 및 제2 캐패시터 전극(259)을 포함한다. 또한, 제1 도전막 패턴(250)은 데이터 라인(251) 및 공통 전원 라인(252)을 더 포함한다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 즉, 제1 도전막 패턴(250)은 데이터 라인(251) 및 공통 전원(252) 라인 대신 게이트 라인(271)을 더 포함할 수도 있다.

[0113] 제1 도전막 패턴(250)은 도핑된 비정질 규소층(2511, 2531, 2541, 2591)과 제1 금속층(2512, 2532, 2542, 2592)으로 형성된다. 도핑된 비정질 규소층(2511, 2531, 2541, 2591)은 후술할 제2 도전막 패턴(270)을 형성하는 과정에서 제1 금속층(2512, 2532, 2542, 2592)이 손상되거나 단선될 경우 이를 보완하는 역할을 한다.

[0114] 층간 절연막 패턴(260)은 제1 도전막 패턴(250) 위에 형성된다. 층간 절연막 패턴(260)은 게이트 전극(253, 254), 제2 캐패시터 전극(259), 데이터 라인(251), 및 공통 전원 라인(252)의 일부를 각각 드러내는 접촉 구멍들(601, 603, 604, 609)을 갖는다. 또한, 층간 절연막 패턴(260)은 게이트 절연막 패턴(240)과 함께 다결정 액티브층(233, 234) 및 제1 캐패시터 전극(239)의 일부를 드러내는 개구 영역들(645, 646, 647, 648)을 갖는다.

[0115] 또한, 층간 절연막 패턴(260)은 제1 층간 절연막(2601)과 제2 층간 절연막(2602)을 포함한다. 제1 층간 절연막(2601) 및 제2 층간 절연막(2602)은 서로 다른 굴절율을 가질 수 있다. 이와 같이, 제1 층간 절연막(2601)과 제2 층간 절연막(2602)이 서로 다른 굴절율을 가지면, 유기 발광 표시 장치(102)는 제1 층간 절연막(2601)과 제2 층간 절연막(2602) 사이의 계면에서 반사되는 빛에 의해 거울 효과를 얻을 수 있다.

[0116] 제2 도전막 패턴(270)은 층간 절연막 패턴(260) 위에 형성된다. 또한, 제2 도전막 패턴(270)은 층간 절연막 패턴(260)의 개구 영역(646)을 통해 드러난 다결정 규소층 패턴(230)의 일부 위에도 형성된다.

[0117] 제2 도전막 패턴(270)은 소스 전극(275, 276), 드레인 전극(277, 278), 및 화소 전극(710)을 포함한다. 또한, 제2 도전막 패턴(270)은 게이트 라인(271) 및 연결 라인(272)을 더 포함한다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 즉, 제2 도전막 패턴(270)은 게이트 라인(271) 대신 데이터 라인(151) 및 공통 전원 라인(152)을 더 포함할 수도 있다.

[0118] 소스 전극(275, 276) 및 드레인 전극(277, 278)은 개구 영역들(645, 646, 647, 648)을 통해 다결정 액티브층(233, 234)과 연결된다. 화소 전극(710)은 제2 박막 트랜지스터(20)의 드레인 전극(278)으로부터 연장된다. 한편, 도 14에서, 제2 박막 트랜지스터(20)의 소스 전극(276)은 다결정 규소층 패턴(230) 바로 위에 형성되나, 본 발명의 제2 실시예가 이에 한정되는 것은 아니다.

[0119] 연결 라인(272)은 접촉 구멍들(604, 609)을 통해 제2 박막 트랜지스터(20)의 게이트 전극(254)과 제2 캐패시터 전극(259), 그리고 제1 박막 트랜지스터(10)의 드레인 전극(277)을 연결한다. 또한, 연결 라인(272)은 접촉 구멍(601)을 통해 제1 박막 트랜지스터(10)의 소스 전극(275)과 데이터 라인(251)을 연결한다. 또한, 연결 라인(272)은 도시하지 않은 그 밖에 구성을들 연결할 수도 있다.

[0120] 제2 도전막 패턴(270)은 투명 도전층(2701)과, 투명 도전층(2701)의 일부 영역 위에 형성된 제2 금속층(2702)을 포함한다. 소스 전극(275, 276), 드레인 전극(277, 278), 게이트 라인(271), 및 연결 라인(272)은 투명 도전층(2701) 및 제2 금속층(2702)으로 형성된다. 그리고 화소 전극(710)은 투명 도전층(2701)으로 형성된다. 따라서, 유기 발광 표시 장치(102)는 배면 방향, 즉 기판 본체(111) 방향으로 빛을 방출하여 화상을 표시할 수 있다. 하지만, 본 발명의 제2 실시예가 전술한 바에 한정되는 것은 아니며, 소스 전극(275, 276) 및 드레인 전극(277, 278)도 투명 도전층(2701)으로 형성될 수 있다. 다만, 소스 전극(275, 276) 및 드레인 전극(277, 278)

이 투명 도전층(2701)과 제2 금속층(2702)으로 형성되었는지, 아니면 투명 도전층(2701)으로 형성되었는지에 따라 다결정 액티브층(233, 234)의 일부 영역에 n형 또는 p형 불순물을 도핑하는 공정의 순서가 달라질 수 있다. 예를 들어, 소스 전극(275, 276) 및 드레인 전극(277, 278)이 투명 도전층(2701)과 제2 금속층(2702)으로 형성되면, 제2 도전막 패턴(270)을 형성하기 전에 n형 또는 p형 불순물을 다결정 액티브층(230)의 일부 영역에 도핑하여야 한다. 반면, 소스 전극(275, 276) 및 드레인 전극(277, 278)이 투명 도전층(2701)으로 형성되면, 제2 도전막 패턴(270)을 형성한 후 n형 또는 p형 불순물을 다결정 액티브층(233, 234)의 일부 영역에 도핑할 수도 있다.

[0121] 화소 정의막(180)은 제2 도전막 패턴(270) 위에 형성된다. 화소 정의막(180)은 화소 전극(710)의 일부를 드러내는 개구부(185)를 포함한다. 유기 발광층(720)은 화소 전극(710) 위에 형성되고, 공통 전극(730)은 유기 발광층(720) 위에 형성된다.

[0122] 이와 같은 구성에 의하여, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)는 제조 과정에서 사용되는 사진 식각 공정의 수를 최소화할 수 있도록 간소한 구조를 가질 수 있다.

[0123] 구체적으로, 게이트 절연막 패턴(240), 제1 도전막 패턴(250), 및 층간 절연막 패턴(260)을 동일한 사진 식각 공정을 통해 형성할 수 있다. 또한, 제2 박막 트랜지스터(20)의 드레인 전극(278)과 유기 발광 소자(70)의 화소 전극(710)을 동일한 사진 식각 공정을 통해 형성할 수 있다.

[0124] 또한, 제2 도전막 패턴(270)을 형성하는 과정에서 제1 금속층(2512, 2532, 2542, 2592)이 손상되거나 단선될 경우 도핑된 비정질 규소층(2511, 2531, 2541, 2591)을 통해 단선 및 불량의 발생을 방지할 수 있다.

[0125] 또한, 유기 발광 표시 장치(102)는 서로 다른 굴절율을 갖는 제1 층간 절연막(2601)과 제2 층간 절연막(2602)을 통해 거울 효과를 얻을 수 있다.

[0126] 이하, 도 15 내지 도 21을 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)의 제조 방법을 설명한다.

[0127] 먼저, 도 15에 도시한 바와 같이, 버퍼층(120) 위에 다결정 규소층, 게이트 절연막, 도핑된 비정질 규소층, 및 제1 금속층을 차례로 적층한 후, 이들을 함께 사진 식각 공정을 통해 패터닝하여 다결정 규소층 패턴(230), 게이트 절연막 중간체(2410), 및 제1 도전막 중간체(2510)를 형성한다. 다결정 규소층 패턴(230)은 다결정 액티브층(233, 234) 및 제1 캐패시터 전극(239)을 포함한다. 제1 도전막 중간체(2510)는 도핑된 비정질 규소층(2501) 및 제1 금속층(2502)을 포함한다.

[0128] 또한, 도시하지는 않았으나, 다결정 규소층 패턴(230), 게이트 절연막 중간체(2410), 및 제1 도전막 중간체(2510)는 하나의 감광막 패턴을 사용한 사진 식각 공정을 통해 형성된다.

[0129] 다음, 도 16에 도시한 바와 같이, 제1 도전막 중간체(2510) 위에 서로 다른 굴절율을 갖는 제1 층간 절연막(2601) 및 제2 층간 절연막(2602)을 차례로 형성한다.

[0130] 그리고 제2 층간 절연막(2602) 위에 제1 감광막 패턴(910)을 형성한다. 제1 감광막 패턴(910)은 이중 노광 또는 하프톤(halftone) 노광 공정을 통해 형성된다. 제1 감광막 패턴(910)은 제1 고두께부(911)와 제1 저두께부(912)를 포함한다.

[0131] 다음, 도 17 및 도 18에 도시한 바와 같이, 게이트 절연막 중간체(2410), 제1 도전막 중간체(2510), 제1 층간 절연막(2601), 및 제2 층간 절연막(2602)을 제1 감광막 패턴(910)을 사용한 사진 식각 공정을 통해 패터닝하여 게이트 절연막 패턴(240), 제1 도전막 패턴(250), 및 층간 절연막 패턴(260)을 형성한다.

[0132] 게이트 절연막 패턴은 제1 도전막 패턴과 동일한 패턴으로 형성된다. 제1 도전막 패턴(250)은 게이트 전극(253, 254), 제2 캐패시터 전극(259), 데이터 라인(251), 및 공통 전원 라인(252)(도 13에 도시)을 포함한다. 층간 절연막 패턴(260)은 게이트 전극(253, 254), 제2 캐패시터 전극(259), 데이터 라인(251), 및 공통 전원 라인(252)(도 2에 도시)의 일부를 각각 드러내는 접촉 구멍들(601, 603, 604, 609)을 갖는다. 또한, 층간 절연막 패턴(260)과 게이트 절연막 패턴(140)은 함께 다결정 액티브층(233, 234) 및 제1 캐패시터 전극(239)의 일부를 드러내는 개구 영역들(645, 646, 647, 648)을 갖는다.

[0133] 또한, 다결정 규소층 패턴(230)은 더미 다결정층(231)을 더 포함할 수 있다. 더미 다결정층(231)은 제1 도전막 패턴(250)의 데이터 라인(251) 및 공통 전원 라인(252) 아래에 배치된다. 더미 다결정층(231)은 유기 발광 표시 장치(102)가 본 발명의 제2 실시예에 따라 제조되는 과정에서 부수적으로 형성되는 구성이다.

[0134] 다음, 다결정 액티브층(233, 234)의 일부 영역에 n형 또는 p형 분술물을 도핑한다. 이때, 게이트 전극(253, 254)은 n형 또는 p형 불순물이 다결정 액티브층(233, 234)에 도핑되는 것을 차단한다. 따라서, 다결정 액티브층(233, 234)은 게이트 전극(153, 154) 아래에 위치하는 진성 반도체 영역과, 소스 전극(275, 276) 및 드레인 전극(277, 278) 아래에 위치하게될 불순물 반도체 영역으로 구분된다.

[0135] 하지만, 본 발명의 제2 실시예가 전술한 바에 한정되는 것은 아니다. 즉, 다결정 액티브층(233, 234)의 일부 영역에 n형 또는 p형 불순물을 도핑하는 공정은 제2 도전막 패턴(170)을 형성한 후에 수행할 수도 있다. 이때에는, 소스 전극(275, 276) 및 드레인 전극(277, 278)이 n형 또는 p형 불순물을 통과시킬 수 있도록 제2 금속층(2702)을 제거하고, 투명 도전층(2701)으로 형성되어야 한다.

[0136] 다음, 도 19에 도시한 바와 같이, 층간 절연막 패턴(260) 위에 투명 도전층(2701) 및 제2 금속층(2702)을 차례로 적층한다. 투명 도전층(2701)은 층간 절연막 패턴(260)의 접촉 구멍들(601, 603, 604, 609) 및 개구 영역들(645, 646, 647, 648)을 통해 각각 게이트 전극(253, 254), 제1 캐패시터 전극(239), 제2 캐패시터 전극(259), 데이터 라인(251), 공통 전원 라인(252)(도 13에 도시), 및 다결정 액티브층(233, 234)과 접속된다.

[0137] 그리고 제2 금속층(2702) 위에 제2 감광막 패턴(920)을 형성한다. 제2 감광막 패턴(920)도 제2 고두께부(921)와 제2 저두께부(922)를 포함한다. 이때, 제2 저두께부(922)는 화소 전극(710)이 형성될 위치와 대응된다.

[0138] 다음, 도 20에 도시한 바와 같이, 제2 감광막 패턴(920)을 통해 식각하여 투명 도전층(2701)과 제2 금속층(2702)으로 형성된 제2 도전막 패턴 중간체(2700)를 형성한다. 이후, 제2 감광막 패턴(920)의 제2 저두께부(922)를 제거하고, 제2 고두께부(921)를 통해 제2 도전막 패턴 중간체(2700)를 다시 식각하여 제2 도전막 패턴(270)을 형성한다. 제2 도전막 패턴(270)은, 도 21에 도시한 바와 같이, 투명 도전층(2701)과 제2 금속층(2702)으로 형성된 소스 전극(275, 276), 드레인 전극(277, 278), 게이트 라인(271), 및 연결 라인(272)과, 투명 도전층(2701)으로 형성된 화소 전극(710)을 형성한다.

[0139] 다음, 도 12에 도시한 바와 같이, 제2 도전층 패턴(270) 위에 화소 정의막(180)을 형성한다. 화소 정의막(180)은 화소 전극(710)의 일부를 드러내는 개구부(185)를 포함한다. 그리고 화소 전극(710) 위에는 유기 발광층(720) 및 공통 전극(730)이 차례로 적층된다.

[0140] 이상과 같은 제조 방법을 통하여, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)를 제조할 수 있다. 즉, 사용되는 사진 식각 공정의 수를 최소화하여 유기 발광 표시 장치(102)를 제조할 수 있다.

[0141] 따라서, 본 발명의 제2 실시예에 따르면, 대형화된 유기 발광 표시 장치(102)도 효과적으로 높은 생산성을 유지할 수 있다.

[0142] 또한, 제2 도전막 패턴(270)을 형성하는 과정에서 제1 금속층(2512, 2532, 2542, 2592)이 손상되거나 단선될 경우 도핑된 비정질 규소층(2511, 2531, 2541, 2591)을 통해 단선 및 불량의 발생을 방지할 수 있다.

[0143] 또한, 유기 발광 표시 장치(102)는 서로 다른 굴절율을 갖는 제1 층간 절연막(2601)과 제2 층간 절연막(2602)을 통해 거울 효과를 얻을 수 있다.

[0144] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

[0145] 10, 20: 박막 트랜지스터 70: 유기 발광 소자

90: 캐패시터 101, 102: 유기 발광 표시 장치

111: 기판 본체 120: 버퍼층

130, 230: 다결정 규소층 패턴 131, 231: 더미 다결정층

133, 134, 233, 234: 다결정 액티브층

139, 239: 제1 캐패시터 전극 140, 240: 게이트 절연막 패턴

150, 250: 제1 도전막 패턴 151, 251: 데이터 라인

152, 252: 공통 전원 라인 153,154, 253, 254: 게이트 전극

159, 259: 제2 캐패시터 전극 160, 260: 층간 절연막 패턴

170, 270: 제2 도전막 패턴 171, 271: 게이트 라인

172, 272: 연결 라인 175, 176, 275, 276: 소스 전극

177, 178, 277, 278: 드레인 전극 180: 화소 정의막

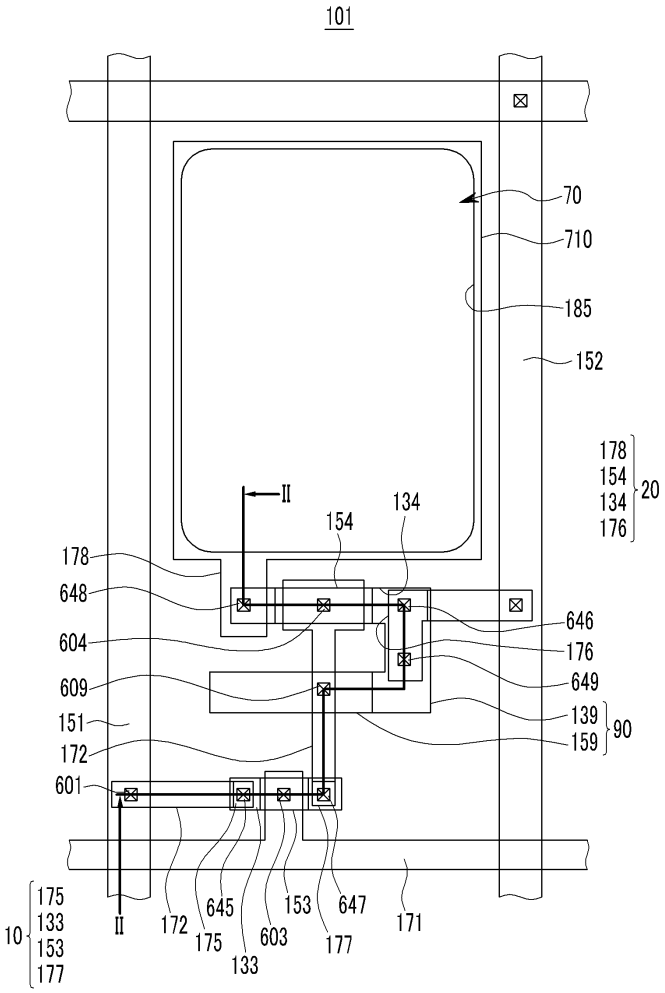
601, 603, 604 609, 645, 646, 647, 648, 649: 접촉 구멍

710: 화소 전극 720: 유기 발광층

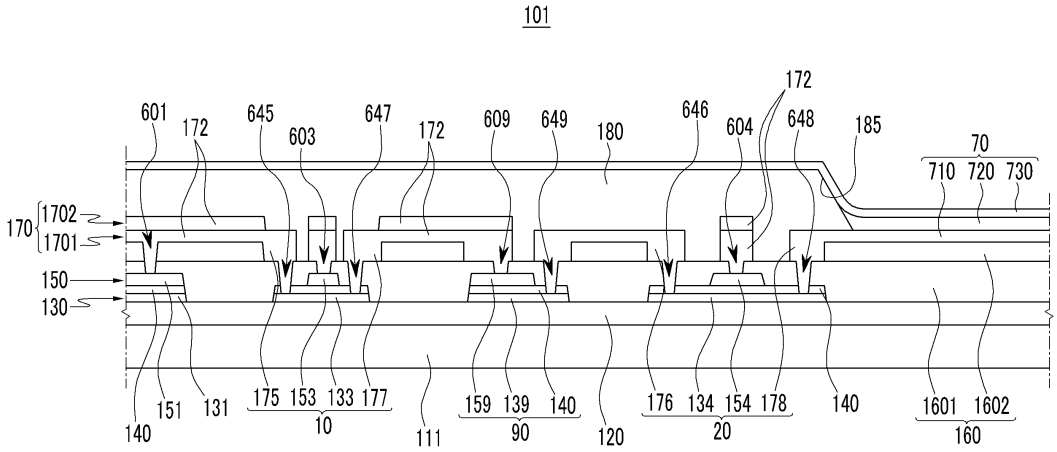
730: 공통 전극

도면

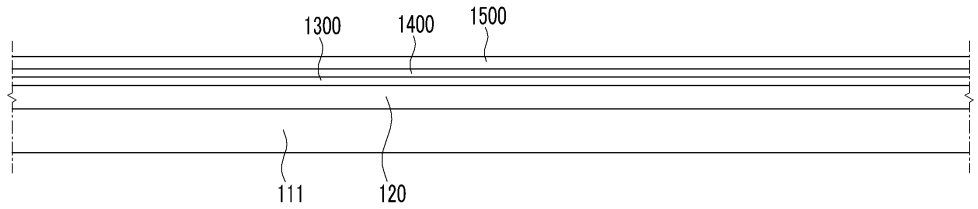
도면1



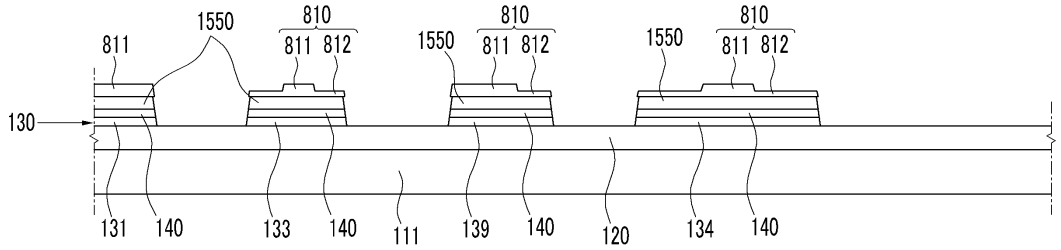
도면2


101
601
172
645
603
647
172
609
649
180
646
604
172
648
185
70
710 720 730
170
1702
1701
150
130
140
151
131
175 153 133 177
10
111
159 139 140
90
120
176 134 154 178
20
140
1601 1602
160

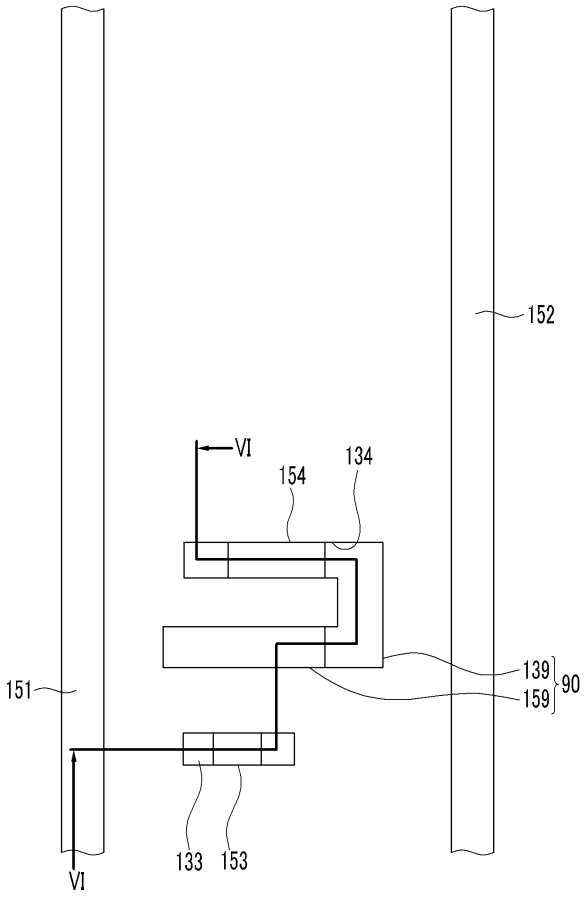
도면3


1300
1400
1500
111
120

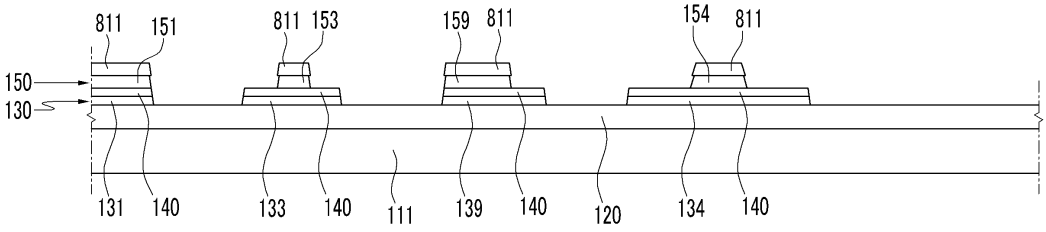
도면4


811
1550
810
811 812
1550
810
811 812
1550
810
811 812
130
131
140
133
140
111
139
140
120
134
140

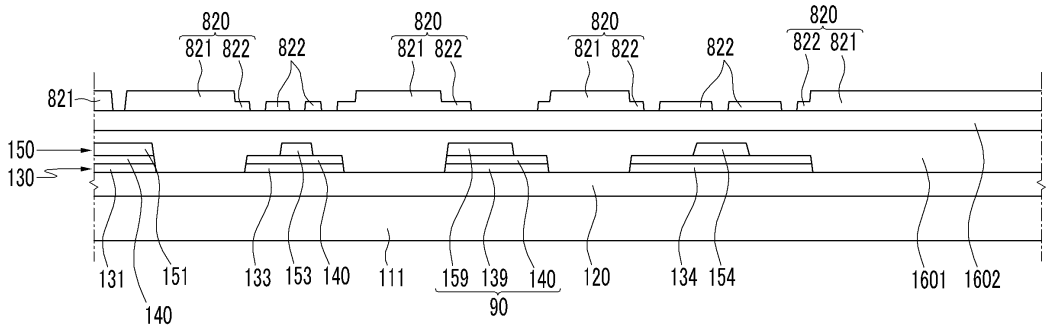
도면5


152
VI
154
134
139
159
90
151
133
153
VI

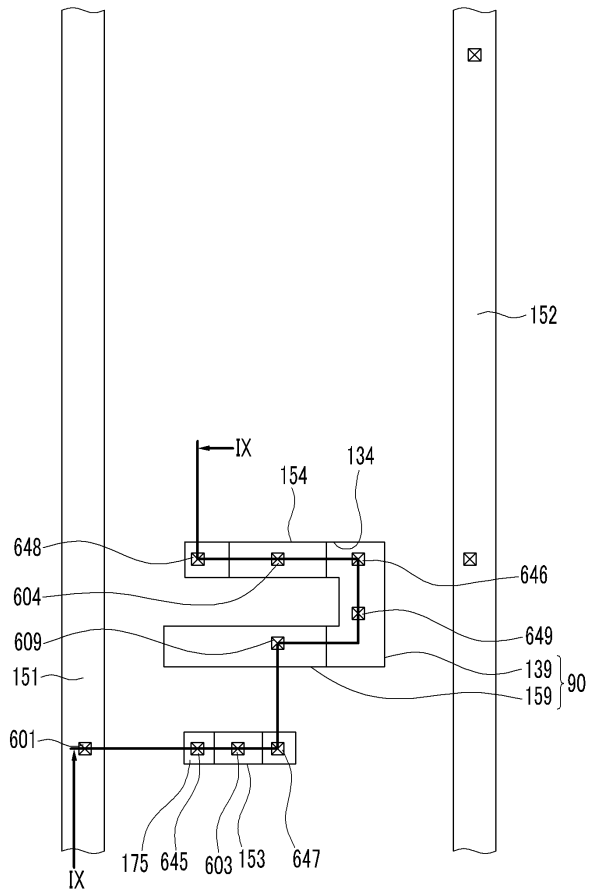
도면6


811
151
811
153
159
811
154
811
150
130
131
140
133
140
111
139
140
120
134
140

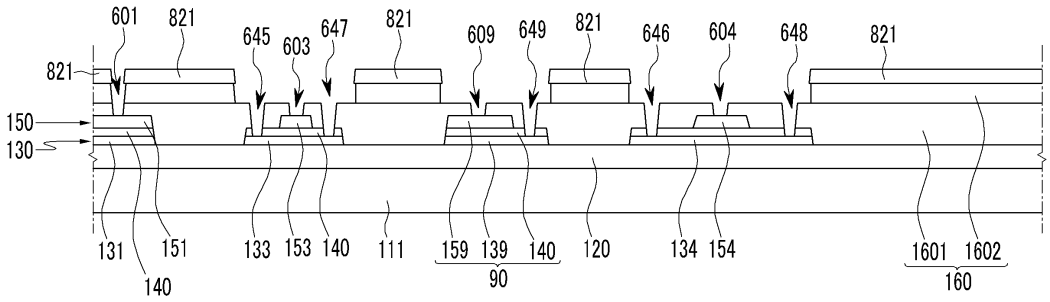
도면7


820
821
822
822
820
821
822
820
821
822
822
820
822
821
821
150
130
131
151
140
133
153
140
111
159
139
140
90
120
134
154
1601
1602

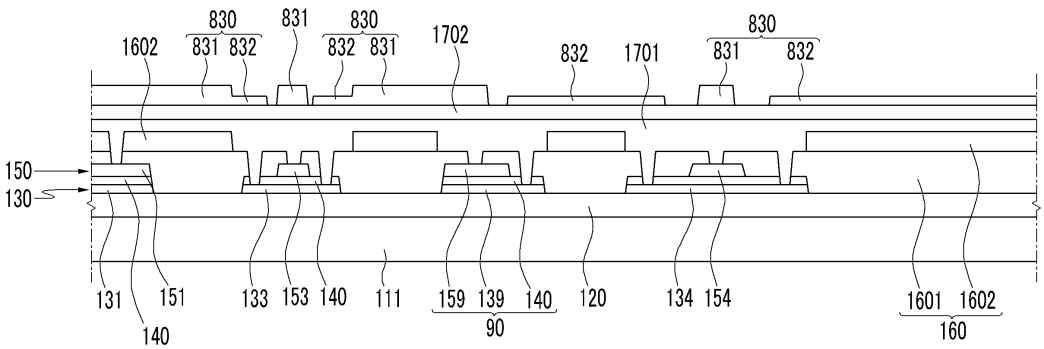
도면8


152
IX
154
134
648
646
604
649
609
139
159
90
151
601
175
645
603
153
647
IX

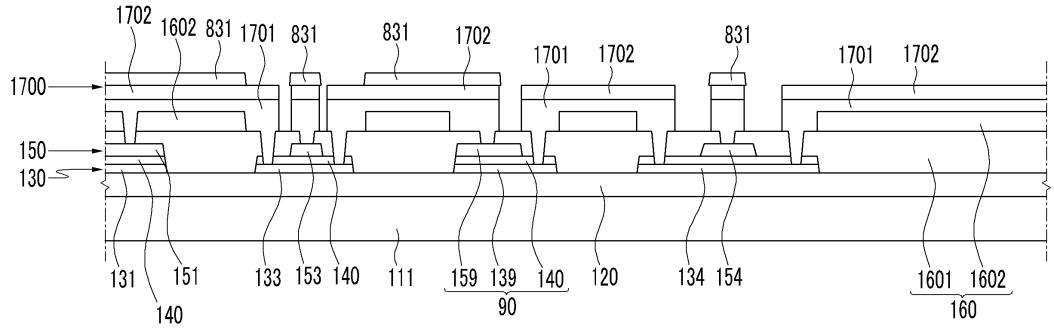
도면9


601
821
645
603
647
821
609
649
821
646
604
648
821
821
150
130
131
151
140
133
153
140
111
159
139
140
90
120
134
154
1601
1602
160

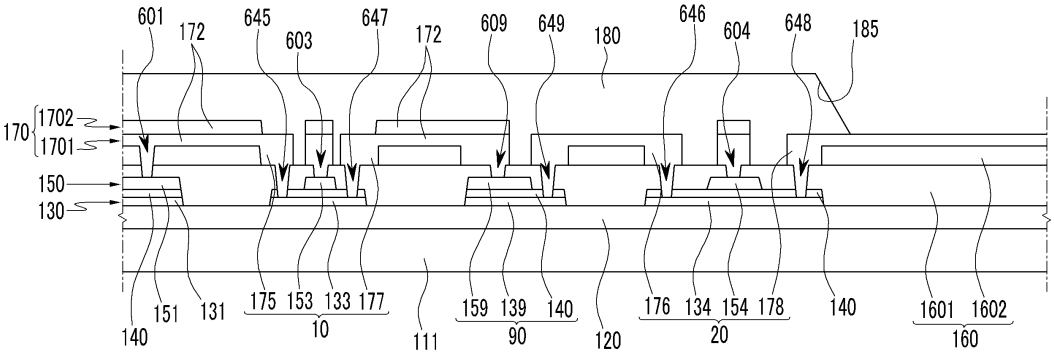
도면10


830
831
830
1602
831
832
832
831
1702
832
1701
830
831
832
150
130
131
151
140
133
153
140
111
159
139
140
90
120
134
154
1601
1602
160

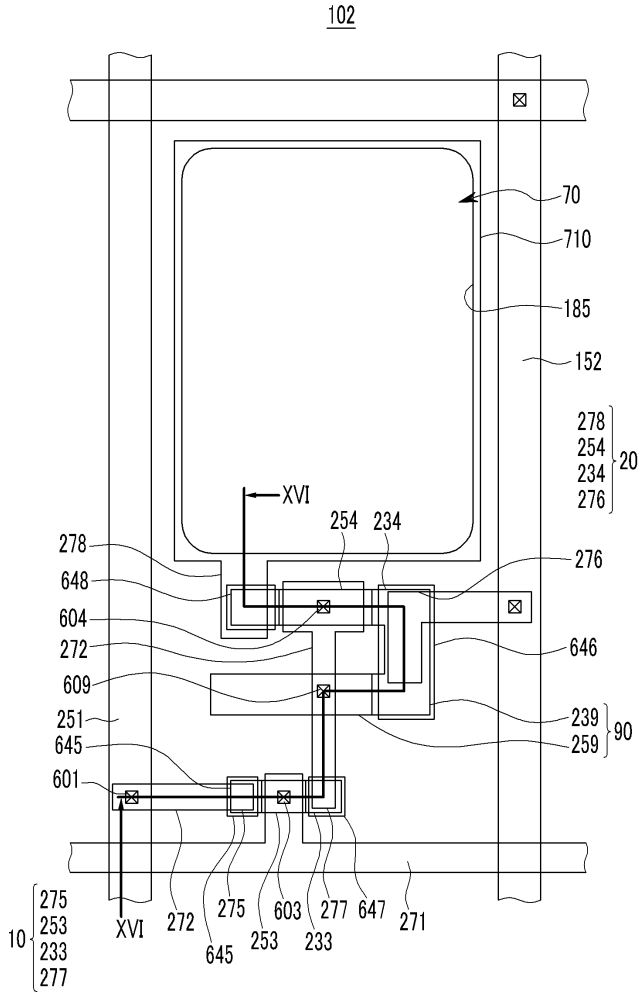
도면11


1702
1602
831
1701
831
831
1702
1701
1702
831
1701
1702
1700
150
130
131
151
140
133
153
140
111
159
139
140
90
120
134
154
1601
1602
160

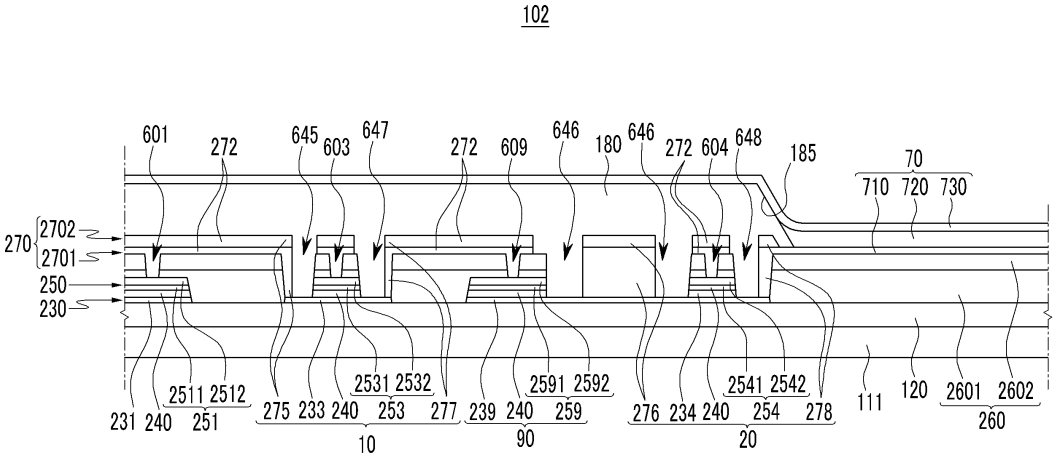
도면12


601
172
645
603
647
172
609
649
180
646
604
648
185
170
1702
1701
150
130
140
151
131
175
153
133
177
10
111
159
139
140
90
120
176
134
154
178
20
140
1601
1602
160

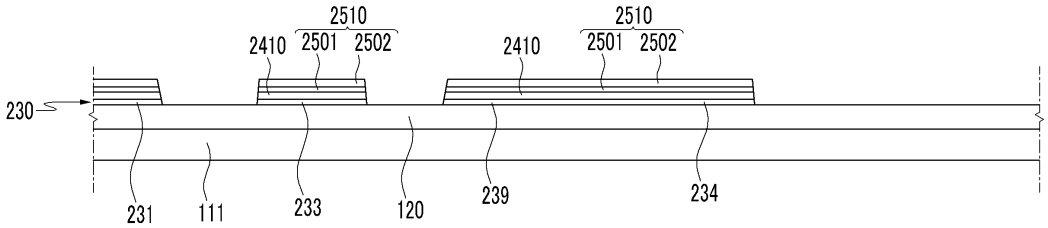
도면13


102
70
710
185
152
278
254
234
276
20
XVI
254 234
278
276
648
604
272
646
609
239
259
90
251
645
601
275
253
233
277
10
XVI
272
275
645
253
603
233
277
647
271

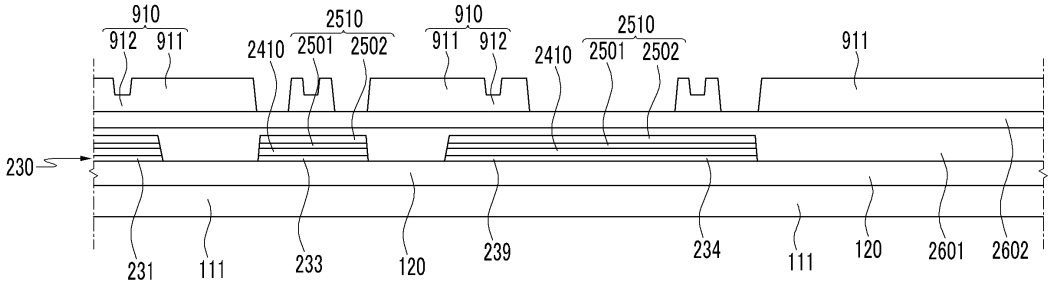
도면14


102
601
272
645
603
647
272
609
646
180
646
272
604
648
185
70
710
720
730
270
2702
2701
250
230
2511 2512
2531 2532
2591 2592
2541 2542
231 240 251
275 233 240 253 277
239 240 259
276 234 240 254 278
111
120
2601 2602
260
10
90
20

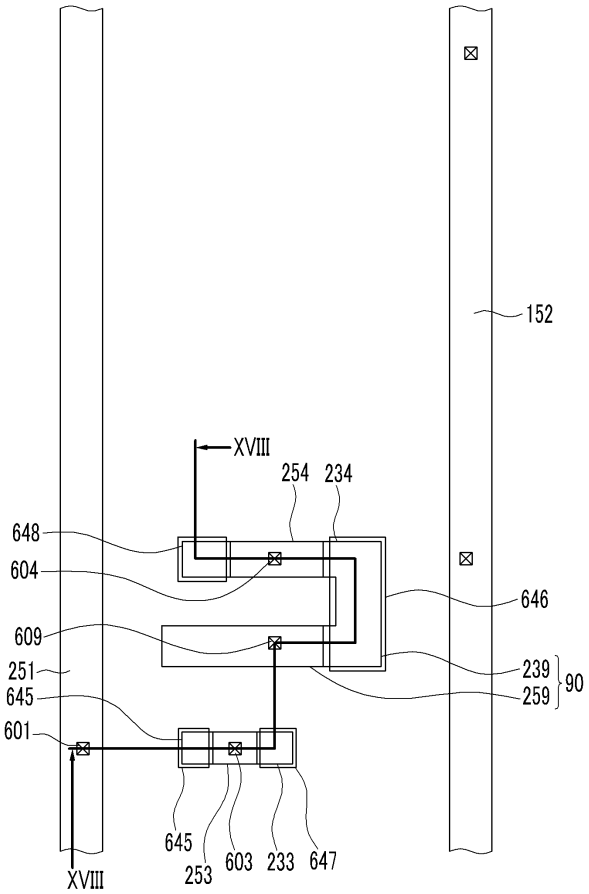
도면15



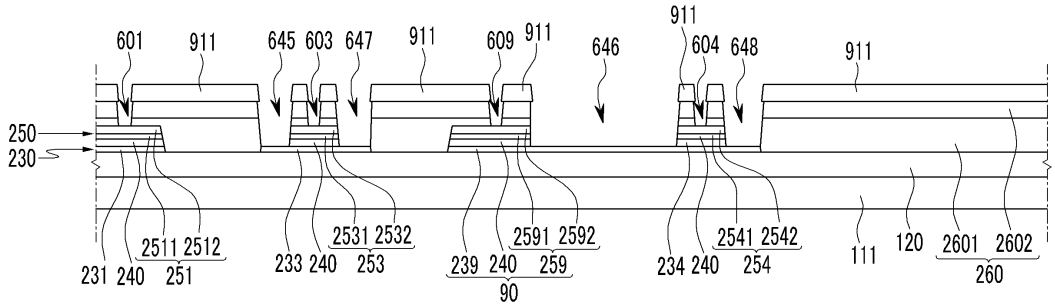
도면16



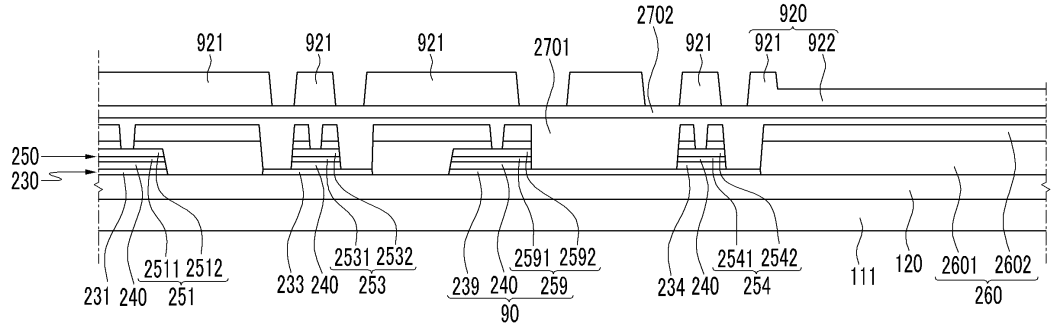
도면17



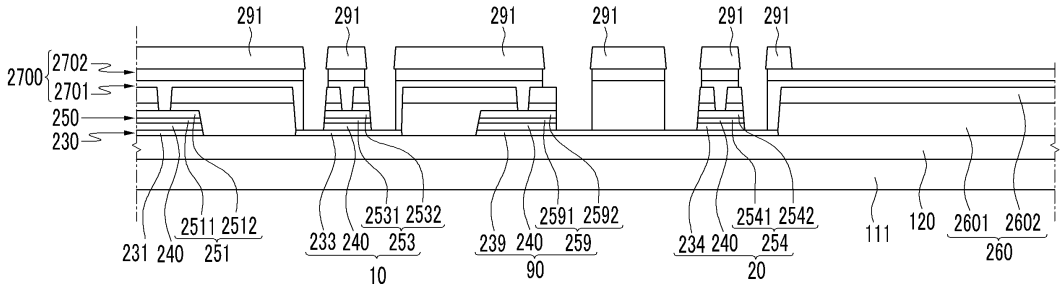
도면18



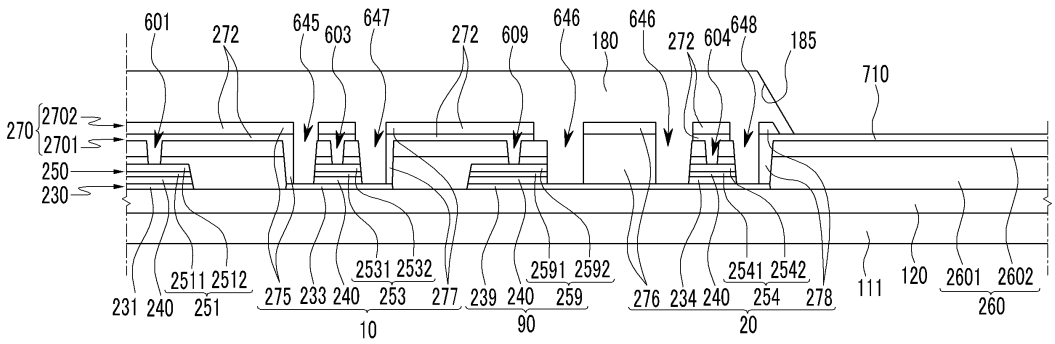
도면19



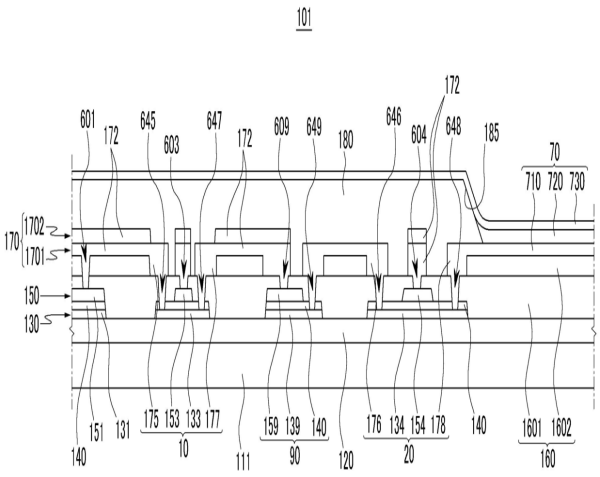
도면20



도면21



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020110133243A	公开(公告)日	2011-12-12
申请号	KR1020100052864	申请日	2010-06-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SHIN MIN CHUL 신민철 HUH JONG MOO 허종무 KIM BONG JU 김봉주 LEE YUN GYU 이윤규		
发明人	신민철 허종무 김봉주 이윤규		
IPC分类号	H01L51/52 H01L29/786		
CPC分类号	H01L51/56 H01L27/1288 H01L27/3248 H01L27/3265		
其他公开文献	KR101182231B1		
外部链接	Espacenet		

摘要(译)

在有机发光显示装置及其制造方法中。并且，根据本发明实施例的有机发光显示装置包括：基板本体，包括形成在基板本体上的多晶有源层的多晶硅层图案和第一电容器电极，以及包括栅极电介质的第一导电层图案形成在多晶硅层图案上的层图案和形成在栅极介电层图案和第二电容器电极上的栅电极，以及包括形成在层间电介质膜图案上的源电极的第二导电层图案和漏电极和像素电极。图案化为栅极介电层图案中的任何一个是多晶硅层图案和第一导电层图案。