



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0078435
(43) 공개일자 2011년07월07일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0135248

(22) 출원일자 2009년12월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

김학수

서울 성북구 길음동 삼성래미안 509동 501호

홍영준

경북 구미시 구평동 부영아파트 805동 404호

강창현

경북 구미시 임은동 497-47번지 준하이츠 206호

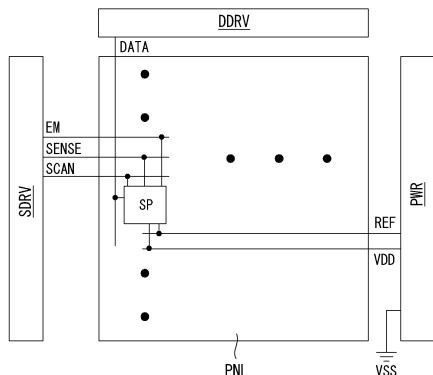
(74) 대리인

특허법인로얄

전체 청구항 수 : 총 12 항

(54) 유기전계발광표시장치와 이의 구동방법**(57) 요 약**

본 발명은, 적어도 2회로 구분되어 공급된 센싱신호에 응답하여 기준전압을 제1커패시터에 저장하고 구동 트랜지스터의 문턱전압보다 높은 전압이 인가되도록 하는 제2커패시터를 포함하는 센서회로부; 스캔신호에 응답하여 데이터신호를 제1커패시터와 제3커패시터에 데이터전압으로 저장하는 제1스위칭 트랜지스터; 및 발광신호에 응답하여 상기 구동 트랜지스터에 고 전위전압이 공급되는 시간을 조절하는 제2스위칭 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

적어도 2회로 구분되어 공급된 센싱신호에 응답하여 기준전압을 제1커패시터에 저장하고 구동 트랜지스터의 문턱전압보다 높은 전압이 인가되도록 하는 제2커패시터를 포함하는 센서회로부;

스캔신호에 응답하여 데이터신호를 상기 제1커패시터와 제3커패시터에 데이터전압으로 저장하는 제1스위칭 트랜지스터; 및

발광신호에 응답하여 상기 구동 트랜지스터에 고 전위전압이 공급되는 시간을 조절하는 제2스위칭 트랜지스터를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 센싱신호 중 첫 번째 공급되는 제1센싱신호는 이전 데이터전압을 클리어 시키기는 신호이고, 두 번째 공급되는 제2센싱신호는 상기 구동 트랜지스터의 문턱전압을 센싱하는 신호인 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 센서회로부는,

상기 센싱신호에 응답하여 상기 구동 트랜지스터의 문턱전압 센싱을 위한 낮은 기준전압을 상기 제1커패시터에 저장하는 제1트랜지스터와,

상기 센싱신호에 동일하게 응답하여 상기 구동 트랜지스터의 문턱전압을 상기 제3커패시터에 저장하는 제2트랜지스터를 포함하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 센싱신호가 공급되는 시간은,

상기 스캔신호가 공급되는 시간보다 앞서는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제3항에 있어서,

상기 제1트랜지스터는 상기 센싱신호가 공급되는 센서배선에 게이트 전극이 연결되고 상기 기준전압이 공급되는 기준전압배선에 제1전극이 연결되며 제1노드에 제2전극이 연결되고,

상기 제2트랜지스터는 상기 센서배선에 게이트 전극이 연결되고 제2노드에 제1전극이 연결되며 제3노드에 제2전극이 연결되고,

상기 제1스위칭 트랜지스터는 상기 스캔신호가 공급되는 스캔배선에 게이트 전극이 연결되고 상기 데이터신호가 공급되는 데이터배선에 제1전극이 연결되며 상기 제1노드에 제2전극이 연결되고,

상기 제2스위칭 트랜지스터는 상기 발광신호가 공급되는 신호배선에 게이트 전극이 연결되고 상기 고 전위전압이 공급되는 고 전위전원배선에 제1전극이 연결되며 상기 제3노드에 제2전극이 연결되고,

상기 제1커패시터는 상기 제1노드에 일단이 연결되고 상기 기준전압배선에 타단이 연결되며,

상기 제2커패시터는 상기 제2트랜지스터의 게이트 전극에 일단이 연결되고 상기 제3노드에 타단이 연결되며,

상기 제3커패시터는 상기 제1노드에 일단이 연결되고 상기 제2노드에 타단이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제5항에 있어서,

상기 구동 트랜지스터는 상기 제2노드에 게이트 전극이 연결되고 상기 제3노드에 제1전극이 연결되며 상기 유기 발광다이오드의 애노드 전극에 제2전극이 연결되고,

상기 유기 발광다이오드는 저 전위전압이 공급되는 저 전위전원배선에 캐소드 전극이 연결된 것을 특징으로 하는 유기전계발광표시장치.

청구항 7

제5항에 있어서,

상기 제2스위칭 트랜지스터의 턴 오프 시간과 턴 온 시간의 비율은,

1 프레임 구간 내에서 1/9 ~ 9/1인 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제5항에 있어서,

상기 제2커패시터의 용량은 상기 제2트랜지스터의 게이트 전극과 상기 제2노드 사이에 형성되는 커패시터의 용량 대비 2 ~ 5배의 용량을 갖는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제1항에 있어서,

상기 제2커패시터의 용량은,

0.4pF ~ 2.5pF인 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

적어도 2회로 구분되어 공급된 센싱신호에 응답하는 제1트랜지스터를 이용하여 기준전압을 제1커패시터에 저장하고 상기 센싱신호에 동일하게 응답하는 제2트랜지스터를 이용하여 제2커패시터에 구동 트랜지스터의 문턱전압 보다 높은 전압을 인가하고 상기 구동 트랜지스터의 문턱전압 센싱을 위한 낮은 기준전압을 상기 제1커패시터와 제3커패시터에 저장하는 센싱단계;

스캔신호에 응답하는 제1스위칭 트랜지스터를 이용하여 데이터신호를 상기 제1커패시터와 상기 제3커패시터에 데이터전압으로 저장하는 데이터전압 저장단계; 및

발광신호에 응답하는 제2스위칭 트랜지스터를 이용하여 상기 구동 트랜지스터에 고 전위전압이 공급되는 시간을 제어하는 발광단계를 포함하는 유기전계발광표시장치의 구동방법.

청구항 11

제10항에 있어서,

상기 센싱신호 중 첫 번째 공급되는 제1센싱신호는 이전 데이터전압을 클리어 시키기는 신호이고, 두 번째 공급되는 제2센싱신호는 상기 구동 트랜지스터의 문턱전압을 센싱하는 신호인 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 12

제10항에 있어서,

상기 제2스위칭 트랜지스터의 턴 오프 시간과 턴 온 시간의 비율은,

1 프레임 구간 내에서 1/9 ~ 9/1인 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기전계발광표시장치와 이의 구동방법에 관한 것이다.

배경기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광소자는 전자(electron) 주입전극(cathode)과 정공(hole) 주입전극(anode)으로부터 각각 전자와 정공을 발광층 내부로 주입시켜, 주입된 전자와 정공이 결합한 엑시톤(exciton)이 여기 상태로부터 기저상태로 떨어질 때 발광하는 소자이다.

[0003] 유기전계발광소자를 이용한 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 및 양면발광(Dual-Emission) 등이 있고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어진다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 복수의 서브 픽셀에 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 유기전계발광표시장치는 트랜지스터의 문턱전압이 시프트하기 때문에 시간에 따라 구동전류가 낮아져 소자의 수명이 감소하는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은, 문턱전압 시프트에 따른 구동전류 감소를 방지하고 소자의 장수명을 도모함과 동시에 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 것이다. 또한, 본 발명은 적어도 2회에 걸쳐 이전 데이터전압을 클리어하고 문턱전압을 정확히 센싱하도록 구성하여 문턱전압 보상회로 설계시 수반되는 개구면적 저하를 방지할 수 있는 유기전계발광표시장치를 제공하는 것이다.

과제 해결수단

[0007] 상술한 과제 해결 수단으로 본 발명은, 적어도 2회로 구분되어 공급된 센싱신호에 응답하여 기준전압을 제1커패시터에 저장하고 구동 트랜지스터의 문턱전압보다 높은 전압이 인가되도록 하는 제2커패시터를 포함하는 센서회로부; 스캔신호에 응답하여 데이터신호를 제1커패시터와 제3커패시터에 데이터전압으로 저장하는 제1스위칭 트랜지스터; 및 발광신호에 응답하여 상기 구동 트랜지스터에 고 전위전압이 공급되는 시간을 조절하는 제2스위칭 트랜지스터를 포함하는 유기전계발광표시장치를 제공한다.

[0008] 센싱신호 중 첫 번째 공급되는 제1센싱신호는 이전 데이터전압을 클리어 시키기는 신호이고, 두 번째 공급되는 제2센싱신호는 구동 트랜지스터의 문턱전압을 센싱하는 신호일 수 있다.

[0009] 센서회로부는, 센싱신호에 응답하여 기준전압을 제1커패시터에 저장하는 제1트랜지스터와, 센싱신호에 동일하게 응답하여 구동 트랜지스터의 문턱전압을 제2커패시터에 저장하는 제2트랜지스터를 포함할 수 있다.

[0010] 센싱신호가 공급되는 시간은, 스캔신호가 공급되는 시간보다 앞설 수 있다.

[0011] 제1트랜지스터는 센싱신호가 공급되는 센서배선에 게이트 전극이 연결되고 기준전압이 공급되는 기준전압배선에 제1전극이 연결되며 제1노드에 제2전극이 연결되고, 제2트랜지스터는 센서배선에 게이트 전극이 연결되고 제2노드에 제1전극이 연결되며 제3노드에 제2전극이 연결되고, 제1스위칭 트랜지스터는 스캔신호가 공급되는 스캔배선에 게이트 전극이 연결되고 데이터신호가 공급되는 데이터배선에 제1전극이 연결되며 제1노드에 제2전극이 연결되고, 제2스위칭 트랜지스터는 발광신호가 공급되는 신호배선에 게이트 전극이 연결되고 고 전위전압이 공급되는 고 전위전원배선에 제1전극이 연결되며 제3노드에 제2전극이 연결되고, 제1커패시터는 제1노드에 일단이 연결되고 기준전압배선에 타단이 연결되며, 제2커패시터는 제2트랜지스터의 게이트 전극에 일단이 연결되고 제3노드에 타단이 연결되며, 제3커패시터는 제1노드에 일단이 연결되고 제2노드에 타단이 연결될 수 있다.

- [0012] 구동 트랜지스터는 제2노드에 게이트 전극이 연결되고 제3노드에 제1전극이 연결되며 유기 발광다이오드의 애노드 전극에 제2전극이 연결되고, 유기 발광다이오드는 저 전위전압이 공급되는 저 전위전원배선에 캐소드 전극이 연결될 수 있다.
- [0013] 제2스위칭 트랜지스터의 턴 오프 시간과 턴 온 시간의 비율은, 1 프레임 구간 내에서 1/9 ~ 9/1일 수 있다.
- [0014] 제2커패시터의 용량은 제2트랜지스터의 게이트 전극과 제2노드 사이에 형성되는 기생 커패시터의 용량 대비 2 ~ 5배의 용량을 가질 수 있다.
- [0015] 제2커패시터의 용량은, 0.4pF ~ 2.5pF일 수 있다.
- [0016] 또한 다른 측면에서 본 발명은, 적어도 2회로 구분되어 공급된 센싱신호에 응답하는 제1트랜지스터를 이용하여 기준전압을 제1커패시터에 저장하고 센싱신호에 동일하게 응답하는 제2트랜지스터를 이용하여 제2커패시터에 구동 트랜지스터의 문턱전압보다 높은 전압을 인가하고 구동 트랜지스터의 문턱전압 센싱을 위한 낮은 기준전압을 제1커패시터와 제3커패시터에 저장하는 센싱단계; 스캔신호에 응답하는 제1스위칭 트랜지스터를 이용하여 데이터신호를 제1커패시터와 제3커패시터에 데이터전압으로 저장하는 데이터전압 저장단계; 및 발광신호에 응답하는 제2스위칭 트랜지스터를 이용하여 구동 트랜지스터에 고 전위전압이 공급되는 시간을 제어하는 발광단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0017] 제2스위칭 트랜지스터의 턴 오프 시간과 턴 온 시간의 비율은, 1 프레임 구간 내에서 1/9 ~ 9/1일 수 있다.

효과

- [0018] 본 발명은, 문턱전압 시프트에 따른 구동전류 감소를 방지하고 소자의 장수명을 도모함과 동시에 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 적어도 2회에 걸쳐 이전 데이터전압을 클리어하고 문턱전압을 정확히 센싱하도록 구성하여 문턱전압 보상회로 설계시 수반되는 개구면적 저하를 방지할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 구성도이다.
- [0021] 도 1에 도시된 바와 같이 본 발명의 일 실시예에 따른 유기전계발광표시장치는 데이터구동부(DDRV), 스캔구동부(SDRV), 전원공급부(PWR) 및 표시패널(PNL)을 포함한다.
- [0022] 데이터구동부(DDRV)는 외부 예컨대, 타이밍구동부로부터 공급된 데이터 타이밍 제어신호에 응답하여 타이밍구동부로부터 공급되는 디지털 형태의 데이터신호를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호를 감마 기준전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 데이터배선(DATA)을 통해 변환된 데이터신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급한다.
- [0023] 스캔구동부(SDRV)는 외부 예컨대, 타이밍구동부로부터 공급된 게이트 타이밍 제어신호에 응답하여 표시패널(PNL)에 포함된 서브 픽셀(SP)의 트랜지스터들이 동작 가능한 게이트 구동전압의 스윙폭으로 신호의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 스캔배선(SCAN)을 통해 생성된 스캔신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급한다. 또한, 스캔구동부(SDRV)는 센서배선(SENSE) 및 신호배선(EM)을 통해 센싱신호 및 발광신호를 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급할 수 있다. 여기서, 센싱신호 및 발광신호는 스캔구동부(SDRV)와 별도로 형성된 제어구동부 등에 의해 생성될 수 있다. 이 경우, 센싱신호 및 발광신호는 제어구동부에 연결된 센서배선(SENSE) 및 신호배선(EM)을 통해 표시패널(PNL)에 포함된 서브 픽셀(SP)에 공급된다.
- [0024] 전원공급부(PWR)는 외부로부터 공급된 전원전압을 기초로 고 전위전압, 저 전위전압, 기준전압 등을 생성하고 이를 고 전위전원배선(VDD), 저 전위전원배선(VSS), 기준전압배선(REF) 등을 통해 서브 픽셀들(SP)에 공급한다.

여기서, 기준전압배선(REF)을 통해 공급되는 기준전압은 고 전위전압과 저 전위전압 사이의 레벨 또는 이보다 낮은 레벨을 갖는 전압일 수 있다. 전원공급부(PWR)는 서브 핵셀(SP)뿐만 아니라 데이터구동부(DDRV)나 스캔구동부(SDRV)에도 전원을 공급할 수 있다.

[0025] 표시패널(PNL)은 매트릭스형태로 배치된 서브 핵셀(SP)을 포함한다. 표시패널(PNL)에 포함된 서브 핵셀(SP)은 도 2와 같이 센서회로부(SNP)를 포함한다. 센서회로부(SNP)는 적어도 2회로 구분되어 공급된 센싱신호에 응답하여 기준전압배선(REF)을 통해 공급된 기준전압을 제1커패시터(Cst1) 및 제3커패시터(Cst3)에 저장하고 구동 트랜지스터(DR)의 문턱전압 센싱을 위해 적어도 구동 트랜지스터(DR)의 문턱전압보다 높은 기준전압을 제2커패시터(Cst2)에 저장한다. 이를 위해 센서회로부(SNP)는 센싱신호에 응답하여 기준전압을 제1커패시터(Cst1)에 저장하는 제1트랜지스터(T1)와, 센싱신호에 동일하게 응답하여 구동 트랜지스터(DR)의 문턱전압보다 높은 전압을 제2커패시터(Cst2)에 저장하는 제2트랜지스터(T2)를 포함한다. 또한 서브 핵셀(SP)은 도 2와 같이 제1스위칭 트랜지스터(S1), 제2스위칭 트랜지스터(S2), 제3커패시터(Cst3), 구동 트랜지스터(DR) 및 유기 발광다이오드(D)를 포함한다. 제1스위칭 트랜지스터(S1)는 스캔배선(SCAN)을 통해 공급된 스캔신호에 응답하여 데이터배선(DATA)을 통해 공급된 데이터신호를 제1커패시터(Cst1)와 제3커패시터(Cst3)에 데이터전압으로 저장한다. 제2스위칭 트랜지스터(S2)는 구동 트랜지스터(DR)로부터 생성된 구동전류에 의해 유기 발광다이오드(D)가 발광하도록 신호배선(EM)을 통해 공급된 발광신호에 응답하여 고 전위전압을 공급한다.

[0026] 이하, 본 발명의 일 실시예에 따른 서브 핵셀의 구성에 대해 더욱 자세히 설명한다.

[0027] 도 3은 본 발명의 일 실시예에 따른 서브 핵셀의 상세 회로 구성도이다.

[0028] 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 핵셀은 센서회로부(SNP), 제1스위칭 트랜지스터(S1), 제2스위칭 트랜지스터(S2), 제3커패시터(Cst3), 구동 트랜지스터(DR) 및 유기 발광다이오드(D)를 포함한다.

[0029] 센서회로부(SNP)는 제1트랜지스터(T1), 제2트랜지스터(T2), 제1커패시터(Cst1) 및 제2커패시터(Cst2)를 포함한다. 센서회로부(SNP)에 포함된 소자들은 다음과 같이 연결된다. 제1트랜지스터(T1)는 센싱신호(Sense)가 공급되는 센서배선(SENSE)에 게이트 전극이 연결되고 기준전압(Ref)이 공급되는 기준전압배선(REF)에 제1전극이 연결되며 제1노드(n1)에 제2전극이 연결된다. 제2트랜지스터(T2)는 센서배선(SENSE)에 게이트 전극이 연결되고 제2노드(n2)에 제1전극이 연결되며 제3노드(n3)에 제2전극이 연결된다. 제1커패시터(Cst1)는 제1노드(n1)에 일단이 연결되고 기준전압배선(REF)에 타단이 연결된다. 제2커패시터(Cst2)는 제2트랜지스터(T2)의 게이트 전극에 일단이 연결되고 제3노드(n3)에 타단이 연결된다.

[0030] 제1스위칭 트랜지스터(S1), 제2스위칭 트랜지스터(S2), 제3커패시터(Cst3), 구동 트랜지스터(DR) 및 유기 발광다이오드(D)는 다음과 같이 연결된다. 제1스위칭 트랜지스터(S1)는 스캔신호(Scan)가 공급되는 스캔배선(SCAN)에 게이트 전극이 연결되고 데이터신호(Data)가 공급되는 데이터배선(DATA)에 제1전극이 연결되며 제1노드(n1)에 제2전극이 연결된다. 제2스위칭 트랜지스터(S2)는 발광신호(Em)가 공급되는 신호배선(EM)에 게이트 전극이 연결되고 고 전위전압(Vdd)이 공급되는 고 전위전원배선(VDD)에 제1전극이 연결되며 제3노드(n3)에 제2전극이 연결된다. 제3커패시터(Cst3)는 제1노드(n1)에 일단이 연결되고 제2노드(n2)에 타단이 연결된다. 구동 트랜지스터(DR)는 제2노드(n2)에 게이트 전극이 연결되고 제3노드(n3)에 제1전극이 연결되며 유기 발광다이오드(D)의 애노드 전극에 제2전극이 연결된다. 유기 발광다이오드(D)는 구동 트랜지스터(DR)의 제2전극에 애노드 전극이 연결되고 저 전위전압(Vss)이 공급되는 저 전위전원배선(VSS)에 캐소드 전극이 연결된다.

[0031] 본 발명의 일 실시예에 따른 서브 핵셀(SP)에 포함된 소자들은 다음과 같은 역할을 한다. 제1트랜지스터(T1)는 커패시터들(Cst1, Cst3)에 초기 기준전압(Ref)을 설정해주는 역할을 한다. 제2트랜지스터(T2)는 구동 트랜지스터(DR)의 문턱전압을 센싱하기 위한 스위치 역할을 한다. 제1스위칭 트랜지스터(S1)는 데이터배선(DATA)을 통해 공급된 데이터신호를 제1커패시터(Cst1)와 제3커패시터(Cst3)에 전달하는 역할을 한다. 제2스위칭 트랜지스터(S2)는 유기 발광다이오드(D)의 발광구간을 제어하는 역할을 한다. 구동 트랜지스터(DR)는 제3커패시터(Cst3)에 저장된 데이터전압에 대응하여 구동전류를 발생시키고 이를 이용하여 유기 발광다이오드(D)를 발광시키는 역할을 한다. 제1커패시터(Cst1)는 데이터신호(Data)를 데이터전압으로 저장하고 제3커패시터(Cst3)에 기준전압(Ref)을 형성해주는 역할을 한다. 제2커패시터(Cst2)는 구동 트랜지스터(DR)의 문턱전압 센싱을 위하여 구동 트랜지스터(DR)의 드레인 전극이 일정 전압 이상으로 형성되도록 제2트랜지스터(T2)의 커플링(Coupling) 커패시터 역할을 한다. 즉, 제2커패시터(Cst2)는 구동 트랜지스터(DR)의 문턱전압이 불안정하게 센싱되는 문제를 방지하

는 역할을 한다. 제3커패시터(Cst3)는 구동 트랜지스터(DR)의 문턱전압을 저장하고 구동 트랜지스터(DR)의 게이트 전극에 문턱전압과 데이터전압을 합한 전압에 대응되는 구동전류를 공급하는 역할을 한다.

[0032] 한편, 본 발명의 일 실시예에서는 서브 픽셀(SP)에 포함된 트랜지스터들(S1, S2, T1, T2, DR)이 N-type으로 형성된 것을 일례로 하였지만 이는 P-type 등으로 형성될 수도 있다. 그리고 본 발명의 일 실시예에서는 서브 픽셀(SP)에 포함된 트랜지스터들(S1, S2, T1, T2, DR)의 접속관계를 설명하기 위해 제1전극 및 제2전극으로 표현하였지만, 이는 소오스 전극 및 드레인 전극을 의미하며 접속관계에 따라 드레인 전극 및 소오스 전극으로 변경될 수도 있다.

[0033] 이하 본 발명의 일 실시예에 따른 서브 픽셀의 동작에 대해 더욱 자세히 설명한다.

[0034] 도 4는 서브 픽셀의 구동 파형도이다.

[0035] 도 3 및 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 서브 픽셀은 센싱 및 데이터전압 저장구간, 발광구간 및 비발광구간으로 동작한다. 여기서, 센싱신호(Sense_n)가 공급되는 시간은 스캔신호(Scan_n)가 공급되는 시간보다 앞선다. 그리고 센싱신호(Sense)는 1 프레임 동안 적어도 2회로 구분되어 공급된다. 따라서, 센싱신호(Sense)는 필요에 따라 2회, 3회 .. N회 등으로 공급될 수 있다.

[0036] 센싱배선(SENSE)을 통해 적어도 2회로 구분되어 센싱신호(Sense_n)가 공급(2회로 구분된 로직 하이)되면 제1트랜지스터(T1)는 이에 응답하여 턴온된다.(센싱단계) 이때, 기준전압배선(REF)을 통해 공급된 기준전압(Ref)은 제1트랜지스터(T1)에 의해 제1커패시터(Cst1)와 제3커패시터(Cst3)에 저장된다. 그리고 제2트랜지스터(T2) 또한 2회로 구분되어 공급된 센싱신호(Sense_n)에 응답하여 턴온되고 구동 트랜지스터(DR)의 게이트 전극과 드레인 전극을 다이오드 연결 상태로 전환시킨다.(센싱단계) 이때, 구동 트랜지스터(DR)의 문턱전압은 제2트랜지스터(T2)에 의해 제3커패시터(Cst3)에 저장된다. 여기서, 제1센싱신호(Sen1)는 이전 프레임 동안 서브 픽셀에 저장된 데이터전압을 클리어 시키는 역할을 하고 제2센싱신호(Sen2)는 구동 트랜지스터(DR)의 문턱전압이 정확히 센싱되도록 하는 역할을 한다. 그리고 제1센싱신호(Sen1)와 제2센싱신호(Sen2)의 폭은 같거나 다를 수 있다. 제1센싱신호(Sen1)와 제2센싱신호(Sen2)의 폭이 다른 경우, 제1센싱신호(Sen1)의 폭이 제2센싱신호(Sen2)의 폭보다 길 수 있다.

[0037] 스캔배선(SCAN)을 통해 스캔신호(Scan_n)가 공급(로직 하이)되면 제1스위칭 트랜지스터(S1)는 이에 응답하여 턴온된다.(데이터전압 저장단계) 이때, 데이터배선(DATA)을 통해 공급된 데이터신호(Data)는 제1커패시터(Cst1)와 제3커패시터(Cst3)에 데이터전압으로 저장된다. 이에 따라, 제3커패시터(Cst3)에는 제1커패시터(Cst1)에 데이터전압, 제3커패시터(Cst3)에 저장된 구동 트랜지스터(DR)의 문턱전압이 수렴된 형태의 데이터전압이 최종적으로 저장된다.

[0038] 신호배선(EM)을 통해 발광신호(Em_n)가 공급(로직 하이)되고 스캔신호(Scan_n)가 차단(로직 로우)되면 제2스위칭 트랜지스터(S2)는 이에 응답하여 턴온된다.(발광단계) 이때, 제1전원배선(VDD)을 통해 공급된 고 전위전압(Vdd)은 제2스위칭 트랜지스터(S2)가 턴온된 시간만큼 구동 트랜지스터(DR)에 공급된다. 이에 따라, 구동 트랜지스터(DR)는 제3커패시터(Cst3)에 저장된 데이터전압에 대응되는 구동전류를 제2스위칭 트랜지스터(S2)가 턴온된 시간만큼 유기 발광다이오드(D)에 공급하게 되고 유기 발광다이오드(D)는 이에 대응되어 발광을 하게 된다.

[0039] 위와 같은 방법으로 제N번째의 서브 픽셀이 센싱 및 데이터전압 저장구간, 발광구간 및 비발광구간 순으로 동작하고 나면 제N+1번째의 서브 픽셀이 앞서 설명한 바와 같은 형태의 신호들(Sense_n+1, Scan_N+1, Em_n+1)에 의해 센싱 및 데이터전압 저장구간, 발광구간 및 비발광구간 순으로 동작하게 된다.

[0040] 이하, 센싱구간 내지 비발광구간에 대해 시뮬레이션 파형도를 참조하여 더욱 자세히 설명한다.

[0041] 도 5는 본 발명의 일 실시예에 따른 서브 픽셀의 시뮬레이션 파형도이다.

[0042] 도 3 및 도 5에 도시된 바와 같이, 실시예에서는 1 프레임 내에서 발광구간을 60%로 하고, 비발광구간을 40%로 동작하도록 하였는데, 발광구간과 비발광구간 간의 경계는 발광신호(Em_n)에 의해 정의됨을 알 수 있다. 발광구간과 비발광구간의 비율은 제2스위칭 트랜지스터(S2)에 공급되는 발광신호(Em_n)에 의해 가변될 수 있다. 실시예에서 제2스위칭 트랜지스터(S2)의 턴 오프 시간과 턴 온 시간의 비율을 1 프레임 구간 내에서 1/9 ~ 9/1로 동작시킬 수 있다. 제2스위칭 트랜지스터(S2)의 턴 오프 시간과 턴 온 시간의 비율을 1/9로 하면 비교적 짧은 시

간 동안 서브 픽셀에 포함된 트랜지스터들에 네거티브 전압을 공급하는 NDI(Negative Data Insertion)효과를 얻을 수 있게 된다. 또한 제2스위칭 트랜지스터(S2)의 턴 오프 시간과 턴 온 시간의 비율을 9/1로 하면 플리커(Flicker) 발생을 방지하면서 NDI를 실시할 수 있게 된다.

[0043] 실시예에서는 센싱구간이 비발광구간의 후(달리 설명하면 발광구간의 전)에 이루어짐을 알 수 있다. 센싱구간을 확대한 도면을 참조하면 노드들(n1~n3)의 피크(peak) 전압 파형이 도시된다. 센싱신호(Sense_n)가 로직 로우에서 로직 하이로 바뀌는 시점을 참조하면 제1노드(n1)의 전압은 제1트랜지스터(T1)의 기준전압(Ref)으로 수렴되는 것을 알 수 있다. 그리고 제3노드(n3)의 전압은 커플링 커페시터인 제2커페시터(Cst2)의 영향으로 높은 전압 레벨까지 상승하였다가 제2트랜지스터(T2)의 턴온에 의해 구동 트랜지스터(DR)의 문턱전압 레벨로 수렴되는 것을 알 수 있다. 그리고 제2노드(n2)의 전압은 제2트랜지스터(T2)의 기생 커페시터(Cgs)의 영향으로 포지티브 방향으로 약간 상승하였다가 제3트랜지스터(T3)의 턴온에 의해 제3노드(n3)와 동일하게 구동 트랜지스터(DR)의 문턱전압 레벨로 수렴되는 것을 알 수 있다. 위와 같은 형태로 노드들(n1~n3)의 전압이 수렴됨에 따라 제3커페시터(Cst3)에는 구동 트랜지스터(DR)의 문턱전압에 대응되는 데이터전압이 저장된다.

[0044] 한편, 실시예에서 제2커페시터(Cst2)의 용량은 일반적으로 제2트랜지스터(T2)의 게이트 전극과 제2노드(n2) 사이에 형성되는 커페시터(Cgs)의 용량 대비 2 ~ 5배일 수 있다. 제2커페시터(Cst2)의 용량이 앞서 설명한 커페시터(Cgs)의 용량 대비 2 ~ 5배가 되면 구동 트랜지스터(DR)의 문턱전압을 고려하여 센싱 전압을 설정할 수 있게 된다. 예컨대, 커페시터(Cgs)의 용량이 0.2pF ~ 0.5pF일 경우, 제2커페시터(Cst2)의 용량은 0.4pF ~ 2.5pF으로 선택될 수 있다.

[0045] 이하, 실시예와 비교예 간의 단위 픽셀의 레이아웃에 따른 개구면적 차에 대해 비교 설명한다.

[0046] 도 6은 본 발명의 실시예에 의해 구성된 단위 픽셀과 비교예에 의해 구성된 단위 픽셀의 레이아웃 비교도이다.

[0047] 도 6에 도시된 바와 같이, 실시예(b)의 단위 픽셀(SP1~SP3)의 개구면적은 종래(a)의 7T1C의 단위 픽셀(SP1~SP3) 구조 대비했을 때, 적색 및 녹색 서브 픽셀(SP1, SP2)은 대략 22% 정도 넓게 구현할 수 있었고, 청색 서브 픽셀(SP3)은 대략 32% 정도 넓게 구현할 수 있었다. 이에 따르면, 향후 대화면 설계시 인치당 픽셀 수(ppi)가 더 낮아질 것으로 예상되므로 개구면적을 더욱 크게 구성할 수 있을 것이다.

[0048] 또한, 실시예에서는 제2트랜지스터(T2)에 형성되는 기생 커페시터의 영역(드레인 영역과 게이트 영역의 면적)을 조정하여 제2커페시터(Cst2)인 커플링 커페시터를 형성하여 개구면적을 더욱 증가시킬 수 있었다. 또한, 실시예(b)의 단위 픽셀(SP1~SP3)은 구동 트랜지스터(DR)의 문턱전압이 시프트되더라도 제2커페시터(Cst2)가 이를 수용할 수 있는 크기로 형성(또는 추가)하여 블랙(black)에서의 휘도를 최소화하여 대비비(contrast ratio)를 확보할 수 있었다. 또한, 실시예(b)의 단위 픽셀(SP1~SP3)은 구동 트랜지스터(DR)의 문턱전압이 시프트되는 것에 대응하여 이를 센싱할 수 있도록 설계할 수 있었다.

[0049] 이상 본 발명은 문턱전압 시프트에 따른 구동전류 감소를 방지하고 소자의 장수명을 도모함과 동시에 표시품질을 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 적어도 2회에 걸쳐 이전 데이터전압을 클리어하고 문턱전압을 정확히 센싱하도록 구성하여 문턱전압 보상회로 설계시 수반되는 개구면적 저하를 방지할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명은 아몰포스 실리콘 트랜지스터를 기반으로 하는 소자 제작시 발생하는 문턱전압 시프트에 따른 문제를 개선할 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

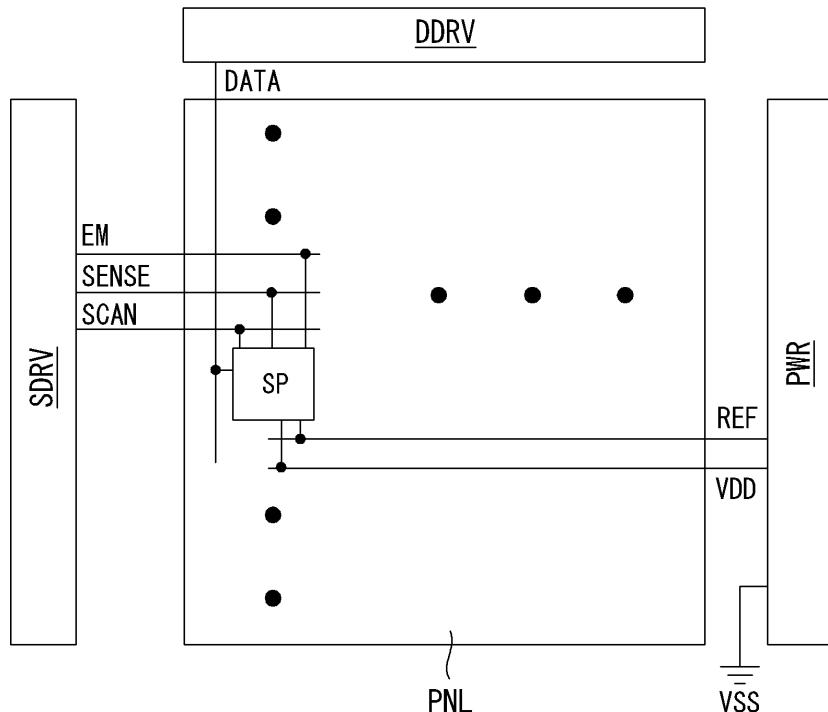
[0050] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

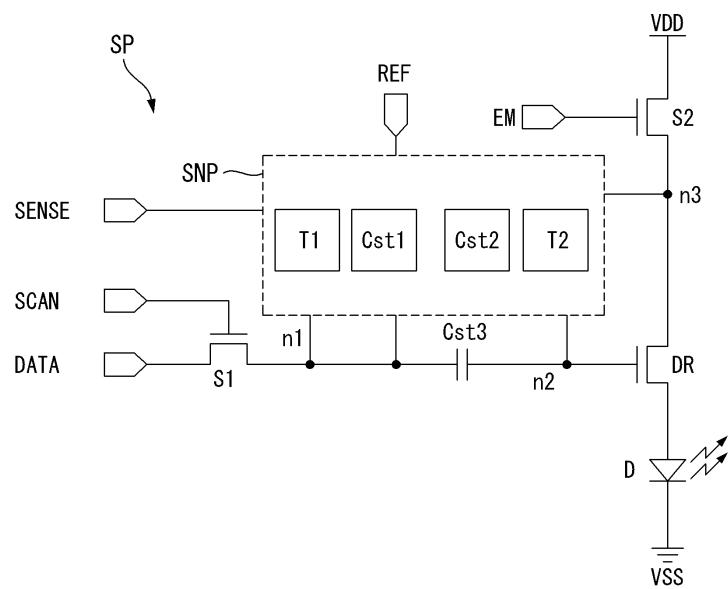
- [0051] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- [0052] 도 2는 서브 광셀의 개략적인 구성도.
- [0053] 도 3은 본 발명의 일 실시예에 따른 서브 광셀의 상세 회로 구성도.
- [0054] 도 4는 서브 광셀의 구동 파형도.
- [0055] 도 5는 본 발명의 일 실시예에 따른 서브 광셀의 시뮬레이션 파형도.
- [0056] 도 6은 본 발명의 실시예에 의해 구성된 단위 광셀과 비교예에 의해 구성된 단위 광셀의 헤이아웃 비교도.
- [0057] <도면의 주요 부분에 관한 부호의 설명>
- [0058] DDRV: 테이터구동부 SDRV: 스캔구동부
- [0059] PWR: 전원공급부 PNL: 표시패널
- [0060] T1: 제1트랜지스터 T2: 제2트랜지스터
- [0061] S1: 제1스위칭 트랜지스터 S2: 제2스위칭 트랜지스터
- [0062] DR: 구동 트랜지스터 D: 유기 발광다이오드
- [0063] SNP: 센서회로부

도면

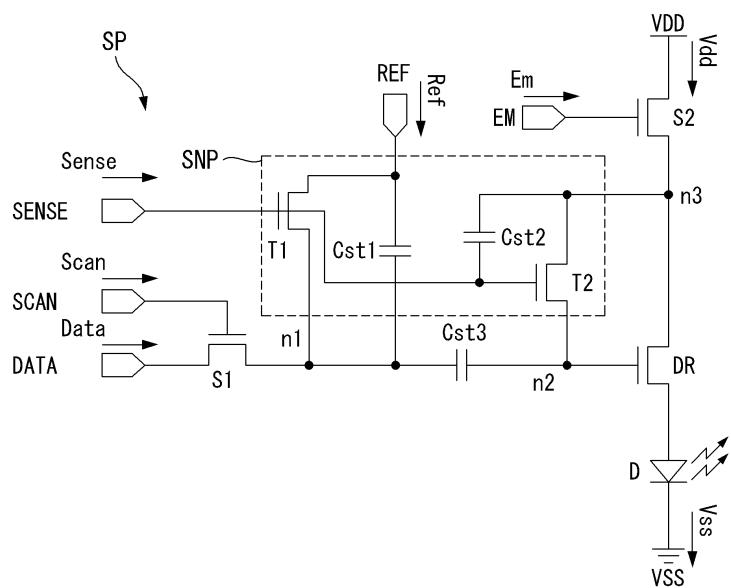
도면1

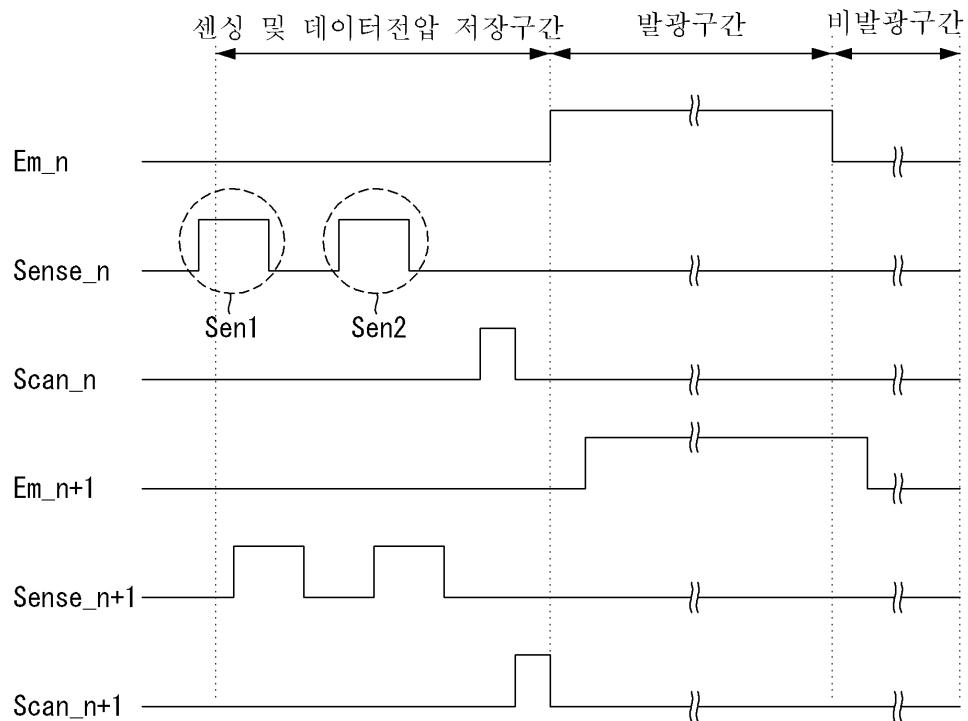


도면2

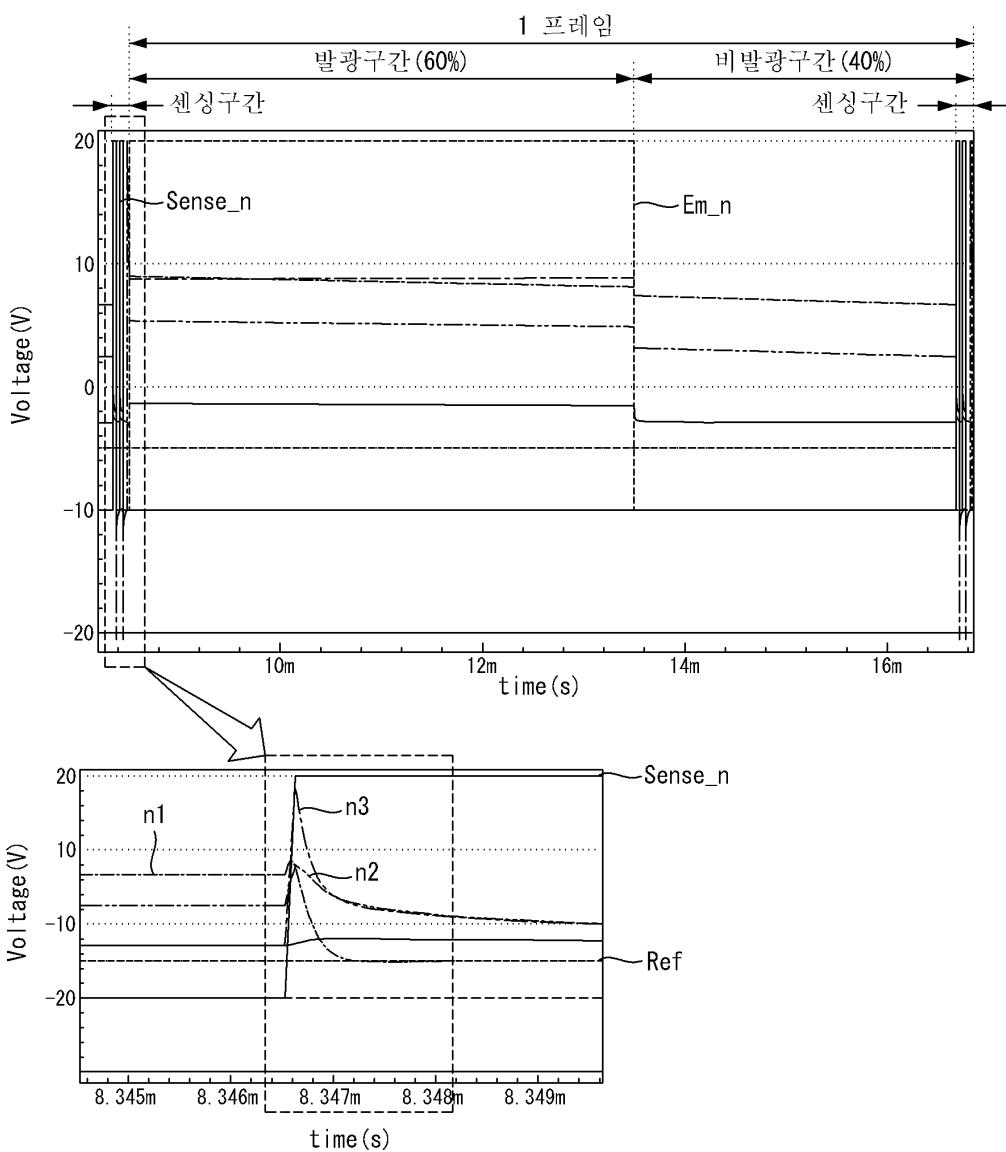


도면3

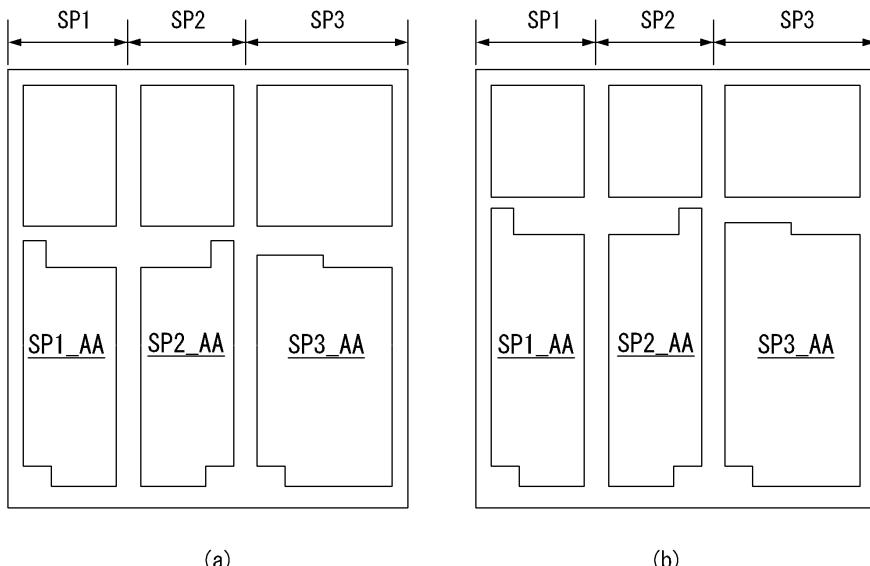


도면4

도면5



도면6



(a)

(b)

专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020110078435A	公开(公告)日	2011-07-07
申请号	KR1020090135248	申请日	2009-12-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HAK SU 김학수 HONG YOUNG JUN 홍영준 KANG CHANG HEON 강창현		
发明人	김학수 홍영준 강창현		
IPC分类号	G09G3/30 G09G3/20		
外部链接	Espacenet		

摘要(译)

一种传感器电路部分，包括第二电容器，用于在第一电容器中存储参考电压，并响应于提供至少两次的感测信号施加高于驱动晶体管的阈值电压的电压;第一开关晶体管，用于响应扫描信号将数据信号作为数据电压存储在第一电容器和第三电容器中;以及第二开关晶体管，用于响应于发光信号调节用于向驱动晶体管提供高电位电压的时间。

