



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0026660  
(43) 공개일자 2011년03월16일

(51) Int. Cl.

G09G 3/30 (2006.01) G09G 3/20 (2006.01)

(21) 출원번호 10-2009-0084411

(22) 출원일자 2009년09월08일

심사청구일자 2009년09월08일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

정경훈

경기도 용인시 기흥구 농서동 산24번지

(74) 대리인

신영무

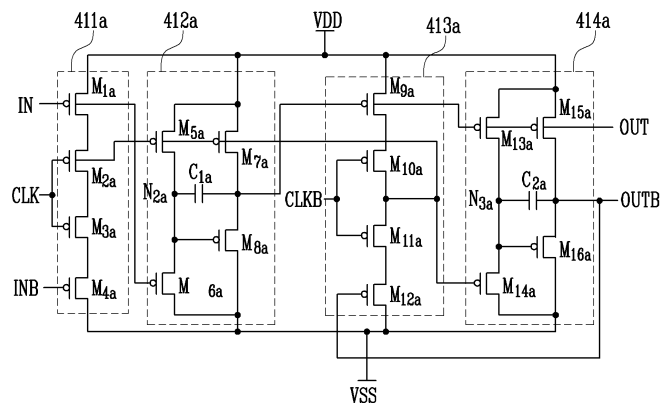
전체 청구항 수 : 총 21 항

#### (54) 발광제어구동부 및 그를 이용한 유기전계발광표시장치

##### (57) 요약

본 발명은 제 1 전원과 제 2 전원을 전달받아 구동하여 발광제어신호를 생성하는 복수의 스테이지 포함하되, 상기 스테이지는 입력신호, 클럭신호, 부입력신호, 상기 제 1 전원, 제 2 전원에 대응하여 제 1 출력신호를 생성하는 제 1 신호처리부; 상기 제 1 출력신호와 상기 입력신호에 대응하여 상기 제 1 출력신호를 인버팅한 상기 발광제어신호를 출력하는 제 2 신호처리부; 상기 제 1 신호처리부에서 상기 클럭신호에 의해 상기 제 1 전원과 상기 제 2 전원이 전달되지 않으면, 상기 제 1 전원 또는 상기 제 2 전원을 상기 발광제어신호, 부클럭신호 및 상기 발광제어신호가 인버팅된 신호에 대응하여 상기 제 1 신호처리부에 상기 제 1 전원 또는 제 2 전원을 전달하는 제 3 신호처리부; 및 상기 발광제어신호, 상기 제 1 출력신호에 대응하여 부발광제어신호를 출력하는 제 4 신호처리부를 포함하는 발광제어구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

대표도 - 도4



## 특허청구의 범위

### 청구항 1

제 1 전원과 제 2 전원을 전달받아 구동하여 발광제어신호를 생성하는 복수의 스테이지 포함하되,

상기 스테이지는

입력신호, 클럭신호, 부입력신호, 상기 제 1 전원, 제 2 전원에 대응하여 제 1 출력신호를 생성하는 제 1 신호처리부;

상기 제 1 출력신호와 상기 입력신호에 대응하여 상기 제 1 출력신호를 인버팅한 상기 발광제어신호를 출력하는 제 2 신호처리부;

상기 제 1 신호처리부에서 상기 클럭신호에 의해 상기 제 1 전원과 상기 제 2 전원(VSS)이 전달되지 않으면, 상기 제 1 전원 또는 상기 제 2 전원을 상기 발광제어신호, 부클럭신호 및 상기 발광제어신호가 인버팅된 신호에 대응하여 상기 제 1 신호처리부에 상기 제 1 전원 또는 제 2 전원을 전달하는 제 3 신호처리부; 및

상기 발광제어신호, 상기 제 1 출력신호에 대응하여 부발광제어신호를 출력하는 제 4 신호처리부를 포함하는 발광제어구동부.

### 청구항 2

제 1 항에 있어서,

상기 제 1 신호처리부는 제 1 내지 제 4 트랜지스터를 포함하며,

상기 제 1 트랜지스터는 소스가 상기 제 1 전원에 전달되고 드레인이 상기 제 2 트랜지스터의 소스에 연결되며 게이트가 상기 입력신호가 입력되는 입력신호단에 연결되고,

상기 제 2 트랜지스터는 소스가 상기 제 1 트랜지스터의 드레인에 연결되고 드레인이 상기 제 1 출력신호가 출력되는 제 1 노드에 연결되며 게이트가 상기 클럭신호가 입력되는 클럭단에 연결되고,

상기 제 3 트랜지스터는 소스가 상기 제 1 노드에 연결되고 드레인이 상기 제 4 노드의 소스에 연결되며 게이트가 상기 클럭단에 연결되며,

상기 제 4 트랜지스터는 소스가 상기 제 3 트랜지스터의 드레인에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 부입력신호가 입력되는 부입력신호단에 연결되는 발광제어구동부.

### 청구항 3

제 1 항에 있어서,

상기 제 2 신호처리부는 제 5 트랜지스터 내지 제 8 트랜지스터와 제 1 캐패시터를 포함하며,

상기 제 5 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 제 2 노드에 연결되며 게이트가 상기 제 1 출력신호가 전달되고,

상기 제 6 트랜지스터는 소스가 상기 제 2 노드에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 입력신호가 전달되는 입력신호단에 연결되고,

상기 제 7 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 1 출력신호를 인버팅하여 상기 발광제어신호를 출력하는 출력단에 연결되며 게이트가 상기 제 출력신호가 전달되고,

상기 제 8 트랜지스터는 소스가 상기 출력단에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 2 노드에 연결되며,

상기 제 1 캐패시터는 제 1 전극이 상기 제 2 노드에 연결되고 제 2 전극이 상기 출력단에 연결되는 발광제어구동부.

#### 청구항 4

제 1 항에 있어서,

상기 제 3 신호처리부는 제 9 트랜지스터 내지 제 12 트랜지스터를 포함하며,

상기 제 9 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 10 트랜지스터의 소스에 연결되고 게이트에 상기 발광제어신호가 출력되는 출력단에 연결되고,

상기 제 10 트랜지스터는 소스가 상기 제 9 트랜지스터의 드레인에 연결되고 드레인이 상기 제 11 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭신호가 출력되는 부클럭단에 연결되고,

상기 제 11 트랜지스터는 소스가 상기 제 10 트랜지스터의 드레인에 연결되고 드레인이 상기 제 12 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭단에 연결되며,

상기 제 12 트랜지스터는 소스가 상기 제 11 트랜지스터의 소스에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 발광제어신호가 인버팅된 신호를 전달받는 발광제어구동부.

#### 청구항 5

제 1 항에 있어서,

상기 제 3 신호처리부는

상기 제 3 신호처리부는 제 9 트랜지스터 내지 제 12 트랜지스터를 포함하며,

상기 제 9 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 10 트랜지스터의 소스에 연결되고 게이트에 상기 발광제어신호가 출력되는 출력단에 연결되고,

상기 제 10 트랜지스터는 소스가 상기 제 9 트랜지스터의 드레인에 연결되고 드레인이 상기 제 11 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭신호가 출력되는 부클럭단에 연결되고,

상기 제 11 트랜지스터는 소스가 상기 제 10 트랜지스터의 드레인에 연결되고 드레인이 상기 제 12 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭단에 연결되며,

상기 제 12 트랜지스터는 소스가 상기 제 11 트랜지스터의 소스에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 1 출력신호를 전달받는 발광제어구동부.

#### 청구항 6

제 1 항에 있어서,

상기 제 4 신호처리부는 제 13 트랜지스터 내지 제 16 트랜지스터와 제 2 캐패시터를 포함하되,

상기 제 13 트랜지스터는 소스가 제 1 전원에 연결되고 드레인이 제 3 노드에 연결되며 게이트가 상기 출력단에 연결되고,

상기 제 14 트랜지스터는 소스가 상기 제 3 노드에 연결되고 드레인이 상기 제 2 전원(VSS)에 연결되며 게이트가 상기 제 1 출력신호를 전달받고,

상기 제 15 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 부발광제어신호를 출력하는 부출력단에 연결되며 게이트가 상기 발광제어신호를 출력하는 출력단에 연결되고

상기 제 16 트랜지스터는 소스가 상기 부출력단에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 3 노드에 연결되고,

상기 제 2 캐패시터는 상기 제 3 노드와 상기 부출력단 사이에 연결되는 발광제어구동부.

## 청구항 7

제 3 항에 있어서,

상기 제 2 노드에 소스가 연결되고 상기 제 6 트랜지스터의 소스에 드레인이 연결되며 상기 클럭단에 게이트가 연결되는 제 17 트랜지스터를 더 포함하는 발광제어구동부.

## 청구항 8

제 7 항에 있어서,

상기 제 3 신호처리부는

상기 제 3 신호처리부는 제 9 트랜지스터 내지 제 12 트랜지스터를 포함하며,

상기 제 9 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 10 트랜지스터의 소스에 연결되고 게이트에 상기 발광제어신호가 출력되는 출력단에 연결되고,

상기 제 10 트랜지스터는 소스가 상기 제 9 트랜지스터의 드레인에 연결되고 드레인이 상기 제 11 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭신호가 출력되는 부클럭단에 연결되고,

상기 제 11 트랜지스터는 소스가 상기 제 10 트랜지스터의 드레인에 연결되고 드레인이 상기 제 12 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭단에 연결되며,

상기 제 12 트랜지스터는 소스가 상기 제 11 트랜지스터의 소스에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 1 출력신호를 전달받는 발광제어구동부.

## 청구항 9

제 3 항에 있어서,

상기 제 5 트랜지스터의 채널 영역의 폭/길이의 비가 상기 제 6 트랜지스터의 채널 영역의 폭/길이의 비보다 더 크게 구현되는 발광제어구동부.

## 청구항 10

주사선, 발광제어선, 데이터선에 의해 정의되는 영역에 형성되는 화소를 포함하는 화소부;

상기 주사선에 주사신호를 전달하는 주사구동부;

상기 발광제어선에 발광제어신호를 전달하는 발광제어구동부;

상기 데이터선에 데이터신호를 전달하는 데이터구동부; 및

상기 주사구동부, 상기 발광제어구동부 및 상기 데이터구동부를 제어하는 제어신호를 생성하는 제어부를 포함하고,

상기 발광제어구동부는

제 1 전원과 제 2 전원을 전달받아 구동하여 발광제어신호를 생성하는 복수의 스테이지 포함하되,

상기 스테이지는

입력신호, 클럭신호, 부입력신호, 상기 제 1 전원, 제 2 전원에 대응하여 제 1 출력신호를 생성하는 제 1 신호처리부;

상기 제 1 출력신호와 상기 입력신호에 대응하여 상기 제 1 출력신호를 인버팅한 상기 발광제어신호를 출력하는 제 2 신호처리부;

상기 제 1 신호처리부에서 상기 클럭신호에 의해 상기 제 1 전원과 상기 제 2 전원이 전달되지 않으면, 상기

제 1 전원 또는 상기 제 2 전원을 상기 발광제어신호, 부클럭신호 및 상기 발광제어신호가 인버팅된 신호에 대응하여 상기 제 1 신호처리부에 상기 제 1 전원 또는 제 2 전원을 전달하는 제 3 신호처리부; 및  
상기 발광제어신호, 상기 제 1 출력신호에 대응하여 부발광제어신호를 출력하는 제 4 신호처리부를 포함하는 유기전계발광표시장치.

#### 청구항 11

제 10 항에 있어서,

상기 제 1 신호처리부는 제 1 내지 제 4 트랜지스터를 포함하며,

상기 제 1 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 2 트랜지스터의 소스에 연결되며 게이트가 상기 입력신호가 입력되는 입력신호단에 연결되고,

상기 제 2 트랜지스터는 소스가 상기 제 1 트랜지스터의 드레인에 연결되고 드레인이 상기 제 1 출력신호가 출력되는 제 1 노드에 연결되며 게이트가 상기 클럭신호가 입력되는 클럭단에 연결되고,

상기 제 3 트랜지스터는 소스가 상기 제 1 노드에 연결되고 드레인이 상기 제 4 노드의 소스에 연결되며 게이트가 상기 클럭단에 연결되며,

상기 제 4 트랜지스터는 소스가 상기 제 3 트랜지스터의 드레인에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 부입력신호가 입력되는 부입력신호단에 연결되는 유기전계발광표시장치.

#### 청구항 12

제 10 항에 있어서,

상기 제 2 신호처리부는 제 5 트랜지스터 내지 제 8 트랜지스터와 제 1 캐패시터를 포함하며,

상기 제 5 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 제 2 노드에 연결되며 게이트가 상기 제 1 출력신호가 전달되고,

상기 제 6 트랜지스터는 소스가 상기 제 2 노드에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 입력신호가 전달되는 입력신호단에 연결되고,

상기 제 7 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 1 출력신호를 인버팅하여 상기 발광제어신호를 출력하는 출력단에 연결되며 게이트가 상기 제 출력신호가 전달되고,

상기 제 8 트랜지스터는 소스가 상기 출력단에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 2 노드에 연결되며,

상기 제 1 캐패시터는 제 1 전극이 상기 제 2 노드에 연결되고 제 2 전극이 상기 출력단에 연결되는 유기전계발광표시장치.

#### 청구항 13

제 10 항에 있어서,

상기 제 3 신호처리부는 제 9 트랜지스터 내지 제 12 트랜지스터를 포함하며,

상기 제 9 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 10 트랜지스터의 소스에 연결되고 게이트에 상기 발광제어신호가 출력되는 출력단에 연결되고,

상기 제 10 트랜지스터는 소스가 상기 제 9 트랜지스터의 드레인에 연결되고 드레인이 상기 제 11 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭신호가 출력되는 부클럭단에 연결되고,

상기 제 11 트랜지스터는 소스가 상기 제 10 트랜지스터의 드레인에 연결되고 드레인이 상기 제 12 트랜지스터

의 소스에 연결되며 게이트가 상기 부클럭단에 연결되며,

상기 제 12 트랜지스터는 소스가 상기 제 11 트랜지스터의 소스에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 발광제어신호가 인버팅된 신호를 전달받는 유기전계발광표시장치.

#### 청구항 14

제 10 항에 있어서,

상기 제 3 신호처리부는

상기 제 3 신호처리부는 제 9 트랜지스터 내지 제 12 트랜지스터를 포함하며,

상기 제 9 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 10 트랜지스터의 소스에 연결되고 게이트에 상기 발광제어신호가 출력되는 출력단에 연결되고,

상기 제 10 트랜지스터는 소스가 상기 제 9 트랜지스터의 드레인에 연결되고 드레인이 상기 제 11 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭신호가 출력되는 부클럭단에 연결되고,

상기 제 11 트랜지스터는 소스가 상기 제 10 트랜지스터의 드레인에 연결되고 드레인이 상기 제 12 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭단에 연결되며,

상기 제 12 트랜지스터는 소스가 상기 제 11 트랜지스터의 소스에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 1 출력신호를 전달받는 유기전계발광표시장치.

#### 청구항 15

제 10 항에 있어서,

상기 제 4 신호처리부는 제 13 트랜지스터 내지 제 16 트랜지스터와 제 2 캐패시터를 포함하되,

상기 제 13 트랜지스터는 소스가 제 1 전원에 연결되고 드레인이 제 3 노드에 연결되며 게이트가 상기 출력단에 연결되고,

상기 제 14 트랜지스터는 소스가 상기 제 3 노드에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 1 출력신호를 전달받고,

상기 제 15 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 부발광제어신호를 출력하는 부출력단에 연결되며 게이트가 상기 발광제어신호를 출력하는 출력단에 연결되고

상기 제 16 트랜지스터는 소스가 상기 부출력단에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 3 노드에 연결되고,

상기 제 2 캐패시터는 상기 제 3 노드와 상기 부출력단 사이에 연결되는 유기전계발광표시장치.

#### 청구항 16

제 12 항에 있어서,

상기 제 2 노드에 소스가 연결되고 상기 제 6 트랜지스터의 소스에 드레인이 연결되며 상기 클럭단에 게이트가 연결되는 제 17 트랜지스터를 더 포함하는 유기전계발광표시장치.

#### 청구항 17

제 16 항에 있어서,

상기 제 3 신호처리부는

상기 제 3 신호처리부는 제 9 트랜지스터 내지 제 12 트랜지스터를 포함하며,

상기 제 9 트랜지스터는 소스가 상기 제 1 전원에 연결되고 드레인이 상기 제 10 트랜지스터의 소스에 연결되고 게이트에 상기 발광제어신호가 출력되는 출력단에 연결되고,

상기 제 10 트랜지스터는 소스가 상기 제 9 트랜지스터의 드레인에 연결되고 드레인이 상기 제 11 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭신호가 출력되는 부클럭단에 연결되고,

상기 제 11 트랜지스터는 소스가 상기 제 10 트랜지스터의 드레인에 연결되고 드레인이 상기 제 12 트랜지스터의 소스에 연결되며 게이트가 상기 부클럭단에 연결되며,

상기 제 12 트랜지스터는 소스가 상기 제 11 트랜지스터의 소스에 연결되고 드레인이 상기 제 2 전원에 연결되며 게이트가 상기 제 1 출력신호를 전달받는 유기전계발광표시장치.

#### 청구항 18

제 12 항에 있어서,

상기 제 5 트랜지스터의 채널 영역의 폭/길이의 비가 상기 제 6 트랜지스터의 채널 영역의 폭/길이의 비보다 더 크게 구현되는 유기전계발광표시장치.

#### 청구항 19

제 10 항에 있어서,

상기 발광제어신호는 상기 발광제어선 중 2 개의 발광제어선에 전달되는 유기전계발광표시장치.

#### 청구항 20

제 10 항에 있어서,

상기 발광제어신호는 상기 발광제어선 중 하나의 발광제어선에 전달되는 유기전계발광표시장치.

#### 청구항 21

제 10 항에 있어서,

상기 제어부는 상기 입력신호, 부입력신호, 클럭신호, 부클럭신호를 생성하되, 상기 입력신호와 상기 부입력신호의 펄스폭을 조절하는 유기전계발광표시장치.

### 명세서

#### 발명의 상세한 설명

#### 기술분야

[0001] 본 발명은 발광제어구동부 및 그를 이용한 유기전계발광표시장치에 관한 것으로, 더욱 상세히 설명하면, 발광제어신호의 펄스폭과 펄스의 수를 조절할 수 있는 발광제어구동부 및 그를 이용한 유기전계발광표시장치에 관한 것이다.

[0002]

#### 배경기술

- [0003] 평판 표시장치는 기관 상에 매트릭스 형태로 복수의 화소를 배치하여 표시영역으로 하고, 각 화소에 주사선과 데이터선을 연결하여 화소에 데이터신호를 선택적으로 인가하여 디스플레이를 한다.
- [0004] 평판 표시장치는 화소의 구동방식에 따라 패시브(Passive) 매트릭스형 발광 표시장치와 액티브(Active) 매트릭스형 발광 표시장치로 구분되며, 해상도, 콘트라스트, 동작속도의 관점에서 단위 화소 마다 선택하여 점등하는 액티브 매트릭스형이 주류가 되고 있다.
- [0005] 이러한 평판 표시장치는 퍼스널 컴퓨터, 휴대전화기, PDA 등의 휴대 정보단말기 등의 표시장치나 각종 정보기기의 모니터로서 사용되고 있으며, 액정 패널을 이용한 LCD, 유기발광소자를 이용한 유기전계발광표시장치, 플라스마 패널을 이용한 PDP 등이 알려져 있다.
- [0006] 최근에 음극선관과 비교하여 무게와 부피가 작은 각종 발광 표시장치들이 개발되고 있으며 특히 발광효율, 휘도 및 시야각이 뛰어나며 응답속도가 빠른 유기전계발광표시장치가 주목받고 있다.
- [0007] 도 1은 일반적인 유기전계발광표시장치에서 채용된 화소를 나타내는 회로도이다. 도 1을 참조하여 설명하면, 화소는 데이터선(Dm), 주사선(Sn), 발광제어선(En) 및 화소전원선(ELVDD)에 연결되며 제 1 트랜지스터(T1), 제 2 트랜지스터(T2), 제 3 트랜지스터(T3), 캐패시터(Cst) 및 유기발광소자(OLED)를 포함한다.
- [0008] 제 1 트랜지스터(T1)는 소스는 화소전원선(ELVDD)에 연결되고 드레인은 제 3 트랜지스터(T3)의 소스에 연결되며 게이트는 제 1 노드(P)에 연결된다. 제 2 트랜지스터(T2)는 소스는 데이터선(Dm)에 연결되고 드레인은 제 1 노드(P)에 연결되며 게이트는 주사선(Sn)에 연결된다. 제 3 트랜지스터(T3)는 소스는 제 1 트랜지스터(T1)의 드레인에 연결되고 드레인은 유기발광소자(OLED)에 연결되며 게이트는 발광제어선(En)에 연결된다. 캐패시터(Cst)는 제 1 노드(P)와 화소전원선(ELVDD) 사이에 연결되어 소정 시간동안 제 1 노드(P)와 화소전원선(ELVDD) 사이의 전압을 유지하도록 한다. 유기발광소자(OLED)는 애노드 전극과 캐소드 전극 및 발광층을 포함하며 애노드 전극이 제 3 트랜지스터(T3)의 드레인에 연결되고 캐소드 전극이 저전위의 전원(ELVSS)에 연결되어 애노드 전극에서 캐소드 전극으로 전류가 흐르면 발광층에서 빛을 발광하며 전류의 양에 대응하여 밝기가 조절된다.
- [0009] 상기와 같이 구성된 화소회로를 포함하는 유기전계발광표시장치는 발광제어선을 통해 전달되는 발광제어신호의 펄스폭과 펄스의 수를 조절하여 소비전력 등을 개선하는 것이 제안되었다. 이를 달성하기 위해서는 발광제어신호의 펄스폭 및 펄스의 수를 조절할 수 있는 드라이버가 제작되어야 한다.

## 발명의 내용

### 해결 하고자하는 과제

- [0010] 본 발명의 목적은 발광제어신호의 펄스폭과 펄스의 수를 간단히 조절할 수 있는 발광제어구동부 및 그를 이용한 유기전계발광표시장치를 제공하는 것이다.

### 과제 해결수단

- [0011] 상기 목적을 달성하기 위하여 본 발명의 제 1 측면은, 제 1 전원과 제 2 전원을 전달받아 구동하여 발광제어신호를 생성하는 복수의 스테이지 포함하되, 상기 스테이지는 입력신호, 클럭신호, 부입력신호, 상기 제 1 전원, 제 2 전원에 대응하여 제 1 출력신호를 생성하는 제 1 신호처리부; 상기 제 1 출력신호와 상기 입력신호에 대응하여 상기 제 1 출력신호를 인버팅한 상기 발광제어신호를 출력하는 제 2 신호처리부; 상기 제 1 신호처리부에서 상기 클럭신호에 의해 상기 제 1 전원과 상기 제 2 전원이 전달되지 않으면, 상기 제 1 전원 또는 상기 제 2 전원을 상기 발광제어신호, 부클럭신호 및 상기 발광제어신호가 인버팅된 신호에 대응하여 상기 제 1 신호처리부에 상기 제 1 전원 또는 제 2 전원을 전달하는 제 3 신호처리부; 및 상기 발광제어신호, 상기 제 1 출력신호에 대응하여 부발광제어신호를 출력하는 제 4 신호처리부를 포함하는 발광제어구동부를 제공하는 것이다.
- [0012] 상기 목적을 달성하기 위하여 본 발명의 제 2 측면은, 주사선, 발광제어선, 데이터선에 의해 정의되는 영역에 형성되는 화소를 포함하는 화소부; 상기 주사선에 주사신호를 전달하는 주사구동부; 상기 발광제어선에 발광제어신호를 전달하는 발광제어구동부; 상기 데이터선에 데이터신호를 전달하는 데이터구동부; 및 상기 주사구동

부, 상기 발광제어구동부 및 상기 데이터구동부를 제어하는 제어신호를 생성하는 제어부를 포함하고, 상기 발광제어구동부는 제 1 전원과 제 2 전원을 전달받아 구동하여 발광제어신호를 생성하는 복수의 스테이지 포함되, 상기 스테이지는 입력신호, 클럭신호, 부입력신호, 상기 제 1 전원, 제 2 전원에 대응하여 제 1 출력신호를 생성하는 제 1 신호처리부; 상기 제 1 출력신호와 상기 입력신호에 대응하여 상기 제 1 출력신호를 인버팅한 상기 발광제어신호를 출력하는 제 2 신호처리부; 상기 제 1 신호처리부에서 상기 클럭신호에 의해 상기 제 1 전원과 상기 제 2 전원이 전달되지 않으면, 상기 제 1 전원 또는 상기 제 2 전원을 상기 발광제어신호, 부클럭신호 및 상기 발광제어신호가 인버팅된 신호에 대응하여 상기 제 1 신호처리부에 상기 제 1 전원 또는 제 2 전원을 전달하는 제 3 신호처리부; 및 상기 발광제어신호, 상기 제 1 출력신호에 대응하여 부발광제어신호를 출력하는 제 4 신호처리부를 포함하는 유기전계발광표시장치를 제공하는 것이다.

## 효 과

[0013] 본 발명에 의한 발광제어구동부 및 그를 이용한 유기전계발광표시장치는, 발광제어신호의 펄스폭과 펄스의 수를 자유롭게 조절할 수 있어 발광제어신호에 유기발광소자에 전류가 흐르지 않게 되면 블랙신호를 삽입한 것과 같아 잔상을 줄일 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0014] 이하, 본 발명의 실시예를 첨부한 도면을 참조하여 설명하면 다음과 같다.

[0015] 도 2는 본 발명에 따른 유기전계발광표시장치의 제 1 실시예를 나타내는 구조도이다. 도 2를 참조하여 설명하면, 유기전계발광표시장치는 화소부(100), 데이터구동부(200), 주사구동부(300), 발광제어구동부(400) 및 제어부(500)를 포함한다.

[0016] 화소부(100)는  $m$ 개의 데이터선( $D1, D2 \dots D_{m-1}, D_m$ )과  $n$  개의 주사선( $S1, S2 \dots S_{n-1}, S_n$ )과  $n$ 개의 발광제어선( $E1, E2 \dots E_{n-1}, E_n$ )을 포함하며,  $m$ 개 데이터선( $D1, D2 \dots D_{m-1}, D_m$ )과  $n$ 개의 주사선( $S1, S2 \dots S_{n-1}, S_n$ )과  $n$  개의 발광제어선( $E1, E2 \dots E_{n-1}, E_n$ )에 의해 정의되는 영역에 형성되는 복수의 화소(101)를 포함한다. 화소(101)는 화소회로와 유기발광소자를 포함하며, 화소회로에서 복수의 데이터선( $D1, D2 \dots D_{m-1}, D_m$ )을 통해 전달되는 데이터신호와 복수의 주사선( $S1, S2 \dots S_{n-1}, S_n$ )을 통해 전달되는 주사신호에 의해 화소에 흐르는 화소전류를 생성하고  $n$  개의 발광제어선( $E1, E2 \dots E_{n-1}, E_n$ )을 통해 전달되는 발광제어신호에 의해 화소전류가 유기발광소자로 흐르는 것을 제어한다.

[0017] 데이터구동부(200)는  $m$ 개의 데이터선( $D1, D2 \dots D_{m-1}, D_m$ )과 연결되며 데이터신호를 생성하여 한 행 분의 데이터신호를 순차적으로  $m$ 개의 데이터선( $D1, D2 \dots D_{m-1}, D_m$ )에 전달한다.

[0018] 주사구동부(300)는  $n$ 개의 주사선( $S1, S2 \dots S_{n-1}, S_n$ )과 연결되며 주사신호를 생성하여  $n$ 개의 주사선( $S1, S2 \dots S_{n-1}, S_n$ )에 전달한다. 주사신호에 의해 특정한 행이 선택되며 선택된 행에 위치하는 화소(101)에 데이터신호가 전달되어 화소에 데이터신호에 대응하는 전류가 생성된다.

[0019] 발광제어구동부(400)는  $n$ 개의 발광제어선( $E1, E2 \dots E_{n-1}, E_n$ )과 연결되며 발광제어신호를 생성하여  $n$ 개의 발광제어선( $E1, E2 \dots E_{n-1}, E_n$ )에 전달한다. 그리고, 발광제어구동부(400)는 발광제어신호의 펄스폭과 펄스의 수를 조절할 수 있도록 한다. 발광제어선( $E1, E2 \dots E_{n-1}, E_n$ )과 연결되어 있는 화소(101)는 발광제어신호를 전달받아 화소(101)에서 생성된 전류가 발광소자로 흐르도록 하는 시점을 결정한다.

[0020] 제어부(500)는 데이터구동부(200)에 데이터구동제어신호(DCS), 주사구동부(300)에 주사구동제어신호(SCS), 발광제어구동부(400)에 발광제어구동신호(ECS)를 전달하여 데이터구동부(200), 주사구동부(300), 발광제어구동부(400)가 구동을 할 수 있도록 한다. 또한, 제어부(500)는 발광제어구동신호(ECS)를 이용하여 발광제어구동부(400)에서 출력되는 발광제어신호의 펄스폭과 펄스의 수를 조절할 수 있는데, 특히, 발광제어구동신호에 입력되는 발광제어구동신호(ESC) 중 스타트 펄스의 펄스 폭과 펄스의 수를 조절하여 발광제어신호의 펄스폭과 펄스의 수를 조절할 수 있다.

[0021] 도 3은 본 발명에 따른 유기전계발광표시장치에서 채용된 발광제어구동부의 구조를 나타내는 구조도이다. 도 3

을 참조하여 설명하면,

- [0022] 발광제어구동부(400)는 복수의 스테이지(400a, 400b, 400c, 400d...)를 포함하며, 각각의 스테이지(400a, 400b, 400c, 400d...)는 입력신호단(IN), 부입력신호단(INB), 클럭단(CLK), 부클럭단(CLKB)을 통해 신호를 전달받아 순차적으로 발광제어신호를 발생한다. 이때, 첫번째 스테이지(400a)는 입력신호단(IN)과 부입력신호단(INB)에 각각 스타트 펄스와 부스타트 펄스가 전달되고 두번째 스테이지(400b)부터는 입력신호단(IN)과 부입력신호단(INB)에 이전 스테이지의 출력신호와 부출력신호가 전달된다.
- [0023] 이때, 발광제어구동부(400)는 발광제어신호가 출력되는 출력단(01, 02, 03, 04...)에 하나의 발광제어선이 연결되는 것이 일반적이지만 발광제어구동부(400)의 크기를 줄이기 위해 각각의 출력단(01, 02, 03, 04...)에 2 개의 발광제어선이 연결될 수 있다.
- [0024] 도 4는 도 3에 도시된 스테이지의 제 1 실시예를 나타내는 회로도이다. 도 4를 참조하여 설명하면, 스테이지(400a)는 제 1 내지 제 4 트랜지스터 (M1a 내지 M4a)를 포함한다.
- [0025] 제 1 신호처리부(411a)는 제 1 내지 제 4 트랜지스터(M1a 내지 M4a)를 포함한다. 제 1 트랜지스터(M1a)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 트랜지스터(M2a)의 소스에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 2 트랜지스터(M2a)는 소스가 제 1 트랜지스터(M1a)의 드레인에 연결되고 드레인이 제 1 노드(N1a)에 연결되고 게이트가 클럭단(CLK)에 연결된다. 제 3 트랜지스터(M3a)는 소스가 제 1 노드(N1a)에 연결되고 드레인이 제 4 트랜지스터(M4a)의 소스에 연결되며 게이트가 클럭단(CLK)에 연결된다. 제 4 트랜지스터(M4a)는 소스가 제 3 트랜지스터(M3a)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 부입력신호단(INB)에 연결된다.
- [0026] 제 2 신호처리부(412a)는 제 5 내지 제 8 트랜지스터(M5a 내지 M8a)와 제 1 캐패시터(C1a)를 포함한다. 제 5 트랜지스터(M5a)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 노드(N2a)에 연결되며 게이트가 제 1 노드(N1a)에 연결된다. 제 6 트랜지스터(M6a)는 소스가 제 2 노드(N2a)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 7 트랜지스터(M7a)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 출력단(OUT)에 연결되며 게이트가 제 1 노드(N1)에 연결된다. 제 8 트랜지스터(M8a)는 소스가 출력단에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 2 노드(N2a)에 연결된다. 그리고, 제 1 캐패시터(C1a)는 제 1 전극은 제 2 노드(N2)에 연결되고 제 2 전극은 출력단(OUT)에 연결된다.
- [0027] 제 3 신호처리부(413a)는 제 9 내지 제 12 트랜지스터(M9a 내지 M12a)를 포함한다. 제 9 트랜지스터(M9a)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 10 트랜지스터(M10a)의 소스에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 10 트랜지스터(M10a)는 소스가 제 9 트랜지스터(M9a)의 드레인에 연결되고 드레인이 제 1 노드(N1a)에 연결되며 게이트가 부클럭단(CLKB)에 연결된다. 제 11 트랜지스터(M11a)는 소스가 제 1 노드(N1a)에 연결되고 드레인이 제 12 트랜지스터(M12a)의 소스에 연결된다. 제 12 트랜지스터(M12a)는 소스가 제 11 트랜지스터(M11a)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 부출력단(OUTB)에 연결된다.
- [0028] 제 4 신호처리부(414a)는 제 13 트랜지스터 내지 제 16 트랜지스터(M13a 내지 M16a)와 제 2 캐패시터(C2a)를 포함한다. 제 13 트랜지스터(M13a)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 3 노드(N3a)에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 14 트랜지스터(M14a)는 소스가 제 3 노드(N3a)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1a)에 연결된다. 제 15 트랜지스터(M15a)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 부출력단(OUTB)에 연결되고 게이트가 출력단(OUT)에 연결된다. 제 16 트랜지스터(M16a)는 소스가 부출력단(OUTB)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 3 노드(N3a)에 연결된다. 그리고, 제 2 캐패시터(C2a)는 제 1 전극이 제 3 노드(N3a)에 연결되고 제 2 전극이 부출력단(OUTB)에 연결된다.
- [0029] 도 5a 및 도 5b는 도 4에 도시된 스테이지의 동작을 나타내는 타이밍도이다. 도 5a는 도 5b보다 입력신호의 펄스폭이 더 짧게 입력된다. 그리고, 시스템에 세팅, 홀드 타임이 필요하여 입력신호(in)와 부입력신호(/in)가 클럭신호(ck)와 부클럭신호(/ck) 보다 먼저 상승 또는 하강을 한다.
- [0030] 먼저, 도 5a를 참조하여 설명하면, 스테이지(400a)는 입력신호(in), 부입력신호(/in), 클럭신호(ck), 부클럭신호(/ck)를 입력받아 동작한다. 그리고, 하이 상태의 제 1 전원(VDD)과 로우 상태의 제 2 전원(VSS)을 구동전압

으로 전달받는다.

- [0031] 제 1 구간(Td1)에서는 입력신호(in)와 부클럭신호(/ck)가 로우상태이고, 부입력신호(/in)와 클럭신호(ck)가 하이 상태를 유지한다. 제 1 트랜지스터(M1a)와 제 6 트랜지스터(M6a)는 입력신호(in)에 의해 온상태가 된다. 그리고, 제 4 트랜지스터(M4a)는 부입력신호(/in)에 의해 오프 상태가 된다. 또한, 제 2 트랜지스터(M2a) 및 제 3 트랜지스터(M3a)는 클럭신호(ck)에 의해 오프 상태가 된다.
- [0032] 제 6 트랜지스터(M6a)가 온상태가 되면 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흘러 제 2 노드(N2a)가 로우 상태가 되어 제 8 트랜지스터(M8a)가 온상태가 된다. 그리고, 제 5 트랜지스터(M5a), 제 7 트랜지스터(M7a) 및 제 14 트랜지스터(M14a)는 제 1 전원(VDD)이 하이상태이기 때문에 오프 상태가 되어 제 2 노드(N2a)와 출력단(OUT)에 제 1 전원(VDD)이 전달되지 않게 한다. 따라서, 제 2 노드(N2a)와 출력단(OUT)은 로우 상태를 유지하게 된다. 이때, 제 2 노드(N2a)와 출력단(OUT)의 전압이 동일해지면 제 8 트랜지스터(M8a)는 오프 상태가 되어 출력단(OUT)의 전압이 더 이상 낮아지지 않게 되는 문제점이 있다. 이러한 문제점을 해결하기 위해 제 2 노드(N2a)와 출력단(OUT) 사이에 제 1 캐패시터(C1a)를 연결하여 출력단(OUT)의 전압이 낮아진 만큼 제 2 노드(N2a)의 전압이 낮아지도록 하여 출력단(OUT)보다 제 2 노드(N2a)의 전압이 더 낮아지게 된다.
- [0033] 또한, 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 로우상태이기 때문에 온상태가 된다. 이때, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a)는 부클럭신호(/ck)에 의해 온 상태가 된다. 따라서, 제 9 트랜지스터(M9a)와 제 10 트랜지스터(M10a)를 통해 제 1 전원(VDD)이 제 1 노드(N1a)로 전달되어 제 1 노드(N1a)은 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 제 14 트랜지스터(M14a)의 게이트에는 제 1 노드(N1a)의 전압이 전달되기 때문에 제 14 트랜지스터(M14a)는 오프 상태가 된다. 그리고, 제 13 트랜지스터(M13a)와 제 15 트랜지스터(M15a)가 온 상태이기 때문에 제 3 노드(N3a)와 부출력단(OUTB)에는 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 이에 따라, 제 16 트랜지스터(M16a)는 제 3 노드(N3a)가 하이상태이기 때문에 오프 상태가 된다. 따라서, 부출력단(OUTB)은 하이 상태가 된다. 부출력단(OUTB)이 하이상태이면 제 12 트랜지스터(M12a)는 오프 상태가 되어 제 11 트랜지스터(M11a)와 제 2 전원(VSS)이 연결되는 것을 차단한다.
- [0034] 제 2 구간(Td2)에서는 부입력신호(/in)와 클럭신호(ck)가 로우상태이고, 입력신호(in)와 부클럭신호(/ck)가 하이상태를 유지한다. 제 1 트랜지스터(M1a)와 제 6 트랜지스터(M6a)는 입력신호(in)가 하이 상태이기 때문에 오프 상태가 된다. 그리고, 제 2 내지 제 4 트랜지스터(M2a 내지 M4a)는 부입력신호(/in)와 부클럭신호(/ck)가 로우 상태이기 때문에 온 상태가 된다.
- [0035] 제 2 내지 제 4 트랜지스터(M2a 내지 M4a)가 온 상태가 되면 제 1 노드(N1a)에서 제 2 전원(VSS)으로 전류가 흐르게 되어 제 1 노드(N1)는 로우 상태가 된다. 따라서, 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 온상태가 되어 제 2 노드(N2a)와 출력단(OUT)에는 제 1 전원(VDD)이 전달된다. 이때, 제 6 트랜지스터(M6a)는 오프 상태이기 때문에 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단되기 때문에 제 2 노드(N2a)는 하이 상태가 되어 제 8 트랜지스터(M8a) 역시 오프 상태가 된다.
- [0036] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 하이 상태이면, 오프 상태가 된다. 그리고, 제 10 트랜지스터(M10a) 및 제 11 트랜지스터(M11a)는 부클럭신호(/ck)가 하이 상태이기 때문에 오프 상태가 된다. 또한, 제 12 트랜지스터(M12a)는 부출력단(OUTB)과 연결되어 부출력단(OUTB)이 제 1 구간(Td1)에서 하이 상태를 유지하기 때문에 오프 상태가 된다. 이때, 제 14 트랜지스터(M14a)는 제 1 노드(N1)는 로우 상태이기 때문에 온 상태가 된다. 제 14 트랜지스터(M14a)가 온 상태가 되면 제 3 노드(N3a)는 제 2 전원(VSS)이 전달되게 되어 제 16 트랜지스터(M16a) 역시 온 상태가 된다. 따라서, 부출력단(OUTB)에 제 2 전원(VSS)이 전달되기 때문에 부출력단(OUTB)이 로우 상태가 된다. 이때, 제 3 노드(N3a)와 부출력단(OUTB) 사이에 연결되어 있는 제 2 캐패시터(C2a)에 의해 제 3 노드(N3a)와 부출력단(OUTB) 사이의 전압이 유지되도록 하여 제 16 트랜지스터(M16)가 온 상태를 유지할 수 있도록 한다.
- [0037] 제 3 구간(Td3)에서는 입력신호(in)와 클럭신호(ck)가 하이상태이고, 부입력신호(/in)와 부클럭신호(/ck)가 로우상태를 유지한다. 제 1 내지 제 3 트랜지스터(M1a 내지 M3a)는 입력신호와 클럭신호(ck)가 하이 상태이므로 오프상태가 된다. 그리고, 제 4 트랜지스터(M4a)는 부입력신호(/in)가 로우 상태이기 때문에 온 상태가 된다. 그리고, 제 6 트랜지스터(M6a)는 오프 상태가 된다.
- [0038] 그리고, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a)는 부클럭신호(/ck)가 로우 상태이기 때문에 온 상태가 된다. 또한, 제 12 트랜지스터(M12a)는 제 2 구간(Td2)에서 부출력단(OUTB)이 로우 상태이기 때문에 온 상태가 된다.

태가 된다. 따라서, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a) 사이에 연결되는 제 1 노드(N1a)에서 제 12 트랜지스터(M12a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 되어 제 1 노드(N1a)는 로우 상태가 된다.

[0039] 제 1 노드(N1a)가 로우 상태가 되면 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 온 상태가 된다. 따라서, 제 2 노드(N2a)와 출력단에 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 이때, 제 6 트랜지스터(M6a)가 오프 상태이기 때문에 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단되어 제 2 노드(N2a)는 하이 상태가 유지된다. 제 2 노드(N2a)가 하이 상태이면 제 8 트랜지스터(M8a) 역시 오프 상태를 유지하게 되어 출력단(OUT)의 전압 역시 하이 상태를 유지하게 된다.

[0040] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단이 하이 상태이기 때문에 오프 상태가 되어 부출력단(OUTB)에 제 1 전원(VDD)이 전달되지 않게 된다. 그리고, 제 14 트랜지스터(M14a)는 제 1 노드(N1a)가 로우상태이기 때문에 온 상태가 된다. 따라서, 제 3 노드(N3a)와 부출력단(OUTB)에 제 2 전원(VSS)이 전달되어 제 3 노드(N3a)에서 제 14 트랜지스터(M14a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 됨으로써 제 3 노드(N3a)는 로우 상태가 된다. 제 16 트랜지스터(M16a)는 제 3 노드(N3a)가 로우 상태이기 때문에 온 상태가 되어 부출력단(OUTB)에서 제 2 전원(VSS) 방향으로 전류가 흐르게 한다. 따라서, 부출력단(OUTB)은 로우 상태를 유지하게 된다. 이때, 제 16 트랜지스터(M16a)는 부출력단(OUTB)과 제 3 노드(N3a)의 전압이 동일해지면 오프상태가 되기 때문에 부출력단(OUTB)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단될 수 있다. 따라서, 부출력단(OUTB)의 전압이 충분히 낮은 상태가 되지 않는 문제점이 발생할 수 있다. 이러한 문제점은 제 3 노드(N3a)와 부출력단(OUTB) 사이에 연결되어 있는 제 2 캐패시터(C2a)에 의해 해결된다. 제 2 캐패시터(C2a)는 부출력단(OUTB)과 제 3 노드(N3a) 사이의 전압이 유지되도록 하여 부출력단(OUTB)의 전압이 낮아지면 제 3 노드(N3)의 전압은 더 낮아지도록 한다. 따라서, 제 16 트랜지스터(M16)는 오프 상태가 되지 않게 된다.

[0041] 제 4 구간(Td4)에서는 입력신호(in)와 클럭신호(ck)가 로우상태이고, 부입력신호(/in)와 부클럭신호(/ck)가 하이상태를 유지한다. 제 1 내지 제 3 트랜지스터(M1a 내지 M3a)는 입력신호(in)와 클럭신호(ck)에 의해 온 상태가 된다. 그리고, 제 4 트랜지스터(M4)는 부입력신호(/in)에 의해 오프상태가 된다. 제 1 내지 제 3 트랜지스터(M1a 내지 M3a)가 온상태가 되면 제 1 노드(N1a)에 제 1 전원(VDD)이 전달되어 제 1 노드(N1a)는 하이 상태가 된다.

[0042] 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 제 1 노드(N1a)가 하이 상태이므로 오프 상태가 된다. 따라서, 제 2 노드(N2a)와 출력단(OUT)에 제 1 전원(VDD)은 전달되지 않게 된다. 그리고, 제 6 트랜지스터(M6a)는 입력신호(in)에 의해 온 상태가 되기 때문에 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르도록 하여 제 2 노드(N2a)가 로우상태가 되도록 한다. 제 8 트랜지스터(M8a)는 제 2 노드(N2a)가 로우 상태이기 때문에 온 상태가 되어 출력단(OUT)에서 제 2 전원(VSS)으로 전류가 흘러 출력단(OUT)은 로우상태가 된다. 이때, 제 1 캐패시터(C1a)에 의해 제 8 트랜지스터(M8a)는 온 상태를 유지하게 된다.

[0043] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 로우 상태이므로 온 상태가 된다. 이때, 제 10 트랜지스터(M10a) 및 제 11 트랜지스터(M11a)는 부클럭신호(/ck)가 하이 상태이기 때문에 오프 상태가 되어 제 1 노드(N1a)는 하이 상태를 유지한다. 따라서, 제 1 노드(N1a)의 전압에 대응하여 제 14 트랜지스터(M14a)는 오프 상태가 된다. 또한, 제 13 트랜지스터(M13a)와 제 15 트랜지스터(M15a)가 온 상태이므로 제 3 노드(N3a)와 부출력단(OUTB)으로 제 1 전원(VDD)이 전달된다. 따라서, 제 3 노드(N3a)와 부출력단(OUTB)은 하이 상태가 된다. 그리고, 제 14 트랜지스터(M14a)가 오프 상태이기 때문에 제 16 트랜지스터(M16)도 오프 상태가 되어 제 3 노드(N3)와 부출력단(OUTB)에서 전류가 흐르는 것이 차단되어 제 3 노드(N3a)와 부출력단(OUTB)은 하이 상태를 유지한다.

[0044] 제 5 구간(Td5)에서는 입력신호(in)와 부클럭신호(/ck)가 로우상태이고, 부입력신호(/in)와 클럭신호(ck)가 하이 상태를 유지한다. 제 1 트랜지스터(M1a)는 입력신호(in)가 로우상태이므로 온 상태가 된다. 하지만, 제 2 트랜지스터(M2a) 및 제 3 트랜지스터(M3a)는 클럭신호(ck)가 하이 상태이므로 오프 상태가 된다. 이때, 제 10 트랜지스터(M10a) 및 제 11 트랜지스터(M11a)는 부클럭신호(/ck)에 의해 온상태가 된다. 그리고, 제 12 트랜지스터(M12a)는 제 4 구간(Td4)에서 부출력단(OUTB)이 하이 상태를 유지하기 때문에 오프 상태를 유지한다. 즉, 제 1 노드(N1a)는 플로팅 상태가 된다. 따라서, 제 2 노드(N2a)와 출력단(OUT)은 이전 구간 즉 제 4 구간(Td4)에서의 전압을 유지하게 된다. 즉, 제 2 노드(N2a)와 출력단(OUT)은 로우 상태를 유지하게 된다. 제 2 노드(N2a)와 출력단(OUT)이 제 4 구간(Td4)에서의 전압을 유지하므로 부출력단(OUTB) 역시 제 4 구간(Td4)에서의 전

압을 유지하게 된다.

- [0045] 도 5b를 참조하여 설명하면, 제 1 구간(Td1)에서는 입력신호(in)와 부클럭신호(/ck)가 로우상태이고, 부입력신호(/in)와 클럭신호(ck)가 하이 상태를 유지한다. 제 1 트랜지스터(M1a)와 제 6 트랜지스터(M6a)는 입력신호(in)에 의해 온상태가 된다. 그리고, 제 4 트랜지스터(M4a)는 부입력신호(/in)에 의해 오프 상태가 된다. 또한, 제 2 트랜지스터(M2a) 및 제 3 트랜지스터(M3a)는 클럭신호(ck)에 의해 오프 상태가 된다.
- [0046] 제 6 트랜지스터(M6a)가 온상태가 되면 제 2 노드(N2)에서 제 2 전원(VSS)으로 전류가 흘러 제 2 노드(N2a)가 로우 상태가 되어 제 8 트랜지스터(M8a)가 온상태가 된다. 그리고, 제 5 트랜지스터(M5a), 제 7 트랜지스터(M7a) 및 제 14 트랜지스터(M14a)는 제 1 전원(VDD)이 하이상태이기 때문에 오프 상태가 되어 제 2 노드(N2a)와 출력단에 제 1 전원(VDD)이 전달되지 않게 한다. 따라서, 제 2 노드(N2a)와 출력단(OUT)은 로우 상태를 유지하게 된다. 이때, 제 2 노드(N2a)와 출력단(OUT)의 전압이 동일해지면 제 8 트랜지스터(M8a)는 오프 상태가 되어 출력단(OUT)의 전압이 더 이상 낮아지지 않게 되는 문제점이 있다. 이러한 문제점을 해결하기 위해 제 2 노드(N2a)와 출력단 사이에 제 1 캐패시터(C1a)를 연결하여 출력단의 전압이 낮아진 만큼 제 2 노드(N2a)의 전압이 낮아지도록 하여 출력단(OUT)보다 제 2 노드(N2a)의 전압이 더 낮아지게 된다.
- [0047] 또한, 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 로우상태이기 때문에 온상태가 된다. 이때, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a)는 부클럭신호(/ck)에 의해 온상태가 된다. 따라서, 제 9 트랜지스터(M9a)와 제 10 트랜지스터(M10a)를 통해 제 1 전원(VDD)이 제 1 노드(N1a)로 전달되어 제 1 노드(N1a)은 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 제 14 트랜지스터(M14a)의 게이트에는 제 1 노드(N1)의 전압이 전달되기 때문에 제 14 트랜지스터(M14a)는 오프 상태가 된다. 그리고, 제 13 트랜지스터(M13a)와 제 15 트랜지스터(M15a)가 온 상태이기 때문에 제 3 노드(N3a)와 부출력단(OUTB)에는 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 이에 따라, 제 16 트랜지스터(M16a)는 제 3 노드(N3a)가 하이상태이기 때문에 오프 상태가 된다. 따라서, 부출력단(OUTB)은 하이 상태가 된다. 부출력단(OUTB)이 하이상태이면 제 12 트랜지스터(M12a)는 오프 상태가 되어 제 11 트랜지스터(M11a)와 제 2 전원(VSS)이 연결되는 것을 차단한다.
- [0048] 제 2 구간(Td2)에서는 부입력신호(/in)와 클럭신호(ck)가 로우상태이고, 입력신호(in)와 부클럭신호(/ck)가 하이상태를 유지한다. 제 1 트랜지스터(M1a)와 제 6 트랜지스터(M6a)는 입력신호(in)가 하이 상태이기 때문에 오프 상태가 된다. 그리고, 제 2 내지 제 4 트랜지스터(M2a 내지 M4a)는 부입력신호(/in)와 부클럭신호(/ck)가 로우 상태이기 때문에 온 상태가 된다.
- [0049] 제 2 내지 제 4 트랜지스터(M2a 내지 M4a)가 온 상태가 되면 제 1 노드(N1a)에서 제 2 전원(VSS)으로 전류가 흐르게 되어 제 1 노드(N1a)는 로우 상태가 된다. 따라서, 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 온 상태가 되어 제 2 노드(N2a)와 출력단(OUT)에는 제 1 전원(VDD)이 전달된다. 이때, 제 6 트랜지스터(M6a)는 오프 상태이기 때문에 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단되기 때문에 제 2 노드(N2a)는 하이 상태가 되어 제 8 트랜지스터(M8a) 역시 오프 상태가 된다.
- [0050] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단이 하이 상태이면, 오프 상태가 된다. 그리고 제 10 트랜지스터(M10a) 및 제 11 트랜지스터(M11a)는 부클럭신호(/ck) 역시 하이 상태이기 때문에 오프 상태가 된다. 또한, 제 12 트랜지스터(M12a)는 부출력단(OUTB)과 연결되어 부출력단(OUTB)이 제 1 구간(Td1)에서 하이 상태를 유지하기 때문에 오프 상태가 된다. 이때, 제 14 트랜지스터(M14a)는 제 1 노드(N1a)는 로우 상태이기 때문에 온 상태가 된다. 제 14 트랜지스터(M14a)가 온 상태가 되면 제 3 노드(N3a)는 제 2 전원(VSS)이 전달되게 되어 제 16 트랜지스터(M16a) 역시 온 상태가 된다. 따라서, 부출력단(OUTB)에 제 2 전원(VSS)이 전달되기 때문에 부출력단(OUTB)이 로우 상태가 된다. 이때, 제 3 노드(N3a)와 부출력단(OUTB) 사이에 연결되어 있는 제 2 캐패시터(C2a)에 의해 제 3 노드(N3a)와 부출력단(OUTB) 사이의 전압이 유지되도록 하여 제 16 트랜지스터(M16a)가 온 상태를 유지할 수 있도록 한다.
- [0051] 제 3 구간(Td3)에서는 입력신호(in)와 클럭신호(ck)가 하이상태이고, 부입력신호(/in)와 부클럭신호(/ck)가 로우상태를 유지한다. 제 1 트랜지스터 내지 제 3 트랜지스터(M1a 내지 M3a)는 입력신호(in)와 클럭신호(ck)가 하이 상태이므로 오프상태가 된다. 그리고, 제 4 트랜지스터(M4a)는 부입력신호(/in)가 로우 상태이기 때문에 온 상태가 된다. 그리고, 제 6 트랜지스터(M6a)는 오프 상태가 된다.
- [0052] 그리고, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a)는 부클럭신호(/ck)가 로우 상태이기 때문에 온 상태가 된다. 또한, 제 12 트랜지스터(M12a)는 제 2 구간(Td2)에서 부출력단(OUTB)이 로우 상태이기 때문에 온 상태가 된다.

태가 된다. 따라서, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a) 사이에 연결되는 제 1 노드(N1a)에서 제 12 트랜지스터(M12a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 되어 제 1 노드(N1a)는 로우 상태가 된다.

[0053] 제 1 노드(N1a)가 로우 상태가 되면 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 온 상태가 된다. 따라서, 제 2 노드(N2a)와 출력단(OUT)은 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 이때, 제 6 트랜지스터(M6a)가 오프 상태이기 때문에 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단되어 제 2 노드(N2a)는 하이 상태가 유지된다. 제 2 노드(N2a)가 하이 상태이면 제 8 트랜지스터(M8a) 역시 오프 상태를 유지하게 되어 출력단(OUT)의 전압 역시 하이 상태를 유지하게 된다.

[0054] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 하이 상태이기 때문에 오프 상태가 되어 부출력단(OUTB)에 제 1 전원(VDD)이 전달되지 않게 된다. 그리고, 제 14 트랜지스터(M14a)는 제 1 노드(N1a)가 로우상태이기 때문에 온 상태가 된다. 따라서, 제 3 노드(N3a)와 부출력단(OUTB)에 제 2 전원(VSS)이 전달되어 제 3 노드(N3a)에서 제 14 트랜지스터(M14a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 됨으로써 제 3 노드(N3a)는 로우 상태가 된다. 제 16 트랜지스터(M16a)는 제 3 노드(N3a)가 로우 상태이기 때문에 온 상태가 되어 부출력단(OUTB)에서 제 2 전원(VSS) 방향으로 전류가 흐르게 한다. 따라서, 부출력단(OUTB)은 로우 상태를 유지하게 된다. 이때, 제 16 트랜지스터(M16a)는 부출력단(OUTB)과 제 3 노드(N3a)의 전압이 동일해지면 오프상태가 되기 때문에 부출력단(OUTB)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단될 수 있다. 따라서, 부출력단(OUTB)의 전압이 충분히 낮은 상태가 되지 않는 문제점이 발생할 수 있다. 이러한 문제점은 제 3 노드(N3a)와 부출력단(OUTB) 사이에 연결되어 있는 제 2 캐패시터(C2a)에 의해 해결된다. 제 2 캐패시터(C2a)는 부출력단(OUTB)과 제 3 노드(N3a) 사이의 전압이 유지되도록 하여 부출력단(OUTB)의 전압이 낮아지면 제 3 노드(N3a)의 전압은 더 낮아지도록 한다. 따라서, 제 16 트랜지스터(M16a)는 오프 상태가 되지 않게 된다.

[0055] 제 4 구간(Td4)에서는 입력신호(in)와 부클럭신호(/ck)가 하이상태이고, 부입력신호(/in)와 클럭신호(ck)가 로우상태를 유지한다. 제 1 트랜지스터(M1a)는 입력신호(in)에 의해 오프 상태가 되고 제 2 및 제 3 트랜지스터(M2a 및 M3a)는 클럭신호(ck)에 의해 온 상태가 된다. 그리고, 제 4 트랜지스터(M4a)는 부입력신호(/in)에 의해 온 상태가 된다. 따라서, 제 1 노드(N1a)에서 제 2 전원(VSS)으로 전류가 흐르게 되어 제 1 노드(N1a)는 로우 상태가 된다.

[0056] 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 제 1 노드(N1a)가 로우 상태이므로 온 상태가 된다. 따라서, 제 2 노드(N2a)와 출력단(OUT)에 제 1 전원(VDD)이 전달된다. 그리고, 제 6 트랜지스터(M6a)는 입력신호(in)에 의해 오프 상태가 되어 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르지 않게 된다. 따라서, 제 2 노드(N2a)는 하이 상태가 된다. 제 8 트랜지스터(M8a)는 제 2 노드(N2a)가 하이 상태이기 때문에 오프 상태가 된다. 따라서, 출력단(OUT)은 하이 상태가 된다.

[0057] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 하이 상태이므로 오프 상태가 된다. 이때, 제 10 트랜지스터(M10a) 및 제 11 트랜지스터(M11a)는 부클럭신호(/ck)가 하이 상태이기 때문에 오프 상태가 된다. 따라서, 제 1 노드(N1a)는 로우 상태를 유지한다. 따라서, 제 1 노드(N1a)의 전압에 대응하여 제 14 트랜지스터(M14a)는 온 상태가 된다. 또한, 제 13 트랜지스터(M13a)와 제 15 트랜지스터(M15a)가 오프 상태이므로 제 3 노드(N3a)와 부출력단(OUTB)으로 제 1 전원(VDD)이 전달되지 않게 된다. 그리고, 제 14 트랜지스터(M14a)가 오프 상태이기 때문에 제 16 트랜지스터(M16a)도 오프 상태가 되어 제 3 노드(N3a)와 부출력단(OUTB)에서 전류가 흐르는 것이 차단되어 제 3 노드(N3a)와 부출력단(OUTB)은 로우 상태를 유지한다.

[0058] 제 5 구간(Td5)에서는 입력신호(in)와 클럭신호(ck)가 하이상태이고, 부입력신호(/in)와 부클럭신호(/ck)가 로우상태를 유지한다. 제 1 트랜지스터 내지 제 3 트랜지스터(M1a 내지 M3a)는 입력신호(in)와 클럭신호(ck)가 하이 상태이므로 오프상태가 된다. 그리고, 제 4 트랜지스터(M4a)는 부입력신호(/in)가 로우 상태이기 때문에 온 상태가 된다. 그리고, 제 6 트랜지스터(M6a)는 오프 상태가 된다.

[0059] 그리고, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a)는 부클럭신호(/ck)가 로우 상태이기 때문에 온 상태가 된다. 또한, 제 12 트랜지스터(M12a)는 제 2 구간(Td2)에서 부출력단(OUTB)이 로우 상태이기 때문에 온 상태가 된다. 따라서, 제 10 트랜지스터(M10a)와 제 11 트랜지스터(M11a) 사이에 연결되는 제 1 노드(N1a)에서 제 12 트랜지스터(M12a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 되어 제 1 노드(N1a)는 로우 상태가 된다.

- [0060] 제 1 노드(N1a)가 로우 상태가 되면 제 5 트랜지스터(M5a) 및 제 7 트랜지스터(M7a)는 온 상태가 된다. 따라서, 제 2 노드(N2a)와 출력단(OUT)은 제 1 전원(VDD)이 전달되어 하이 상태가 된다. 이때, 제 6 트랜지스터(M6a)가 오프 상태이기 때문에 제 2 노드(N2a)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단되어 제 2 노드(N2a)는 하이 상태가 유지된다. 제 2 노드(N2a)가 하이 상태이면 제 8 트랜지스터(M8a) 역시 오프 상태를 유지하게 되어 출력단(OUT)의 전압 역시 하이 상태를 유지하게 된다.
- [0061] 제 9 트랜지스터(M9a), 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)이 하이 상태이기 때문에 오프 상태가 되어 부출력단(OUTB)에 제 1 전원(VDD)이 전달되지 않게 된다. 그리고, 제 14 트랜지스터(M14a)는 제 1 노드(N1a)가 로우상태이기 때문에 온 상태가 된다. 따라서, 제 3 노드(N3a)와 부출력단(OUTB)에 제 2 전원(VSS)이 전달되어 제 3 노드(N3a)에서 제 14 트랜지스터(M14a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 됨으로써 제 3 노드(N3a)는 로우 상태가 된다. 제 16 트랜지스터(M16a)는 제 3 노드(N3a)가 로우 상태이기 때문에 온 상태가 되어 부출력단(OUTB)에서 제 2 전원(VSS) 방향으로 전류가 흐르게 한다. 따라서, 부출력단(OUTB)은 로우 상태를 유지하게 된다. 이때, 제 16 트랜지스터(M16a)는 부출력단(OUTB)과 제 3 노드(N3a)의 전압이 동일해지면 오프상태가 되기 때문에 부출력단(OUTB)에서 제 2 전원(VSS)으로 전류가 흐르는 것이 차단될 수 있다. 따라서, 부출력단(OUTB)의 전압이 충분히 낮은 상태가 되지 않는 문제점이 발생할 수 있다. 이러한 문제점은 제 3 노드(N3a)와 부출력단(OUTB) 사이에 연결되어 있는 제 2 캐패시터(C2a)에 의해 해결된다. 제 2 캐패시터(C2a)는 부출력단(OUTB)과 제 3 노드(N3a) 사이의 전압이 유지되도록 하여 부출력단(OUTB)의 전압이 낮아지면 제 3 노드(N3a)의 전압은 더 낮아지도록 한다. 따라서, 제 16 트랜지스터(M16a)는 오프 상태가 되지 않게 된다.
- [0062] 제 6 구간(Td6)에서는 입력신호(in)와 부클럭신호(/ck)가 로우상태이고, 부입력신호(/in)와 부클럭신호(ck)가 하이 상태를 유지한다. 제 1 트랜지스터(M1a)는 입력신호(in)가 하이상태이므로 온 상태가 된다. 하지만, 제 2 트랜지스터(M2a) 및 제 3 트랜지스터(M3a)는 클럭신호(ck)가 하이 상태이므로 오프 상태가 된다. 이때, 제 10 트랜지스터(M10a) 및 제 11 트랜지스터(M11a)는 부클럭신호(/ck)에 의해 온상태가 된다. 또한, 제 12 트랜지스터(M12a)는 제 4 구간(Td4)에서 부출력단(OUTB)이 로우 상태를 유지하기 때문에 온 상태를 유지한다. 따라서, 제 1 노드(N1a)는 로우 상태가 된다. 제 5 트랜지스터(M5a), 제 7 트랜지스터(M7a), 제 14 트랜지스터(M14a)는 제 1 노드(N1a)가 로우 상태이기 때문에 온상태가 된다. 따라서, 제 2 노드(N2a)와 출력단(OUT)에 제 1 전원(VDD)이 전달된다. 이때, 제 6 트랜지스터(M6a)는 입력신호(in)에 의해 온 상태가 된다. 제 5 트랜지스터(M5a)와 제 6 트랜지스터(M6a)가 동시에 온상태가 되면 제 1 전원(VDD)과 제 2 전원(VSS)이 연결되어 전류가 흐르게 되는 문제점이 발생된다.
- [0063] 이러한 문제점을 해결하기 위해 제 5 트랜지스터(M5a)와 제 6 트랜지스터(M6a)가 동시에 온상태가 되더라도 제 2 노드(N2a)가 하이 상태를 유지할 수 있도록 해야 한다. 이를 위해 제 5 트랜지스터(M5a)의 채널영역의 폭/길이의 비가 제 6 트랜지스터(M6a)의 폭/길이의 비보다 크게 설계되어야 한다. 그리고, 제 8 트랜지스터(M8a)는 제 2 노드(N2a)가 하이 상태를 유지하기 때문에 오프 상태가 되어 출력단(OUT)은 하이 상태를 유지하게 된다.
- [0064] 그리고, 제 13 트랜지스터(M13a), 제 15 트랜지스터(M15a)는 출력단(OUT)에 의해 오프 상태가 된다. 또한, 제 14 트랜지스터(M14a)는 제 1 노드(N1a)의 전압에 의해 온 상태가 된다. 따라서, 제 3 노드(N3a)에서 제 14 트랜지스터(M14a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 되어 제 3 노드(N3a)는 로우 상태가 된다. 그리고, 제 3 노드(N3a)가 로우 상태가 되기 때문에 제 16 트랜지스터(M16a)는 온상태가 되어 출력단(OUT)에서 제 16 트랜지스터(M16a)를 통해 제 2 전원(VSS)으로 전류가 흐르게 되어 부출력단(OUTB)은 로우 상태가 된다.
- [0065] 도 5a와 도 5b를 살펴보면, 입력신호(in)와 출력신호는 동일한 파형이 된다. 따라서, 출력신호(out)의 펄스폭은 각 입력신호(in)의 펄스폭이 클럭신호(ck)의 하강 시점(falling edge)에 걸쳐있는 수  $\times$  클럭신호(ck)의 주기와 같고 출력신호(out)의 펄스의 수는 입력신호(in)의 펄스 수와 동일하게 발생된다. 따라서, 입력신호(in)의 펄스폭과 펄스의 수를 제어하여 출력신호(out)의 펄스폭을 제어할 수 있게 된다.
- [0066] 도 6은 도 4에 도시된 스테이지의 제 2 실시예를 나타내는 회로도이다. 도 6을 참조하여 설명하면, 스테이지는 제 1 내지 제 4 트랜지스터(M1b 내지 M4b)를 포함한다.
- [0067] 제 1 신호처리부(411b)는 제 1 내지 제 4 트랜지스터(M1b 내지 M4b)를 포함한다. 제 1 트랜지스터(M1b)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 트랜지스터(M2b)의 소스에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 2 트랜지스터(M2b)는 소스가 제 1 트랜지스터(M1b)의 드레인에 연결되고 드레인이 제 1 노드

(N1b)에 연결되고 게이트가 클럭단(CLK)에 연결된다. 제 3 트랜지스터(M3b)는 소스가 제 1 노드(N1b)에 연결되고 드레인이 제 4 트랜지스터(M4b)의 소스에 연결되며 게이트가 클럭단(CLK)에 연결된다. 제 4 트랜지스터(M4b)는 소스가 제 3 트랜지스터(M3b)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 부입력신호단(INB)에 연결된다.

[0068] 제 2 신호처리부(412b)는 제 5 내지 제 8 트랜지스터(M5b 내지 M8b)와 제 1 캐패시터(C1b)를 포함한다. 제 5 트랜지스터(M5b)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 노드(N2b)에 연결되며 게이트가 제 1 노드(N1b)에 연결된다. 제 6 트랜지스터(M6b)는 소스가 제 2 노드(N2b)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 7 트랜지스터(M7b)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 출력단(OUT)에 연결되며 게이트가 제 1 노드(N1b)에 연결된다. 제 8 트랜지스터(M8b)는 소스가 출력단(OUT)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 2 노드(N2b)에 연결된다. 그리고, 제 1 캐패시터(C1b)는 제 1 전극은 제 2 노드(N2b)에 연결되고 제 2 전극은 출력단(OUT)에 연결된다.

[0069] 제 3 신호처리부(413b)는 제 9 내지 제 12 트랜지스터(M9b 내지 M12b)를 포함한다. 제 9 트랜지스터(M9b)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 10 트랜지스터(M10b)의 소스에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 10 트랜지스터(M10b)는 소스가 제 9 트랜지스터(M9b)의 드레인에 연결되고 드레인이 제 1 노드(N1b)에 연결되며 게이트가 부클럭단(CLKB)에 연결된다. 제 11 트랜지스터(M11b)는 소스가 제 1 노드(N1b)에 연결되고 드레인이 제 12 트랜지스터(M12b)의 소스에 연결된다. 제 12 트랜지스터(M12b)는 소스가 제 11 트랜지스터(M11b)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1b)에 연결된다.

[0070] 제 4 신호처리부(414b)는 제 13 트랜지스터 내지 제 16 트랜지스터(M13b 내지 M16b)와 제 2 캐패시터(C2b)를 포함한다. 제 13 트랜지스터(M13b)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 3 노드(N3b)에 연결되며 게이트가 출력단에 연결된다. 제 14 트랜지스터(M14b)는 소스가 제 3 노드(N3b)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1b)에 연결된다. 제 15 트랜지스터(M15b)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 부출력단(OUTB)에 연결되고 게이트가 출력단에 연결된다. 제 16 트랜지스터(M16b)는 소스가 부출력단(OUTB)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 3 노드(N3b)에 연결된다. 그리고, 제 2 캐패시터(C2b)는 제 1 전극이 제 3 노드(N3b)에 연결되고 제 2 전극이 부출력단(OUTB)에 연결된다.

[0071] 상기와 같이 구성된 스테이지(400a)는 제 1 노드(N1)와 부출력단(OUTB)의 전압은 동일한 상태를 갖는다. 즉, 제 1 노드(N1b)가 로우 상태이면 부출력단(OUTB)도 로우 상태이고 제 1 노드(N1b)가 하이 상태이면 부출력단(OUTB)도 하이 상태이다. 따라서, 제 12 트랜지스터(M12b)에 제 1 노드(N1b)의 전압을 전달하여도 부출력단(OUTB)의 전압이 전달되는 것과 같은 동작을 하게 된다.

[0072] 도 7은 도 4에 도시된 스테이지의 제 3 실시예를 나타내는 회로도이다. 도 7을 참조하여 설명하면, 스테이지(400a)는 제 1 내지 제 4 트랜지스터(M1c 내지 M4c)를 포함한다.

[0073] 제 1 신호처리부(411c)는 제 1 내지 제 4 트랜지스터(M1c 내지 M4c)를 포함한다. 제 1 트랜지스터(M1c)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 트랜지스터(M2c)의 소스에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 2 트랜지스터(M2c)는 소스가 제 1 트랜지스터(M1c)의 드레인에 연결되고 드레인이 제 1 노드(N1c)에 연결되고 게이트가 클럭단(CLK)에 연결된다. 제 3 트랜지스터(M3c)는 소스가 제 1 노드(N1c)에 연결되고 드레인이 제 4 트랜지스터(M4c)의 소스에 연결되며 게이트가 클럭단(CLK)에 연결된다. 제 4 트랜지스터(M4c)는 소스가 제 3 트랜지스터(M3c)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 부입력신호단(INB)에 연결된다.

[0074] 제 2 신호처리부(412c)는 제 5 내지 제 8 트랜지스터(M5c 내지 M8c)와 제 1 캐패시터(C1c)를 포함한다. 제 5 트랜지스터(M5c)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 노드(N2c)에 연결되며 게이트가 제 1 노드(N1c)에 연결된다. 제 6 트랜지스터(M6c)는 소스가 제 17 트랜지스터(M17c)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 7 트랜지스터(M7c)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 출력단(OUT)에 연결되며 게이트가 제 1 노드(N1c)에 연결된다. 제 8 트랜지스터(M8c)는 소스가 출력단(OUT)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 2 노드(N2c)에 연결된다. 제 17 트랜지스터(M17c)는 소스가 제 2 노드(N2c)에 연결되고 드레인이 제 6 트랜지스터(M6c)의 소스에 연결되며 게이트가 클럭단(CLK)에 연결된다. 그리고, 제 1 캐패시터(C1c) 제 1 전극은 제 2 노

드(N2c)에 연결되고 제 2 전극은 출력단(OUT)에 연결된다.

[0075] 제 3 신호처리부(413c)는 제 9 내지 제 12 트랜지스터(M9c 내지 M12c)를 포함한다. 제 9 트랜지스터(M9c)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 10 트랜지스터(M10c)의 소스에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 10 트랜지스터(M10c)는 소스가 제 9 트랜지스터(M9c)의 드레인에 연결되고 드레인이 제 1 노드(N1c)에 연결되며 게이트가 부클럭단(CLKB)에 연결된다. 제 11 트랜지스터(M11c)는 소스가 제 1 노드(N1c)에 연결되고 드레인이 제 12 트랜지스터(M12c)의 소스에 연결된다. 제 12 트랜지스터(M12c)는 소스가 제 11 트랜지스터(M11c)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 부출력단(OUTB)에 연결된다.

[0076] 제 4 신호처리부(414c)는 제 13 트랜지스터 내지 제 16 트랜지스터(M13c 내지 M16c)와 제 2 캐패시터(C2c)를 포함한다. 제 13 트랜지스터(M13c)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 3 노드(N3c)에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 14 트랜지스터(M14c)는 소스가 제 3 노드(N3c)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1c)에 연결된다. 제 15 트랜지스터(M15c)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 부출력단(OUTB)에 연결되고 게이트가 출력단(OUT)에 연결된다. 제 16 트랜지스터(M16c)는 소스가 부출력단(OUTB)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 3 노드(N3c)에 연결된다. 그리고, 제 2 캐패시터(C2c)는 제 1 전극이 제 3 노드(N3c)에 연결되고 제 2 전극이 부출력단(OUTB)에 연결된다.

[0077] 상기와 같이 구성된 스테이지는 도 5b의 제 5 구간(Td5)에서 제 2 신호처리부(412c)에서, 제 5 트랜지스터(M5c)와 제 6 트랜지스터(M6c)가 동시에 온상태가 되더라도 클럭단(CLK)을 통해 입력되는 클럭신호(ck)에 의해 제 17 트랜지스터(M17c)가 오프 상태가 된다. 따라서, 제 2 노드(N2c)에서 제 2 전원(VSS) 방향으로 전류가 흐를 수 없게 되어 제 2 노드(N2c)와 출력단(OUT)의 전압이 하이 상태를 유지하게 된다. 따라서, 제 5 트랜지스터(M5c)와 제 6 트랜지스터(M6c)의 채널의 길이와 폭의 비에 영향을 받지 않게 된다.

[0078] 도 8는 도 4에 도시된 스테이지의 제 4 실시예를 나타내는 회로도이다. 도 8을 참조하여 설명하면, 스테이지(400a)는 제 1 내지 제 4 트랜지스터(M1d 내지 M4d)를 포함한다.

[0079] 제 1 신호처리부(411d)는 제 1 내지 제 4 트랜지스터(M1d 내지 M4d)를 포함한다. 제 1 트랜지스터(M1d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 트랜지스터(M2d)의 소스에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 2 트랜지스터(M2d)는 소스가 제 1 트랜지스터(M1d)의 드레인에 연결되고 드레인이 제 1 노드(N1d)에 연결되고 게이트가 클럭단(CLK)에 연결된다. 제 3 트랜지스터(M3d)는 소스가 제 1 노드(N1d)에 연결되고 드레인이 제 4 트랜지스터(M4d)의 소스에 연결되며 게이트가 클럭단(CLK)에 연결된다. 제 4 트랜지스터(M4d)는 소스가 제 3 트랜지스터(M3d)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 부입력신호단(INB)에 연결된다.

[0080] 제 2 신호처리부(412d)는 제 5 내지 제 8 트랜지스터(M5d 내지 M8d), 제 17 트랜지스터(M17d)와 제 1 캐패시터(C1d)를 포함한다. 제 5 트랜지스터(M5d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 2 노드(N2d)에 연결되며 게이트가 제 1 노드(N1d)에 연결된다. 제 6 트랜지스터(M6d)는 소스가 제 17 트랜지스터(M17d)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 입력신호단(IN)에 연결된다. 제 7 트랜지스터(M7d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 출력단(OUT)에 연결되며 게이트가 제 1 노드(N1d)에 연결된다. 제 8 트랜지스터(M8d)는 소스가 출력단(OUT)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 2 노드(N2d)에 연결된다. 제 17 트랜지스터(M17d)는 소스가 제 2 노드(N2d)에 연결되고 드레인이 제 6 트랜지스터(M6d)의 소스에 연결되며 게이트가 클럭단(CLK)에 연결된다. 그리고, 제 1 캐패시터(C1d)는 제 1 전극은 제 2 노드(N2d)에 연결되고 제 2 전극은 출력단(OUT)에 연결된다.

[0081] 제 3 신호처리부(413d)는 제 9 내지 제 12 트랜지스터(M9d 내지 M12d)를 포함한다. 제 9 트랜지스터(M9d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 10 트랜지스터(M10d)의 소스에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 10 트랜지스터(M10d)는 소스가 제 9 트랜지스터(M9d)의 드레인에 연결되고 드레인이 제 1 노드(N1d)에 연결되며 게이트가 부클럭단(CLKB)에 연결된다. 제 11 트랜지스터(M11d)는 소스가 제 1 노드(N1d)에 연결되고 드레인이 제 12 트랜지스터(M12d)의 소스에 연결된다. 제 12 트랜지스터(M12d)는 소스가 제 11 트랜지스터(M11d)의 드레인에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1d)에 연결된다.

[0082] 제 4 신호처리부(414d)는 제 13 트랜지스터 내지 제 16 트랜지스터(M13d 내지 M16d)와 제 2 캐패시터(C2d)를 포함한다. 제 13 트랜지스터(M13d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 제 3 노드(N3d)에 연결되며 게이트가 출력단(OUT)에 연결된다. 제 14 트랜지스터(M14d)는 소스가 제 3 노드(N3d)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1d)에 연결된다. 제 15 트랜지스터(M15d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 부출력단(OUTB)에 연결되고 게이트가 출력단(OUT)에 연결된다. 제 16 트랜지스터(M16d)는 소스가 부출력단(OUTB)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 3 노드(N3d)에 연결된다. 그리고, 제 2 캐패시터(C2d)는 제 1 전극이 제 3 노드(N3d)에 연결되고 제 2 전극이 부출력단(OUTB)에 연결된다.

이트가 출력단(OUT)에 연결된다. 제 14 트랜지스터(M14d)는 소스가 제 3 노드(N3d)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 1 노드(N1d)에 연결된다. 제 15 트랜지스터(M15d)는 소스가 제 1 전원(VDD)에 연결되고 드레인이 부출력단(OUTB)에 연결되고 게이트가 출력단(OUT)에 연결된다. 제 16 트랜지스터(M16d)는 소스가 부출력단(OUTB)에 연결되고 드레인이 제 2 전원(VSS)에 연결되며 게이트가 제 3 노드(N3d)에 연결된다. 그리고, 제 2 캐패시터(C2d)는 제 1 전극이 제 3 노드(N3d)에 연결되고 제 2 전극이 부출력단(OUTB)에 연결된다.

[0083] 상기와 같이 구성된 스테이지는 도 5b의 제 5 구간(Td5)에서 제 2 신호처리부(412d)의 제 5 트랜지스터(M5d)와 제 6 트랜지스터(M6d)가 동시에 온상태가 되더라도 클럭단(CLK)을 통해 입력되는 클럭신호(ck)에 의해 제 17 트랜지스터(M17d)가 오프 상태가 된다. 따라서, 제 2 노드(N2d)에서 제 2 전원(VSS) 방향으로 전류가 흐를 수 없게 되어 제 2 노드(N2d)와 출력단(OUT)의 전압이 하이 상태를 유지하게 된다. 따라서, 제 5 트랜지스터(M5d)와 제 6 트랜지스터(M6d)의 채널의 길이와 폭의 비에 영향을 받지 않게 된다.

[0084] 또한, 도 5a 내지 도 5b의 설명에 나타나 있는 것과 같이 제 1 노드(N1d)와 부출력단(OUTB)의 전압은 동일한 상태를 갖는다. 즉, 제 1 노드(N1d)가 로우 상태이면 부출력단(OUTB)도 로우 상태이고 제 1 노드(N1d)가 하이 상태이면 부출력단(OUTB)도 하이 상태이다. 따라서, 제 3 신호처리부(413d)의 제 12 트랜지스터(M12d)에 제 1 노드(N1d)의 전압을 전달하여도 부출력단(OUTB)의 전압이 전달되는 것과 같은 동작을 하게 된다.

[0085] 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 기술되어 왔지만, 그러한 기술은 단지 설명을 하기 위한 것이며, 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고 여러 가지 변경 및 변화가 가해질 수 있는 것으로 이해되어야 한다.

### 도면의 간단한 설명

[0086] 도 1은 일반적인 유기전계발광표시장치에서 채용된 회로를 나타내는 회로도이다.

[0087] 도 2는 본 발명에 따른 유기전계발광표시장치의 제 1 실시예를 나타내는 구조도이다.

[0088] 도 3은 본 발명에 따른 유기전계발광표시장치에서 채용된 발광제어구동부의 구조를 나타내는 구조도이다.

[0089] 도 4는 도 3에 도시된 스테이지의 제 1 실시예를 나타내는 회로도이다.

[0090] 도 5a 및 도 5b는 도 4에 도시된 스테이지의 동작을 나타내는 타이밍도이다.

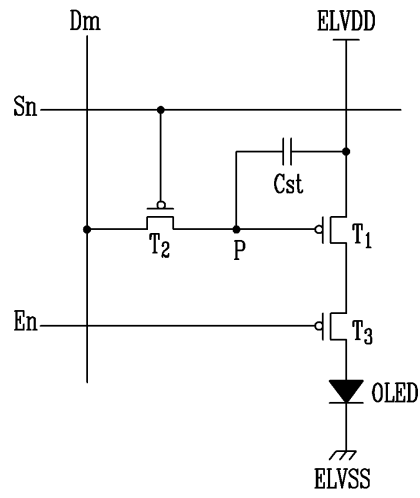
[0091] 도 6은 도 4에 도시된 스테이지의 제 2 실시예를 나타내는 회로도이다.

[0092] 도 7은 도 4에 도시된 스테이지의 제 3 실시예를 나타내는 회로도이다.

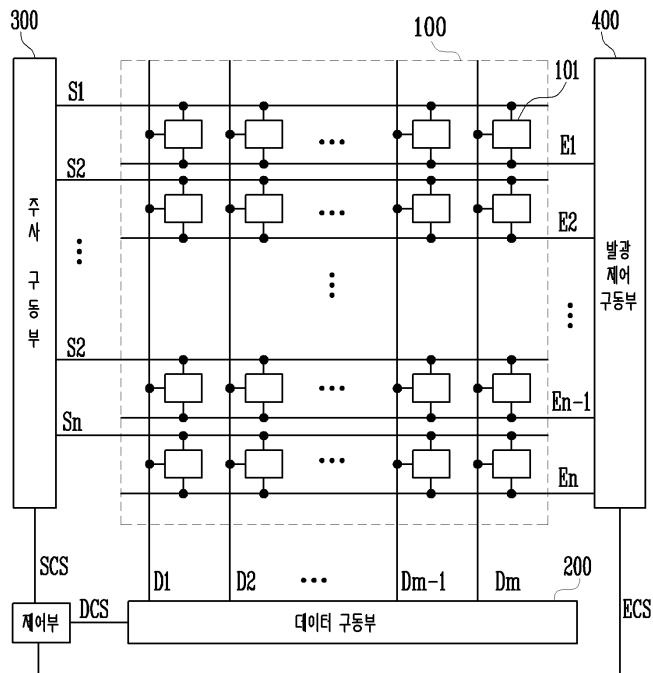
[0093] 도 8는 도 4에 도시된 스테이지의 제 4 실시예를 나타내는 회로도이다.

도면

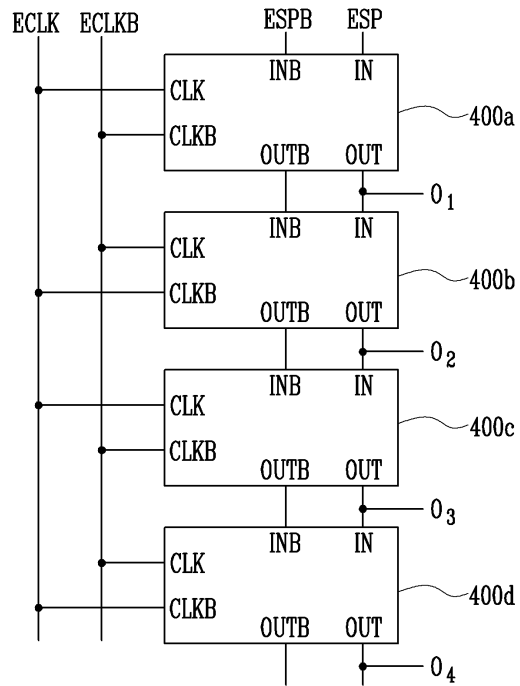
도면1



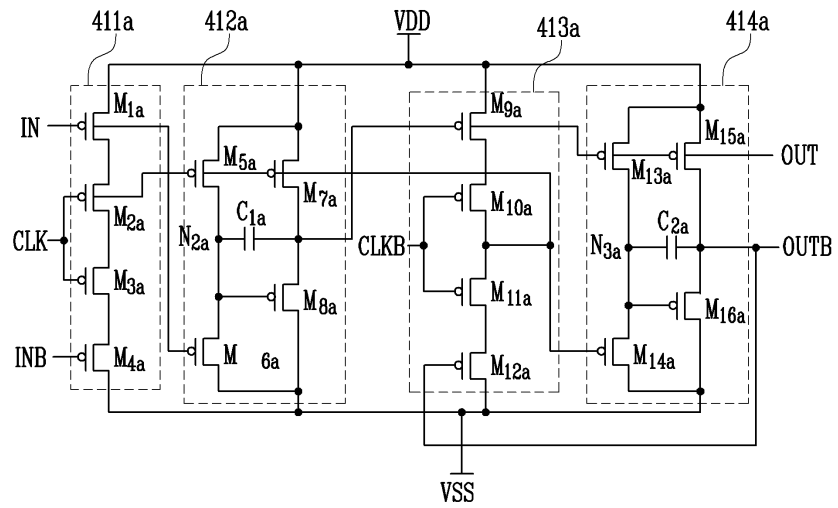
도면2



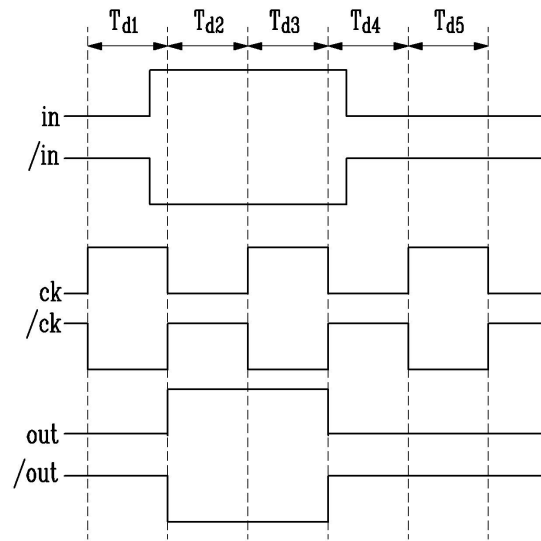
도면3



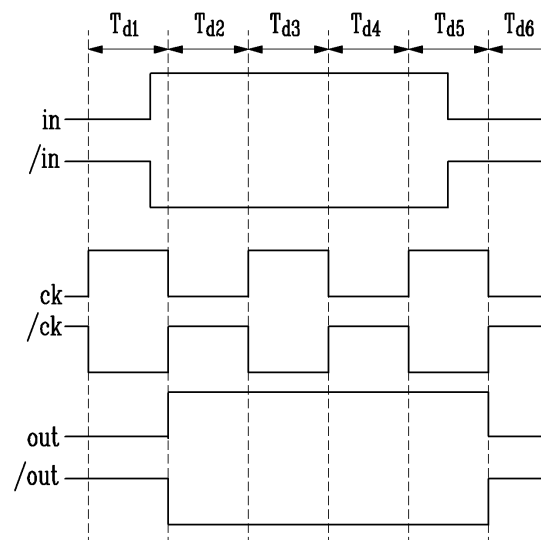
도면4



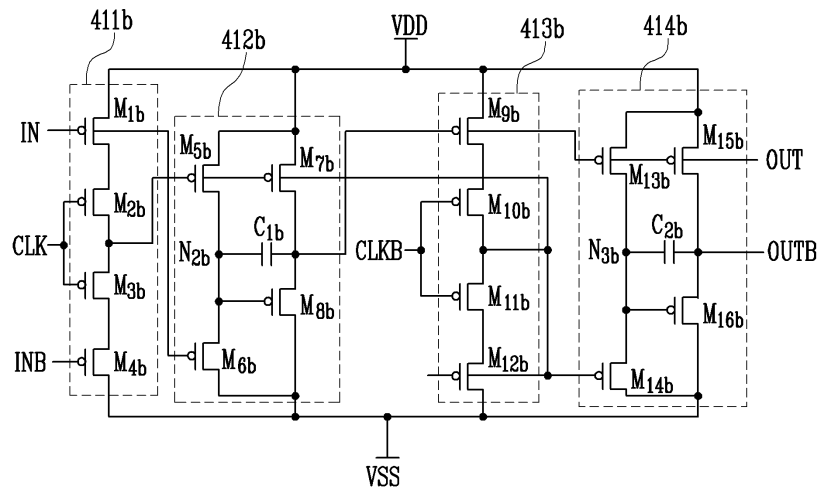
도면5a



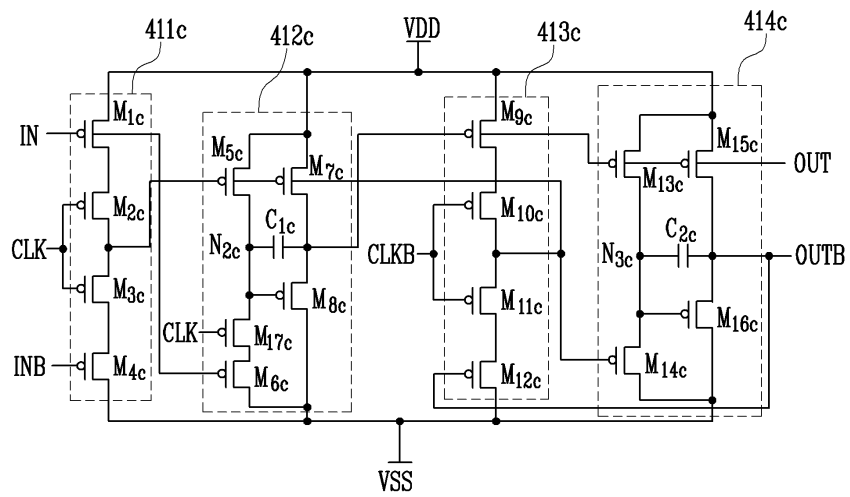
도면5b



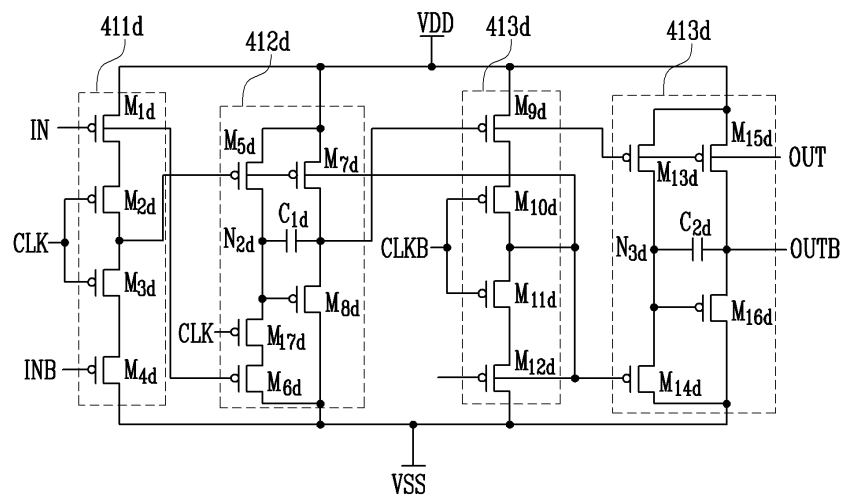
도면6



도면7



도면8



|                |                                            |         |            |
|----------------|--------------------------------------------|---------|------------|
| 专利名称(译)        | 发光控制驱动器和使用该驱动器的有机发光显示器                     |         |            |
| 公开(公告)号        | <a href="#">KR1020110026660A</a>           | 公开(公告)日 | 2011-03-16 |
| 申请号            | KR1020090084411                            | 申请日     | 2009-09-08 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                   |         |            |
| 申请(专利权)人(译)    | 三圣母工作显示有限公司                                |         |            |
| 当前申请(专利权)人(译)  | 三圣母工作显示有限公司                                |         |            |
| [标]发明人         | CHUNG KYUNG HOON<br>KYUNGHOON CHUNG<br>정경훈 |         |            |
| 发明人            | 정경훈                                        |         |            |
| IPC分类号         | G09G3/30 G09G3/20                          |         |            |
| CPC分类号         | G09G2300/0814 G09G3/2018 G09G3/3266        |         |            |
| 代理人(译)         | Sinyoungmu                                 |         |            |
| 其他公开文献         | KR101082199B1                              |         |            |
| 外部链接           | <a href="#">Espacenet</a>                  |         |            |

#### 摘要(译)

用途：提供发射驱动器及其有机发光显示装置，通过控制光控制信号的脉冲宽度和脉冲数来减少余像。结构：在发光驱动器及其有机发光显示装置中，A多个级接收第一和第二电源以驱动光控制信号。第一信号处理单元（411a）响应于第一和第二电源产生第一输出信号。第二信号处理单元（412a）输出反转第一输出信号的点亮控制信号。第三信号处理单元（413a）将第一或第二功率传送到第一信号处理单元。第四信号处理单元（414a）响应于第一输出信号产生负光控制信号。

