



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0056865
(43) 공개일자 2009년06월03일

(51) Int. Cl.

H05B 33/10 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2008-0118875

(22) 출원일자 2008년11월27일

심사청구일자 2008년11월27일

(30) 우선권주장

JP-P-2007-308189 2007년11월29일 일본(JP)

(71) 출원인

가시오계산키 가부시키키가이샤

일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자

도야마 다다히사

일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고
가시오계산키 가부시키키가이샤 하무라기쥬츠센터내

오자키 츠요시

일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고
가시오계산키 가부시키키가이샤 하무라기쥬츠센터내

(74) 대리인

김문중, 손은진

전체 청구항 수 : 총 14 항

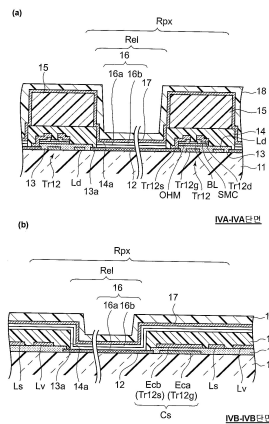
(54) 표시패널 및 그 제조방법

(57) 요약

색도 어긋남이나 발광휘도(발광강도)의 편차를 억제하여, 화상의 번짐이나 뿌예짐이 없는 표시특성이 우수한 표시패널 및 해당 표시패널의 제조방법을 제공한다.

본 발명에 관한 표시패널의 제조방법은 트랜지스터 Tr11, Tr12의 게이트 절연막(13)의 패터닝 공정에 앞서, 각 표시화소 PIX에 설치되는 유기 EL 소자 OLED의 화소전극(12)이 기판(11)상에 직접 형성되고, 그 후에 게이트 절연막(13)상에 형성되는 트랜지스터 Tr12의 소스전극 Tr12s가 상기 화소전극(12)에 직접 접속된다.

대표도 - 도4



특허청구의 범위

청구항 1

제 1 전극, 적어도 1층으로 이루어지는 담체수송층, 제 2 전극이 적층되어 이루어지는 발광소자를 구비한 표시패널의 제조방법에 있어서,

기관상의 소정 영역에 상기 제 1 전극을 형성하는 공정과,

상기 제 1 전극을 포함하는 상기 기관상에 절연막을 형성한 후, 해당 절연막을 에칭에 의해 패터닝하여 상기 제 1 전극의 소정의 영역만이 노출되는 개구부를 형성하는 공정과,

적어도 상기 개구부에 노출되는 상기 제 1 전극상에 상기 담체수송층을 형성하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 2

제 1 항에 있어서,

상기 절연막은 기관을 침식하는 에칭가스에 의해서 패터닝되고, 상기 절연막은 질화실리콘 또는 산화실리콘인 것을 특징으로 하는 표시패널의 제조방법.

청구항 3

제 2 항에 있어서,

상기 에칭가스는 산소 및 SF_6 의 혼합가스인 것을 특징으로 하는 표시패널의 제조방법.

청구항 4

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서,

상기 개구부가 형성되는 상기 절연막은 트랜지스터의 게이트 절연막을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 5

제 4 항에 있어서,

상기 제 1 전극을 형성하는 공정 후에, 상기 트랜지스터의 소스전극 또는 드레인전극의 어느 한쪽을 형성하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 6

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서,

상기 개구부가 형성되는 상기 절연막은 층간절연막을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 7

제 6 항에 있어서,

상기 층간절연막상에 감광성 수지층을 패터닝하는 것에 의해 बैं크를 형성하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 8

제 7 항에 있어서,

상기 बैं크를 형성하는 공정 후에, 상기 기관을 순수한 물로 세정하고, 산소 플라스마 처리나 UV오존 처리를 실시하여, 상기 제 1 전극 표면을 유기화합물 함유액에 대해 친액화하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 9

제 8 항에 있어서,

상기 제 1 전극을 친액화하는 공정 후에, 상기 बैं크의 표면을 상기 유기화합물 함유액에 대해 발액화하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 10

제 9 항에 있어서,

상기 담체수송층을 형성하는 공정은 상기 बैं크 표면을 발액화하는 공정 후에, 상기 유기화합물 함유액을 도포하여 형성하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 11

제 10 항에 있어서,

상기 담체수송층을 형성하는 공정 후에, 상기 담체수송층상에 상기 제 2 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 12

제 4 항에 있어서,

상기 제 1 전극을 형성하는 공정 전에, 상기 기판상에, 산계의 에천트로 웨트에칭에 의해서 상기 트랜지스터의 게이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 13

제 1 전극, 적어도 1층으로 이루어지는 담체수송층, 제 2 전극이 적층되어 이루어지는 발광소자를 구비한 표시패널의 제조방법에 있어서,

기관상의 소정 영역에 상기 제 1 전극을 형성하는 공정과,

상기 제 1 전극을 형성한 후에, 트랜지스터의 절연막을 퇴적하고, 에칭가스에 의해서 상기 제 1 전극상의 상기 절연막만을 제거하는 공정과,

상기 제 1 전극상에 상기 담체수송층을 형성하는 공정과,

상기 담체수송층상에 상기 제 2 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 표시패널의 제조방법.

청구항 14

제 1 전극, 적어도 1층으로 이루어지는 담체수송층, 제 2 전극이 적층되어 이루어지는 발광소자를 구비한 표시패널에 있어서,

절연막의 에칭가스에 노출되어 있지 않은 소정 영역을 갖는 기관과,

상기 기관의 상기 소정 영역에 설치된 상기 제 1 전극과,

상기 제 1 전극을 포함하는 상기 기관상에 형성되고, 상기 제 1 전극의 소정의 영역이 노출되는 개구부를 가진 상기 절연막과,

적어도 상기 개구부에 노출되는 상기 제 1 전극상에 형성된 상기 담체수송층과,

발광층상에 형성되는 상기 제 2 전극을 포함하는 것을 특징으로 하는 표시패널.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 표시패널 및 그 제조방법에 관한 것으로서, 특히, 발광소자를 갖는 복수의 표시소자를 배열해서 이루어지는 표시패널을 구비한 표시패널 및 해당 표시패널의 제조방법에 관한 것이다.

배 경 기 술

<2> 근래, 휴대 전화나 휴대 음악플레이어 등의 전자기기의 표시 디바이스로서, 자(自)발광소자인 유기 전계 발광소자(이하, 「유기 EL 소자」로 약기함)를 2차원 배열한 표시패널(유기 EL 표시패널)을 적용한 것이 알려져 있다. 특히, 액티브 매트릭스 구동방식을 적용한 유기 EL 표시패널에 있어서는 널리 보급되어 있는 액정표시장치에 비해, 표시응답속도가 빠르고, 시야각 의존성도 작다고 하는 우수한 표시특성을 갖고 있는 동시에, 액정표시장치와 같이 백라이트나 도광판을 필요로 하지 않는다고 하는 장치 구성상의 특징을 갖고 있다. 그 때문에, 금후 각종 전자기기에의 적용이 기대되고 있다.

<3> 유기 EL 소자는 주지와 같이, 대략 유리기관 등의 일면측에, 애노드(양극)전극과, 유기 EL층(발광층)과, 캐소드(음극)전극을 순차 적층한 소자구조를 갖고, 유기 EL층에 발광 임계값을 넘도록, 애노드전극에 정전압, 캐소드전극에 부전압을 인가하는 것에 의해, 유기 EL층내에서 주입된 홀과 전자가 재결합할 때에 생기는 에너지에 의거하여 광(여기광)이 방사되는 것이다.

<4> 여기서, 유리기관의 일면측에 유기 EL 소자(발광소자)가 형성된 표시패널에 있어서는 상기 유기 EL층을 통해 대향하여 형성된 한쌍의 전극(애노드전극, 캐소드전극)의 어느 한쪽을 광투과성을 갖는 전극재료에 의해 형성하고, 다른쪽을 광반사성을 갖는 전극재료에 의해 형성하는 것에 의해, 유리기관의 타면측에 광을 방사하는 보텀 에미션형의 발광구조가 알려져 있다.

발명의 내용

해결 하고자하는 과제

<5> 여기서, 상술한 제조방법에서는 기관상에 있어서의 투명전극이 형성되는 영역에는 투명전극이 형성되기 전에 층간절연막 등의 막이 퇴적되고 나서 제거되고, 그 후, 투명전극이 형성된다. 기관상에 투명전극을 형성하는 공정에서 앞서 실행되는 층간절연막 등의 막의 에칭공정으로서 산소 및 SF₆의 혼합가스 등을 이용하여 드라이에칭을 적용하면, 투명전극이 형성되는 영역에서의 유리기관도 에칭되어 버리므로, 유리기관의 두께가 불균일하게 되어 버린다. 이와 같이 두께가 불균일한 기관의 위에 유기 EL 소자가 형성된 표시패널에서는 발광 동작에 있어서 유기 EL층으로부터 기관을 통해 광이 방사될 때에, 기관의 두께의 불균일에 기인하여 광의 산란이나 광의 간섭의 불균일이 생겨 색도 어긋남이나 발광휘도(발광강도)의 편차를 초래하고, 화상의 번짐이나 뿌예짐 등의 표시특성의 열화를 발생시킨다고 하는 문제를 갖고 있었다.

과제 해결수단

<6> 그래서, 본 발명은 상술한 문제점을 감안하고, 색도 어긋남이나 발광휘도(발광강도)의 편차를 억제하여, 화상의 번짐이나 뿌예짐이 없는 표시특성이 우수한 표시패널 및 해당 표시패널의 제조방법을 제공하는 것을 목적으로 한다.

<7> 청구항 1에 기재된 발명에 관한 제 1 전극, 적어도 1층으로 이루어지는 담체수송층, 제 2 전극이 적층되어 이루어지는 발광소자를 구비한 표시패널의 제조방법은, 기관상의 소정 영역에 상기 제 1 전극을 형성하는 공정과, 상기 제 1 전극을 포함하는 상기 기관상에 절연막을 형성한 후, 해당 절연막을 에칭에 의해 패터닝하여 상기 제 1 전극의 소정의 영역만이 노출되는 개구부를 형성하는 공정과, 적어도 상기 개구부에 노출되는 상기 제 1 전극상에 상기 담체수송층을 형성하는 공정을 포함한다.

<8> 청구항 2에 기재된 발명은 청구항 1에 기재된 표시패널의 제조방법에 있어서, 상기 절연막은 기관을 침식하는 에칭가스에 의해서 패터닝되고, 상기 절연막은 질화실리콘 또는 산화실리콘이다.

<9> 청구항 3에 기재된 발명은 청구항 2에 기재된 표시패널의 제조방법에 있어서, 상기 에칭가스는 산소 및 SF₆의 혼합가스이다.

<10> 청구항 4에 기재된 발명은 청구항 1 내지 3 중의 어느 한 항에 기재된 표시패널의 제조방법에 있어서, 상기 개구부가 형성되는 상기 절연막은 트랜지스터의 게이트 절연막을 포함한다.

<11> 청구항 5에 기재된 발명은 청구항 4에 기재된 표시패널의 제조방법에 있어서, 상기 제 1 전극을 형성하는 공정

후에, 상기 트랜지스터의 소스전극 또는 드레인전극의 어느 한쪽을 형성하는 공정을 포함한다.

- <12> 청구항 6에 기재된 발명은 청구항 1 내지 3 중의 어느 한 항에 기재된 표시패널의 제조방법에 있어서, 상기 개구부가 형성되는 상기 절연막은 중간절연막을 포함한다.
- <13> 청구항 7에 기재된 발명은 청구항 6에 기재된 표시패널의 제조방법에 있어서, 상기 중간절연막상에 감광성 수지층을 패터닝하는 것에 의해 बैं크를 형성하는 공정을 포함한다.
- <14> 청구항 8에 기재된 발명은 청구항 7에 기재된 표시패널의 제조방법에 있어서, 상기 बैं크를 형성하는 공정 후에, 상기 기판을 순수한 물로 세정하고, 산소 플라즈마 처리나 UV 오존 처리를 실시하여, 상기 제 1 전극 표면을 유기화합물 함유액에 대해 친액화하는 공정을 포함한다.
- <15> 청구항 9에 기재된 발명은 청구항 8에 기재된 표시패널의 제조방법에 있어서, 상기 제 1 전극을 친액화하는 공정 후에, 상기 बैं크의 표면을 상기 유기 화합물 함유액에 대해 발액화하는 공정을 포함한다.
- <16> 청구항 10에 기재된 발명은 청구항 9에 기재된 표시패널의 제조방법에 있어서, 상기 담체수송층을 형성하는 공정은 상기 बैं크 표면을 발액화하는 공정 후에, 상기 유기화합물 함유액을 도포하여 형성한다.
- <17> 청구항 11에 기재된 발명은 청구항 10에 기재된 표시패널의 제조방법에 있어서, 상기 담체수송층을 형성하는 공정 후에, 상기 담체수송층상에 상기 제 2 전극을 형성하는 공정을 포함한다.
- <18> 청구항 12에 기재된 발명은 청구항 4에 기재된 표시패널의 제조방법에 있어서, 상기 제 1 전극을 형성하는 공정 전에, 상기 기판상에, 산계의 에칭트로 웨트<습식>에칭에 의해서 상기 트랜지스터의 게이트전극을 형성하는 공정을 포함한다.
- <19> 청구항 13에 기재된 발명에 관한 제 1 전극, 적어도 1층으로 이루어지는 담체수송층, 제 2 전극이 적층되어 이루어지는 발광소자를 구비한 표시패널의 제조방법은, 기판상의 소정 영역에 상기 제 1 전극을 형성하는 공정과, 상기 제 1 전극을 형성한 후에, 트랜지스터의 상기 절연막을 퇴적하고, 에칭가스에 의해서 상기 제 1 전극상의 상기 절연막만을 제거하는 공정과, 상기 제 1 전극상에 상기 담체수송층을 형성하는 공정과, 상기 담체수송층상에 상기 제 2 전극을 형성하는 공정을 포함한다.
- <20> 청구항 14에 기재된 발명에 관한 제 1 전극, 적어도 1층으로 이루어지는 담체수송층, 제 2 전극이 적층되어 이루어지는 발광소자를 구비한 표시패널은, 절연막의 에칭가스에 노출되어 있지 않은 소정 영역을 갖는 기판과, 상기 기판의 상기 소정 영역에 설치된 상기 제 1 전극과, 상기 제 1 전극을 포함하는 상기 기판상에 형성되고 상기 제 1 전극의 소정의 영역이 노출되는 개구부를 가진 상기 절연막과, 적어도 상기 개구부에 노출되는 상기 제 1 전극상에 형성된 상기 담체수송층과, 발광층상에 형성되는 상기 제 2 전극을 포함한다.

효 과

- <21> 본 발명에 관한 표시패널 및 그 제조방법에 따르면, 색도 어긋남이나 발광휘도(발광강도)의 편차를 억제하여, 화상의 번짐이나 뿌예짐이 없는 우수한 표시특성을 실현할 수 있다.

발명의 실시를 위한 구체적인 내용

- <22> 본 발명은 이하의 상세한 설명 및 첨부도면에 의해서, 더욱 충분하게 이해될 것이지만, 이들은 오직 설명을 위한 것으로서, 본 발명의 범위를 한정하는 것은 아니다.
- <23> 이하, 본 발명에 관한 표시패널 및 그 제조방법에 대해, 실시형태를 나타내고 상세하게 설명한다.
- <24> <표시패널>
- <25> 우선, 본 발명에 관한 표시패널(유기 EL 표시패널) 및 표시화소의 1실시형태에 대해 설명한다.
- <26> 도 1은 본 발명에 관한 표시패널의 화소배열상태의 일예를 나타내는 개략 평면도이고, 도 2는 본 발명에 관한 표시패널에 2차원 배열되는 표시화소(발광소자 및 화소구동회로)의 회로 구성예를 나타내는 등가 회로도이다. 또한, 도 1에 나타내는 평면도에 있어서는 설명의 편의상, 표시패널의 일면측(유기 EL 소자의 형성측)에서 본 각 표시화소에 설치되는 화소전극의 배치와 각 배선층의 배치구조의 관계 및, 각 표시화소의 형성영역을 획정하는 बैं크(격벽)와의 배치관계만을 나타내고, 각 표시화소의 유기 EL 소자를 발광 구동하기 위해, 각 표시화소에 설치되는 도 2에 나타내는 화소구동회로내의 트랜지스터 등의 표시를 생략하였다. 또, 도 1에 있어서는 화소전극 및 각 배선층, बैं크의 배치를 명료하게 하기 위해, 편의적으로 빗금을 쳐서 나타내었다.

- <27> 도 1에 나타내는 바와 같이, 본 실시형태에 관한 표시패널(10)은 유리기관 등의 절연성의 기관(11)의 일면측(지면(紙面) 바로앞측)에, 행방향(도면 좌우방향)으로 배치된 복수의 선택라인 Ls와, 해당 선택라인 Ls에 병행하게 행방향으로 배치된 복수의 전원전압라인(예를 들면 애노드라인) Lv와, 선택라인 Ls 및 전원전압라인 Lv에 직교하는 열방향(도면 상하방향)에 배치된 복수의 데이터라인 Ld를 구비하고, 선택라인 Ls와 데이터라인 Ld의 각 교점을 포함하는 영역에 각 표시화소 PIX(서브화소 PXr, PXg, PXb)가 배치되어 있다. 또, 선택라인 Ls에는 한쪽의 단부에 단자패드 PLs가 설치되고, 전원전압라인 Lv에는 한쪽의 단부에 단자패드 PLv가 설치되어 있다.
- <28> 여기서, 상기 표시패널(10)이 컬러표시에 대응하고 있는 경우에는 도 1에 나타내는 바와 같이, 예를 들면 적(R), 녹(G), 청(B)의 3색 각각의 서브화소(이하, 편의상 「색화소」라 함) PXr, PXg, PXb가 행방향(도면 좌우방향)으로 반복 배열되는 동시에, 열방향(도면 상하방향)으로 동일색의 색화소 PXr, PXg, PXb가 복수 배열된다. 이 경우에는 행방향(도면 좌우방향)에 인접하는 RGB 3색의 색화소 PXr, PXg, PXb를 1조로 해서 1개의 표시화소 PIX를 형성한다. 단일색 발광의 색화소만의 표시패널(모노컬러 표시패널)의 경우에는 각 색화소가 1개의 표시화소 PIX로 된다.
- <29> 또, 컬러표시에 대응한 표시패널(10)에 있어서, 후술하는 제조방법에 나타내는 바와 같이, 고분자계 혹은 저분자계의 유기재료를 포함하는 용액을 도포하거나 또는 증착하여 유기 EL층을 형성하는 경우에 있어서는 도 1에 나타내는 바와 같이, 예를 들면 절연성재료로 이루어지는 बैं크(격벽)(15)가 기관(11)의 일면측으로부터 돌출되고, 표시화소(색화소) PIX마다 각각의 유기 EL층 형성영역을 둘러싸도록 책형상 또는 격자형상의 평면형상을 갖고 배치되어 있다. 이것에 의해, 도 3에 나타내는 화소형성영역 Rpx내에 있어서의 유기 EL 소자 OLED의 형성영역(도 3에 나타내는 EL 소자 형성영역 Rel)이 확정된다. 여기서, 도 1에 나타낸 바와 같은 책형상의 평면형상을 갖는 बैं크(15)의 경우에는 열방향(도면 상하방향)으로 배열된 동일색의 복수의 색화소 PXr, PXg 또는 PXb의 화소전극(예를 들면 애노드전극)(12)이 1개의 EL 소자 형성영역 Rel에 포함된다.
- <30> 표시화소 PIX(각 색화소 PXr, PXg, PXb)는 예를 들면 도 2에 나타내는 바와 같이, 기관(11)상에 복수의 트랜지스터(예를 들면 아몰퍼스 실리콘 박막 트랜지스터 등)를 갖는 화소구동회로 DC와, 해당 화소구동회로 DC에 의해 생성되는 발광구동전류가 상기 화소전극(12)에 공급되는 것에 의해 발광 동작하는 유기 EL 소자(발광소자) OLED를 구비한 회로 구성을 적용할 수 있다.
- <31> 화소구동회로 DC는 구체적으로는 예를 들면 도 2에 나타내는 바와 같이, 게이트단자가 선택라인 Ls에, 드레인단자가 데이터라인 Ld에, 소스단자가 접점 N11에 각각 접속된 트랜지스터(선택 트랜지스터) Tr11과, 게이트단자가 접점 N11에, 드레인단자가 전원전압라인 Lv에, 소스단자가 접점 N12에 각각 접속된 트랜지스터(구동 트랜지스터; 기능소자) Tr12와, 트랜지스터 Tr12의 게이트단자 및 소스단자간에 접속된 캐패시터 Cs를 구비하고 있다.
- <32> 여기서 트랜지스터 Tr11, Tr12는 모두 박막구조를 갖는 n채널형의 전계효과형 트랜지스터(박막 트랜지스터)가 적용되고 있다. 트랜지스터 Tr11, Tr12는 아몰퍼스 실리콘 박막 트랜지스터이어도, 폴리실리콘 박막 트랜지스터이어도 좋다. 또한, 트랜지스터 Tr11, Tr12에 있어서, 적어도 어느 한쪽이 p채널형이면, 소스단자 및 드레인단자가 상술과 서로 반대가 된다.
- <33> 또, 캐패시터 Cs는 트랜지스터 Tr12의 게이트-소스간에 형성되는 기생용량, 또는 해당 게이트-소스간에 부가적으로 설치된 보조용량, 혹은 이들 기생용량과 보조용량으로 이루어지는 용량성분이다. 따라서, 트랜지스터 Tr12가 p채널형이면, 캐패시터 Cs의 한쪽은 유기 EL 소자 OLED측(접점 N12측)이 아닌, 전원전압라인 Lv측에 접속된다.
- <34> 유기 EL 소자 OLED는 애노드단자(애노드전극으로 되는 화소전극(12))가 상기 화소구동회로 DC의 접점 N12에 접속되고, 캐소드단자(캐소드전극)가 대향전극(공통전극)(17)과 일체적으로 형성되고, 소정의 기준전압 Vcom(예를 들면 접지전위 Vgnd)에 직접 또는 간접적으로 접속되어 있다. 여기서, 대향전극(17)은 기관(11)상에 2차원 배열된 복수의 표시화소 PIX의 화소전극(12)에 대해 공통으로 대향하도록, 단일의 전극층(솔리드전극)에 의해 형성되어 있다. 이것에 의해, 복수의 표시화소 PIX에 상기 기준전압 Vcom이 공통으로 인가된다.
- <35> 또한, 도 2에 나타낸 표시화소 PIX(화소구동회로 DC 및 유기 EL 소자 OLED)에 있어서, 선택라인 Ls는 도 1에 나타낸 단자패드 PLs를 통해, 기관(11)의 도시를 생략한 표시영역의 주위에 설치되어 있는 선택 드라이버에 접속되고, 소정의 타이밍에서 표시패널(10)의 행방향으로 배열된 복수의 표시화소 PIX(색화소 PXr, PXg, PXb)를 선택상태로 설정하기 위한 선택신호 Ssel이 인가된다. 또, 데이터라인 Ld는 기관(11)의 도시를 생략한 표시영역의 주위에 설치되어 있는 데이터 드라이버에 접속되고, 상기 표시화소 PIX의 선택상태와 동기하는 타이밍에서 표시데이터에 따른 계조신호 Vpix가 인가된다. 여기서, 계조신호 Vpix는 유기 EL 소자 OLED의 발광휘도계조를 설정

하는 전압신호이다.

- <36> 또, 전원전압라인 Lv는 도 1에 나타난 단자패드 PLv를 통해, 예를 들면 소정의 고전위전원에 직접 또는 간접적으로 접속되고, 각 표시화소 PIX에 설치되는 유기 EL 소자 OLED의 화소전극(12)에 표시데이터에 따른 발광구동전류를 흘리기 위해, 유기 EL 소자 OLED의 대향전극(17)에 인가되는 기준전압 Vcom보다 전위가 높은 소정의 고전압(전원전압 Vdd)이 인가된다.
- <37> 즉, 도 2에 나타내는 화소구동회로 DC에 있어서는 각 표시화소 PIX에 있어서 직렬로 접속된 트랜지스터 Tr12와 유기 EL 소자 OLED의 조의 양단(트랜지스터 Tr12의 드레인단자와 유기 EL 소자 OLED의 캐소드단자)에 각각 전원전압 Vdd와 기준전압 Vcom을 인가하여, 유기 EL 소자 OLED에 순바이어스를 부여하고, 유기 EL 소자 OLED가 발광 가능한 상태로 하고, 또한 계조신호 Vpix에 따라 유기 EL 소자 OLED에 흐르는 발광구동전류의 전류값을 제어하고 있다.
- <38> 그리고, 이러한 회로 구성을 갖는 표시화소 PIX에 있어서의 구동제어동작은 우선, 도시를 생략한 선택 드라이버로부터 선택라인 Ls에 대해, 소정의 선택기간에 선택레벨(온레벨; 예를 들면 하이레벨)의 선택신호 Ssel을 인가하는 것에 의해, 트랜지스터 Tr11이 온 동작하여 선택상태로 설정된다. 이 타이밍과 동기하여, 도시를 생략한 데이터 드라이버로부터 표시데이터에 따른 전압값을 갖는 계조신호 Vpix를 데이터라인 Ld에 인가하도록 제어한다. 이것에 의해, 트랜지스터 Tr11을 통해, 계조신호 Vpix에 따른 전위가 접점 N11(즉, 트랜지스터 Tr12의 게이트단자)에 인가된다.
- <39> 도 2에 나타난 회로구성을 갖는 화소구동회로 DC에 있어서는 트랜지스터 Tr12의 드레인-소스간 전류(즉, 유기 EL 소자 OLED에 흐르는 발광구동전류)의 전류값은 드레인-소스간의 전위차 및 게이트-소스간의 전위차에 의해서 결정된다. 여기서, 트랜지스터 Tr12의 드레인단자(드레인전극)에 인가되는 전원전압 Vdd와, 유기 EL 소자 OLED의 캐소드단자(캐소드전극)에 인가되는 기준전압 Vcom은 고정값이므로, 트랜지스터 Tr12의 드레인-소스간의 전위차는 전원전압 Vdd와 기준전압 Vcom에 의해서 미리 고정되어 있다. 그리고, 트랜지스터 Tr12의 게이트-소스간의 전위차는 계조신호 Vpix의 전위에 의해서 일의적으로 결정되므로, 트랜지스터 Tr12의 드레인-소스간에 흐르는 전류의 전류값은 계조신호 Vpix에 의해서 제어할 수 있다.
- <40> 이와 같이, 트랜지스터 Tr12가 접점 N11의 전위에 따른 도통상태(즉, 계조신호 Vpix에 따른 도통상태)에서 온 동작하여, 고전위측의 전원전압 Vdd로부터 트랜지스터 Tr12 및 유기 EL 소자 OLED를 통해 저전위측의 기준전압 Vcom(접지전위 Vgnd)에 소정의 전류값을 갖는 발광구동전류가 흐르므로, 유기 EL 소자 OLED가 계조신호 Vpix(즉, 표시데이터)에 따른 휘도계조로 발광 동작한다. 또, 이 때, 접점 N11에 인가된 계조신호 Vpix에 의거하여, 트랜지스터 Tr12의 게이트-소스간의 캐패시터 Cs에 전하가 축적(충전)된다.
- <41> 다음에, 상기 선택기간 종료후의 비선택기간에 있어서, 선택라인 Ls에 비선택레벨(오프레벨; 예를 들면 로우레벨)의 선택신호 Ssel을 인가하는 것에 의해, 표시화소 PIX의 트랜지스터 Tr11이 오프 동작하여 비선택상태로 설정되고, 데이터라인 Ld와 화소구동회로 DC(구체적으로는 접점 N11)가 전기적으로 차단된다. 이 때, 상기 캐패시터 Cs에 축적된 전하가 유지되는 것에 의해, 트랜지스터 Tr12의 게이트단자에 계조신호 Vpix에 상당하는 전압이 유지된(즉, 게이트-소스간의 전위차가 유지된) 상태로 된다.
- <42> 따라서, 상기 선택상태에 있어서의 발광동작과 마찬가지로, 전원전압 Vdd로부터 트랜지스터 Tr12를 통해, 유기 EL 소자 OLED에 소정의 발광구동전류가 흘러, 발광동작상태가 계속된다. 이 발광동작상태는 다음의 계조신호 Vpix가 인가될(기입될) 때까지, 예를 들면 1프레임 기간 계속하도록 제어된다. 그리고, 이러한 구동제어동작을, 표시패널(10)에 2차원 배열된 모든 표시화소 PIX(각 색화소 PXr, PXg, PXb)에 대해, 예를 들면 각 행마다 순차 실행하는 것에 의해, 원하는 화상정보를 표시하는 화상표시동작을 실행할 수 있다.
- <43> 또한, 도 2에 있어서는 표시화소 PIX에 설치되는 화소구동회로 DC로서, 표시데이터에 따라 각 표시화소 PIX(구체적으로는 화소구동회로 DC의 트랜지스터 Tr12의 게이트단자; 접점 N11)에 기입하는 계조신호 Vpix의 전압값을 조정(지정)하는 것에 의해, 유기 EL 소자 OLED에 흘리는 발광구동전류의 전류값을 제어하여, 원하는 휘도계조로 발광 동작시키는 전압지정형의 계조제어방식에 대응한 회로구성을 나타냈지만, 표시데이터에 따라 각 표시화소 PIX에 공급하는(기입하는) 전류의 전류값을 조정(지정)하는 것에 의해, 유기 EL 소자 OLED에 흘리는 발광구동전류의 전류값을 제어하여, 원하는 휘도계조로 발광 동작시키는 전류지정형의 계조제어방식의 회로구성을 갖는 것이라도 좋다.
- <44> 또, 도 2에 나타난 화소구동회로 DC에 있어서는 2개의 n채널형의 트랜지스터 Tr11, Tr12를 적용한 회로 구성을 나타냈지만, 본 발명에 관한 표시패널은 이것에 한정되는 것은 아니고, 3개 이상의 트랜지스터를 적용한 다른

회로구성을 갖는 것이어도 좋고, 회로소자로서 p채널형의 트랜지스터만을 적용한 것, 혹은 n채널형 및 p채널형의 쌍방의 채널극성을 갖는 트랜지스터가 혼재하는 것이어도 좋다. 여기서, 도 2에 나타낸 바와 같이, 화소구동회로 DC로서 n채널형의 트랜지스터만을 적용한 경우에는 이미 제조기술이 확립된 아몰퍼스 실리콘 반도체 제조기술을 이용하여, 동작특성이 안정된 트랜지스터를 간단하게 제조할 수 있어, 상기 표시화소의 발광 특성의 편차를 억제한 화소구동회로를 실현할 수 있다.

<45> <표시화소의 디바이스 구조>

<46> 다음에, 상술한 바와 같은 회로 구성을 갖는 표시화소(화소구동회로 및 유기 EL 소자)의 구체적인 디바이스 구조(평면 레이아웃 및 단면구조)에 대해 설명한다.

<47> 도 3은 본 발명에 관한 표시패널에 적용 가능한 표시화소의 일예를 나타내는 평면 레이아웃도이다. 여기서는 도 1에 나타낸 표시화소 PIX의 적(R), 녹(G), 청(B)의 각 색화소 PXr, PXg, PXb 중, 특정의 하나의 색화소의 평면 레이아웃을 나타낸다. 또한, 도 3에 있어서는 화소구동회로 DC의 각 트랜지스터 및 배선층 등이 형성된 층을 중심으로 나타내고, 각 배선층 및 각 전극의 배치나 평면형상을 명료하게 하기 위해, 편의상 빗금을 쳐서 나타내었다. 또, 도 4의 (a) 및 도 4의 (b)는 도 3에 나타낸 평면 레이아웃을 갖는 표시화소에 있어서의 IVA-IVA선(본 명세서에 있어서는 도 3 중에 나타낸 로마숫자의 「4」에 대응하는 기호로서 편의상 「IV」를 이용한다. 이하 동일)을 따른 단면 및 IVB-IVB선을 따른 단면을 나타내는 개략 단면도이다.

<48> 도 2에 나타낸 표시화소(색화소) PIX는 구체적으로는 예를 들면 도 3에 나타내는 바와 같이, 기관(11)의 일면측에 설정된 화소형성영역 Rpx에 있어서, 도면 위쪽 및 아래쪽의 가장자리변 영역에 행방향(도면 좌우방향)으로 연장하도록 선택라인 Ls 및 전원전압라인 Lv가 각각 배치되는 동시에, 이들 라인 Ls, Lv에 직교하도록, 상기 도면 우측의 가장자리변 영역에 열방향(도면 상하방향)으로 연장하도록 데이터라인 Ld가 배치되어 있다. 또, 상기 평면 레이아웃의 우측 및 좌측의 가장자리변 영역에는 각각 우측 및 좌측에 인접하는 표시화소 PIX에 걸쳐 열방향(도면 상하방향)으로 연장하도록 뱅크(15)가 배치되어 있다.

<49> 여기서, 예를 들면 도 3, 도 4에 나타내는 바와 같이, 데이터라인 Ld는 선택라인 Ls 및 전원전압라인 Lv보다 하층측(기관(11)측)에 설치되고, 트랜지스터 Tr11, Tr12의 게이트전극 Tr11g, Tr12g를 형성하기 위한 게이트 메탈층을 패터닝하는 것에 의해서 해당 게이트전극 Tr11g, Tr12g와 동일한 공정으로 형성된다. 또, 데이터라인 Ld는 그 위에 피복 형성된 절화실리콘이나 산화실리콘으로 이루어지는 게이트 절연막(13)에 설치된 콘택트홀 CH11을 통해, 트랜지스터 Tr11의 드레인전극 Tr11d에 접속되어 있다.

<50> 또한, 게이트 메탈층은 예를 들면 알루미늄(Al), 티탄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 동(Cu), 아연(Zn), 지르코늄(Zr), 니오브(Nb), 몰리브덴(Mo), 팔라듐(Pd), 은(Ag), 인듐(In), 주석(Sn), 탄탈(Ta), 텅스텐(W), 백금(Pt), 금(Au) 단체 또는 그것을 포함하는 화합물 또는 합금을 포함하는 금속층을 양호하게 적용할 수 있다.

<51> 선택라인 Ls 및 전원전압라인 Lv는 데이터라인 Ld나 게이트전극 Tr11g, Tr12g보다 상층측에 설치되고, 트랜지스터 Tr11, Tr12의 소스전극 Tr11s, Tr12s, 드레인전극 Tr11d, Tr12d를 형성하기 위한 소스, 드레인 메탈층을 패터닝하는 것에 의해서 해당 소스전극 Tr11s, Tr12s, 드레인전극 Tr11d, Tr12d와 동일한 공정으로 형성된다.

<52> 선택라인 Ls는 트랜지스터 Tr11의 게이트전극 Tr11g의 일단측에 위치하는 게이트 절연막(13)에 설치된 콘택트홀 CH12를 통해 게이트전극 Tr11g에 접속되어 있다. 또, 전원전압라인 Lv는 트랜지스터 Tr12의 드레인전극 Tr12d와 일체적으로 형성되어 있다.

<53> 여기서, 선택라인 Ls 및 전원전압라인 Lv를 형성하기 위한 소스, 드레인 메탈층은 상술한 게이트 메탈층과 마찬가지로, 예를 들면 알루미늄(Al), 티탄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 동(Cu), 아연(Zn), 지르코늄(Zr), 니오브(Nb), 몰리브덴(Mo), 팔라듐(Pd), 은(Ag), 인듐(In), 주석(Sn), 탄탈(Ta), 텅스텐(W), 백금(Pt), 금(Au) 단체 또는 그것을 포함하는 화합물 또는 합금을 포함하는 금속층을 양호하게 적용할 수 있다. 1구체예로서는 알루미늄 단체(Al)나 알루미늄-티탄(AlTi), 알루미늄-네오뎀-티탄(AlNdTi) 등의 알루미늄 합금, 동(Cu) 등의 배선저항을 저감하기 위한 저저항 금속의 단층이나 합금층에 의해 형성하는 것이어도 좋고, 크롬(Cr)이나 티탄(Ti) 등의 마이그레이션(이동)을 저감하기 위한 천이금속층이 상기 저저항 금속층의 하층에 설치된 적층구조를 갖는 것이어도 좋다. 특히, AlTi/Cr의 2층 구조나 AlNdTi/Cr의 2층 구조가 바람직하다. 또한, 게이트 메탈층 및 소스, 드레인 메탈층을 동일한 스퍼터 등의 성막장치에서 형성하는 경우, 게이트 메탈층을 소스, 드레인 메탈층과 동일한 재료 구성, 동일한 층 구조로 해도 좋다.

<54> 그리고, 화소구동회로 DC는 더욱 구체적으로는 예를 들면 도 3에 나타내는 바와 같이, 도 2에 나타낸 트랜지스

터 Tr11 및 Tr12가 열방향을 따라 연장하도록 배치되어 있다. 여기서, 각 트랜지스터 Tr11, Tr12는 주지의 전계 효과형의 박막 트랜지스터 구조를 갖고, 각각 예를 들면 기판(11)상에 형성된 게이트전극 Tr11g, Tr12g와, 해당 게이트전극 Tr11g, Tr12g상에 피복 형성된 게이트 절연막(13)을 통해 각 게이트전극 Tr11g, Tr12g에 대응하는 영역에 형성된 반도체층 SMC와, 해당 반도체층 SMC의 채널의 양측부에 연장하도록 형성된 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d를 갖는 역스태거 구조를 갖고 있다.

<55> 또한, 각 트랜지스터 Tr11, Tr12의 소스전극 Tr11s, Tr12s와 드레인전극 Tr11d, Tr12d가 양 단부에 대향해서 배치된 반도체층 SMC의 채널상에는 제조 프로세스에 있어서 해당 반도체층 SMC로의 에칭 데미지를 방지하기 위한 산화실리콘 또는 질화실리콘 등의 채널보호층(블록층) BL이 형성되고, 또, 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d가 접촉하는 반도체층 SMC의 채널의 양 단부상에는 해당 반도체층 SMC와 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d의 옴 접촉을 실현하기 위한 불순물층 OHM이 형성되어 있다.

<56> 그리고, 도 2에 나타낸 화소구동회로 DC의 회로 구성에 대응하도록, 트랜지스터 Tr11은 도 3에 나타내는 바와 같이, 게이트전극 Tr11g가 게이트 절연막(13)에 설치된 콘택트홀 CH12를 통해 선택라인 Ls에 접속되고, 마찬가지로 드레인전극 Tr11d가 게이트 절연막(13)에 설치된 콘택트홀 CH11을 통해 데이터라인 Ld에 접속되어 있다.

<57> 트랜지스터 Tr12는 도 3, 도 4의 (a)에 나타내는 바와 같이, 게이트전극 Tr12g가 게이트 절연막(13)에 설치된 콘택트홀 CH13을 통해 상기 트랜지스터 Tr11의 소스전극 Tr11s에 접속되고, 마찬가지로 드레인전극 Tr12d가 전원전압라인 Lv와 일체적으로 형성되며, 마찬가지로 소스전극 Tr12s가 기판(11)상에 설치된 유기 EL 소자 OLED의 화소전극(12)에 직접 접속되어 있다.

<58> 또, 캐패시터 Cs는 도 3, 도 4의 (b)에 나타내는 바와 같이, 기판(11)상에 트랜지스터 Tr12의 게이트전극 Tr12g와 일체적으로 형성된 전극 Eca와, 게이트 절연막(13)상에 트랜지스터 Tr12의 소스전극 Tr12s와 일체적으로 형성된 전극 Ecb가 게이트 절연막(13)을 통해 대향하도록 설치되어 있다.

<59> 유기 EL 소자 OLED는 도 3, 도 4에 나타내는 바와 같이, 상기 트랜지스터 Tr11, Tr12의 게이트전극 Tr11g, Tr12g와 동일층으로 되는 기판(11)상에 직접 설치되는 동시에, 트랜지스터 Tr12의 소스전극 Tr12s에 직접 접속되고, 소정의 발광구동전류가 공급되는 광투과특성을 갖는 화소전극(예를 들면 애노드전극)(12)과, 상기 게이트 절연막(13), 트랜지스터 Tr11, Tr12, 캐패시터 Cs 및 각 라인 Ls, Lv, Ld를 피복하고, 인접하는 표시화소 PIX의 화소전극(12)과의 사이의 영역(경계영역)에 형성된 층간절연막(14) 및, 해당 층간절연막(14)상에 연속적으로 돌출되어 배치된 뱅크(15)에 의해 획정된(뱅크(15)에 둘러싸인 영역인) EL 소자 형성영역 Rel에 형성된 예를 들면 정공수송층의 담체수송층인 정공수송층(16a) 및, 전자수송층이고 발광하는 담체수송층인 전자수송층 발광층(16b)을 갖는 유기 EL층(담체수송층)(16)과, 기판(11)상에 2차원 배열된 각 표시화소 PIX의 화소전극(12)에 공통해서 대향하도록 설치된 광반사특성을 갖는 단일의 전극층(솔리드전극)으로 이루어지는 대향전극(예를 들면 캐소드전극)(17)을 순차 적층하는 것에 의해 형성된다.

<60> 표시화소 PIX의 각 트랜지스터 Tr11, Tr12는 역스태거 구조의 박막 트랜지스터로서, 게이트 절연막(13)이 EL 소자 형성영역 Rel과 중첩되지 않도록, 즉, 화소전극(12) 중, 후술하는 층간절연막(14)의 단부(14a)로 둘러싸인 개구부로부터 노출되는 영역에 있어서, 게이트 절연막(13)이 형성되어 있지 않다.

<61> 가령, 상기와 같은 구조와는 달리, 유기 EL층(16)의 하면에, 화소전극(12) 및 게이트 절연막(13)이 서로 중첩되도록 배치되어 있으면, 화소전극(12) 및 게이트 절연막(13)의 사이에서 굴절률차가 있으면, 유기 EL층(16)이 발하는 광은 광의 입사각에 따라 화소전극(12) 및 게이트 절연막(13)의 계면에서 반사를 일으키고, 다중 반사의 원인으로 된다.

<62> 화소전극(12)을 굴절률이 2.1 정도의 ITO, 게이트 절연막(13)을 굴절률이 2.0 정도의 질화실리콘, 기판(11)을 굴절률이 1.5 정도의 유리로 하면, 게이트 절연막(13)의 막두께가 200nm와 190nm에서는 xyz 색도 좌표계에서 차이가 0.03 정도 생겨 버린다. 이와 같이, 화소전극(12) 아래쪽의 광로에 기판 이외에 게이트 절연막이 배치되어 버리면, 게이트 절연막의 막두께가 $\pm 5\%$ 정도 다른 것만으로도 시각적으로 다른 색을 기판으로부터 출사해 버린다.

<63> 상기 실시형태에서는 화소전극(12)과 기판(11)의 사이의 광로에, 비교적 편차가 생기기 쉬운 게이트 절연막(13)을 배치시키지 않으므로, 유기 EL층(16)으로부터 발하는 광은 화소전극(12)을 투과하여, 게이트 절연막(13)에 의한 광의 산란이나 간섭을 받는 일 없이 기판(11)을 통해 출사된다. 이 때문에, 출사광의 색도 어긋남을 억제할 수 있다.

<64> 여기서, 대향전극(17)은 각 EL 소자 형성영역 Rel 뿐만 아니라, 해당 EL 소자 형성영역 Rel를 획정하는 뱅크

(15)상으로도 연장하도록 설치되어 있다. 또, EL 소자 형성영역 Re1의 주위는 도 3에 나타난 평면 레이아웃의 좌우방향에 인접하는 표시화소 PIX의 EL 소자 형성영역 Re1와의 경계영역에 बैं크(15)가 형성되어 있으므로, 선택라인 Ls 및 전원전압라인 Lv의 일부 및, 데이터라인 Ld, 트랜지스터 Tr11, Tr12는 बैं크(15)와 평면적으로(평면에서 보아) 중첩되어 있다. 그 때문에, बैं크(15)는 해당 बैं크(15)상에 형성된 상기 대향전극(17)에 의한 기생 용량의 영향을 완화하고 있다.

<65> 또한, 본 실시형태에 관한 표시화소의 디바이스 구조는 도 3, 도 4에 나타난 구성에 한정될 필요는 없고, 선택라인 Ls 및 전원전압라인 Lv를, 게이트 메탈층을 패터닝하는 것에 의해서 게이트 절연막(13)의 하층에 형성하고, 데이터라인 Ld를, 소스, 드레인 메탈층을 패터닝하는 것에 의해서 게이트 절연막(13)의 상층에 형성함으로써 콘택트홀 CH11 및 CH12를 설치하는 일 없이, 선택라인 Ls를 게이트전극 Tr11g와 일체적으로, 또 데이터라인 Ld를 드레인전극 Tr11d와 일체적으로 설치하도록 해도 좋다.

<66> बैं크(15)는 도 1에 나타내는 바와 같이, 표시패널(10)에 2차원 배열되는 복수의 표시화소 PIX 상호의 경계영역, 구체적으로는 표시패널(10)의 행방향에 반복 배열되는 색화소 PXr, PXg, PXb의 각 화소전극(12)간의 영역으로서, 표시패널(10)의 열방향에, 동일색의 색화소 PXr, PXg 또는 PXb의 복수의 화소전극(12)을 둘러싸는 책형상(또는 각 색화소 PXr, PXg, PXb의 각 화소전극(12)을 둘러싸는 격자형상)의 평면 패턴을 갖도록 배치되어 있다.

<67> 여기서, 도 3, 도 4에 나타내는 바와 같이, 상기 경계영역에는 열방향으로 상기 트랜지스터 Tr11, Tr12가 연장되어 형성되어 있고, बैं크(15)는 해당 트랜지스터 Tr11, Tr12를 피복하고, 각 화소형성영역 Rpx의 화소전극(12)간에 형성되는 층간절연막(14)상에, 기판(11) 표면으로부터 높이 방향으로 연속적으로 돌출되도록 형성되어 있다. 이것에 의해, बैं크(15)에 의해 둘러싸인 영역, 즉 열방향에 배열된 복수의 표시화소 PIX의 화소전극(12)을 포함하는 영역이, 후술하는 제조방법에 있어서 유기 EL층(16)(예를 들면 정공수송층(16a) 및 전자수송성 발광층(16b))을 형성할 때의 유기화합물 재료를 포함하는 용액 혹은 현탁액의 용매(유기화합물 함유액)의 도포영역(즉, EL 소자 형성영역 Re1)으로서 규정된다.

<68> 또, बैं크(15)는 예를 들면 감광성의 수지재료를 이용하여 형성되고, 상기 유기 EL층(16)의 형성시에 있어서, 적어도 그 표면(측면 및 상면)이 EL 소자 형성영역 Re1에 도포되는 유기화합물 함유액에 대해 발액성을 갖도록 표면 처리가 실시되어 있다.

<69> 그리고, 상기 화소구동회로 DC, 유기 EL 소자 OLED 및 बैं크(15)가 형성된 기판(11)의 일면측 전역에는 예를 들면 도 4에 나타내는 바와 같이, 보호절연막(패시베이션막)으로서의 기능을 갖는 밀봉층(18)이 피복 형성되어 있다. 또, 기판(11)에 대향하도록 도시를 생략한 유리기판 등으로 이루어지는 밀봉기판이 접합되어 있는 것이어도 좋다.

<70> 이와 같이, 본 실시형태에 관한 표시패널에 있어서는 유기 EL 소자 OLED의 발광동작을 제어하는 화소구동회로 DC의 출력단(트랜지스터 Tr12의 소스전극 Tr12s)에 접속된 ITO 등의 투명전극재료를 이루어지는 화소전극(12)이, 게이트 절연막(13)을 통하는 일 없이 기판(11)상에 직접 설치되어 있다. 특히, 화소전극(12)은 화소구동회로 DC의 트랜지스터 Tr11, Tr12를 형성하는 게이트전극 Tr11g, Tr12g와 동일층(기판(11)에 직접 접하는 층)에 설치되는 동시에, 해당 게이트전극 Tr11g, Tr12g와는 다른 공정으로 형성되어 있는 것을 특징으로 하고 있다.

<71> 그리고, 이러한 표시패널(10)(표시화소 PIX)에 있어서는 데이터라인 Ld를 통해 공급되는 표시데이터에 따른 게조신호 Vpix에 의거하여, 소정의 전류값을 갖는 발광구동전류가 트랜지스터 Tr12의 드레인-소스간에 흐르고, 유기 EL 소자 OLED의 화소전극(12)에 공급되는 것에 의해, 각 표시화소(색화소) PIX의 유기 EL 소자 OLED가 상기 표시데이터에 따른 원하는 휘도계조로 발광 동작한다.

<72> 여기서, 본 실시형태에 관한 표시패널(10)에 있어서는 화소전극(12)이 광투과특성(가시광선에 대해 높은 투과율)을 갖고 또한 대향전극(17)이 광반사특성(가시광선에 대해 높은 반사율)을 갖는 것에 의해, 각 표시화소 PIX의 유기 EL층(16)에 있어서 발광한 광이, 광투과특성을 갖는 화소전극(12) 및 기판(11)을 통해 시야측(도 4의 아래쪽)에 직접 출사되는 동시에, 광반사특성을 갖는 대향전극(17)에서 반사되고, 화소전극(12)을 통해 시야측에 출사되는 보텀 에미션형의 발광구조를 실현할 수 있다.

<73> 이 때, 상술한 바와 같이, 유기 EL층(발광층)(16)에 있어서 발광한 광은 투명한 화소전극(12) 및 투명한 기판(11)만을 통해 시야측에 출사되므로, 예를 들면 화소전극이 기판상에 형성된 게이트 절연막상에 설치된 패널구조를 갖는 표시패널에 비해, 광의 출사경로(광로)에 개재하는 게이트 절연막의 막두께분포(막두께의 편차)에 기

인하는 간섭효과를 억제하여, R, G, B의 각 발광색의 색도 어긋남이나 발광휘도의 편차를 억제할 수 있어, 화상의 번짐이나 뿌예짐 등이 없는 양호한 표시특성을 실현할 수 있다.

<74> (표시패널의 제조방법)

<75> 다음에, 본 실시형태에 관한 표시패널의 제조방법에 대해 설명한다.

<76> 도 5 내지 도 9는 본 실시형태에 관한 표시패널의 제조방법의 일예를 나타내는 공정 단면도이다. 여기서는 도 4에 나타난 IVA-IVA선 및 IVB-IVB선을 따른 표시패널의 단면구조 중, 각 일부분(트랜지스터 Tr12, 캐패시터 Cs, 유기 EL 소자 OLED, 데이터라인 Ld, 선택라인 Ls, 전원전압라인 Lv 등) 및, 도 1에 나타난 선택라인 Ls의 단부에 설치되는 단자패드 PLs, 전원전압라인 Lv의 단부에 설치되는 단자패드 PLv를 편의상 추출한 구조를 나타내어 제조방법의 개략을 설명한다.

<77> 상술한 표시패널의 제조방법은 우선, 도 1, 도 3에 나타난 바와 같이, 유리기관 등의 절연성의 기관(11)의 일면측(도면 상면측)에 설정된 표시화소 PIX(색화소 PXr, PXg, PXb)의 화소형성영역 Rpx에, 화소구동회로 DC의 트랜지스터 Tr11, Tr12나 캐패시터 Cs, 데이터라인 Ld나 선택라인 Ls, 전원전압라인 Lv 등의 배선층을 형성한다.

<78> 구체적으로는 도 5의 (a)에 나타내는 바와 같이, 기관(11)상에 게이트 메탈층을 형성하고, 해당 게이트 메탈층을 웨트에칭에 의해 패터닝하는 것에 의해서, 게이트전극 Tr11g, Tr12g 및, 해당 게이트전극 Tr12g와 일체적으로 형성되는 캐패시터 Cs의 한쪽측의 전극 Eca, 데이터라인 Ld, 선택라인 Ls에 접속된 단자패드 PLs의 하층전극층 PLs1, 전원전압라인 Lv에 접속된 단자패드 PLv의 하층전극층 PLv1을 동시에 형성한다. 이 때, 산계의 에칭액(예를 들면 불산계 에칭액)은 화소전극이 형성되는 영역의 기관(11)의 표면에 접하지만, 유리에 대해 충분히 선택비가 취해지므로 기관(11)을 에칭하는 일은 없다.

<79> 또한, 게이트 메탈층은 예를 들면 알루미늄(Al), 티탄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 동(Cu), 아연(Zn), 지르코늄(Zr), 니오브(Nb), 몰리브덴(Mo), 팔라듐(Pd), 은(Ag), 인듐(In), 주석(Sn), 탄 탈(Ta), 텅스텐(W), 백금(Pt), 금(Au) 단체 또는 그것을 포함하는 화합물 또는 합금을 포함하는 금속층을 양호하게 적용할 수 있다.

<80> 여기서, 선택라인 Ls 및 전원전압라인 Lv를 복수의 도전층을 적층한 배선구조에 의해 형성하는 경우에는 상기 게이트 메탈층을 패터닝할 때에, 선택라인 Ls의 하층배선층 및 전원전압라인 Lv의 하층배선층(모두 도시를 생략)을, 상기 게이트전극 Tr11g, Tr12g 등과 동시에 형성한다. 이 경우, 도 3에 나타내는 바와 같이, 소스, 드레인 메탈층 Ls-d를 패터닝하여 얻어지는 데이터라인 Ld와, 게이트 메탈층을 패터닝하여 얻어지는 선택라인 Ls 및 전원전압라인 Lv가 교차하는 영역에 있어서는 서로 전기적으로 접속되지 않도록, 예를 들면 게이트 메탈층에 의해서 선택라인 Ls 및 전원전압라인 Lv의 하층배선을 형성하지 않고, 데이터라인 Ld와, 선택라인 Ls 및 전원전압라인 Lv와의 사이에 후술 하는 게이트 절연막(13)을 개재시키도록 한다.

<81> 다음에, 상기 게이트전극 Tr11g, Tr12g나 캐패시터 Cs의 전극 Eca, 데이터라인 Ld, 하층전극층 PLs1, PLv1을 포함하는 기관(11)상에, 스퍼터링법 등을 이용하여 주석 도프 산화인듐(Indium Tin Oxide; ITO)이나 산화인듐과 산화아연의 산화물(Indium Zinc Oxide), 텅스텐 도프 산화인듐(Indium Tungsten Oxide; IWO), 텅스텐-아연 도프 산화인듐(Indium Tungsten Zinc Oxide; IWZO) 등의 투명전극재료로 이루어지는(광투과특성을 갖는) 도전성 산화금속층을 박막 형성한 후, 해당 도전성 산화금속층을 패터닝하여, 도 5의 (b)에 나타내는 바와 같이, 각 표시화소 PIX의 EL 소자 형성영역 Re1에 소정의 평면형상(예를 들면 직사각형형상)을 갖는 화소전극(12)을 형성한다.

<82> 다음에, 도 5의 (c)에 나타내는 바와 같이, 상기 게이트전극 Tr11g, Tr12g나 화소전극(12) 등을 포함하는 기관(11)의 전역을 피복하도록, 예를 들면 화학기상 성장법(CVD법) 등을 이용하여, 질화실리콘, 산화실리콘 등으로 이루어지는 게이트 절연막(13), 아몰퍼스 실리콘 등으로 이루어지는 반도체층 Lsmc 및 질화실리콘 등으로 이루어지는 절연층 Lbl을 순차 적층 형성한다. 그 후, 도 5의 (d)에 나타내는 바와 같이, 최상층의 절연층 Lbl을 도하지 않은 포토레지스트 마스크를 이용하여 패터닝하여, 상기 게이트전극 Tr11g, Tr12g에 대응하는 영역에 질화실리콘 등으로 이루어지는 채널보호층(블록층) BL을 형성한다.

<83> 다음에, 도 6의 (a)에 나타내는 바와 같이, 상기 기관(11)의 전역을 피복하도록, 예를 들면 CVD법 등을 이용하여, 불순물을 도프한 n+ 실리콘층 Lohm을 형성한 후, 해당 n+ 실리콘층 Lohm, 반도체층 Lsmc 및 게이트 절연막(13)을, 산소 및 SFO₆의 혼합가스를 이용하여 연속적으로 드라이에칭하여, 각 화소형성영역 Rpx내의 EL 소자 형성영역 Re1에 화소전극(12)이 노출되는 개구부, 데이터라인 Ld의 특징의 영역의 상면만이 노출되는 콘택트홀

CH11(도 3 참조), 게이트전극 Tr11g, Tr12g의 특징의 영역의 상면만이 각각 노출되는 콘택트홀 CH12, CH13(도 3 참조) 및 단자패드부에 하층전극층 PLs1, PLv1만이 각각 노출되는 개구부 CHs1, CHv1을 형성한다. 이 경우에 있어서의 화소전극(12)만이 노출되는 개구부의 형상은 게이트 절연막(13), 반도체층 Lsmc 및 n+ 실리콘층 Lohm의 단부(13a)의 형상에 의해 규정된다. 이 때, 화소전극(12)의 하면에 위치하는 기관(11)의 영역은 화소전극(12)에 덮여 있으므로 드라이에칭의 에천트<etchant>에 노출되는 일 없이, 평활한 상태를 유지할 수 있다.

<84> 다음에, 도 6의 (b)에 나타내는 바와 같이, 상기 기관(11)의 전역에, 소스, 드레인 메탈층 Ls-d를 형성한다. 여기서, 소스, 드레인 메탈층 Ls-d는 상술한 게이트 메탈층과 마찬가지로, 예를 들면 알루미늄(Al), 티탄(Ti), 바나듐(V), 크롬(Cr), 망간(Mn), 철(Fe), 코발트(Co), 니켈(Ni), 동(Cu), 아연(Zn), 지르코늄(Zr), 니오브(Nb), 몰리브덴(Mo), 팔라듐(Pd), 은(Ag), 인듐(In), 주석(Sn), 탄탈(Ta), 텅스텐(W), 백금(Pt), 금(Au) 단체 또는 그것을 포함하는 화합물 또는 합금을 포함하는 금속층을 양호하게 적용할 수 있다. 1구체예로서는 알루미늄 단체(Al)나 알루미늄-티탄(AlTi), 알루미늄-네오뎀-티탄(AlNdTi) 등의 알루미늄 합금, 동(Cu) 등의 배선저항을 저감하기 위한 저저항 금속의 단층이나 합금층에 의해 형성하는 것이어도 좋고, 크롬(Cr)이나 티탄(Ti) 등의 마이그레이션을 저감하기 위한 천이금속층이 상기 저저항 금속층의 하층에 설치된 적층구조를 갖는 것이어도 좋다.

<85> 다음에, 소스, 드레인 메탈층상에 패터닝된 마스크 MSK를 형성하고, 해당 마스크 MSK를 이용하여 소스, 드레인 메탈층 Ls-d를 에칭하여, 트랜지스터 Tr11, Tr12의 각 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d, 캐패시터 Cs의 다른쪽측의 전극 Ecb, 선택라인 Ls 및 해당 선택라인 Ls에 접속된 단자패드 PLs의 상층전극층 PLs2, 전원전압라인 Lv 및 해당 전원전압라인 Lv에 접속된 단자패드 PLv의 상층전극층 PLv2를 동시에 형성한다.

<86> 계속해서, 해당 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d, 캐패시터 Cs의 전극 Ecb, 선택라인 Ls 및 전원전압라인 Lv, 상층 전극층 PLs2, 층 PLv2를 마스크로 해서 이용하여, n+ 실리콘층 Lohm 및 반도체층 Lsmc를 연속적으로 에칭하여, 도 6의 (c)에 나타내는 바와 같이, 게이트 절연막(13)상의 게이트전극 Tr11g, Tr12g에 대응하는 영역에 채널영역을 갖는 반도체층 SMC를 형성하는 동시에, 해당 반도체층 SMC와 상기 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d의 사이에 각각 불순물층 OHM을 형성한다.

<87> 이것에 의해, 게이트전극 Tr11g, Tr12g상에 게이트 절연막(13)을 통해 반도체층 SMC를 갖고, 채널영역의 양 단부에 불순물층 OHM을 통해 소스전극 Tr11s, Tr12s 및 드레인전극 Tr11d, Tr12d를 갖는 트랜지스터 Tr11, Tr12가 형성된다. 이 때, 도 3에 나타내는 바와 같이, 트랜지스터 Tr11의 드레인전극 Tr11d는 게이트 절연막(13)에 형성된 콘택트홀 CH11을 통해 데이터라인 Ld에 접속되고, 마찬가지로 소스전극 Tr11s가 게이트 절연막(13)에 형성된 콘택트홀 CH13을 통해 트랜지스터 Tr12의 게이트전극 Tr12g에 접속된다. 또, 소스전극 Tr12s의 일단측은 화소전극(12)상으로까지 연장하여 서로 전기적으로 접속되는 동시에, 해당 소스전극 Tr12s와의 접속부를 제외하고, 화소전극(12)의 상면이 재차 노출된다.

<88> 또, 상기 공정에 의해, 캐패시터 Cs의 전극 Ecb, 선택라인 Ls 및 전원전압라인 Lv, 상층전극층 PLs2, 층 PLv2와 게이트 절연막(13)과의 사이에, 각각 n+ 실리콘층 Lohm 및 반도체층 Lsmc가 개재하도록 형성된다. 이 때, 선택라인 Ls는 게이트 절연막(13)에 설치된 콘택트홀 CH12를 통해 트랜지스터 Tr11의 게이트전극 Tr11g에 접속되고, 또 전원전압라인 Lv는 트랜지스터 Tr12의 드레인전극 Tr12d와 일체적으로 형성되어 있다.

<89> 또, 게이트전극 Tr12g와 일체적으로 형성된 전극 Eca와, 소스전극 Tr12s와 일체적으로 형성된 전극 Ecb(n+ 실리콘층 Lohm 및 반도체층 Lsmc를 포함)가 유전체로 되는 게이트 절연막(13)을 통해 대향하여 배치되어, 캐패시터 Cs가 형성된다. 또한, 단자패드부에 있어서는 n+ 실리콘층 Lohm, 반도체층 Lsmc 및 게이트 절연막(13)에 형성된 상기 개구부 CHs1, CHv1을 통해, 상층전극층 PLs2, 층 PLv2와 하층전극층 PLs1, PLv1이 각각 전기적으로 접속되어, 단자패드 PLs, PLv가 형성된다.

<90> 다음에, 도 7의 (a)에 나타내는 바와 같이, 상기 트랜지스터 Tr11, Tr12나 선택라인 Ls, 전원전압라인 Lv 등이 형성되고, 화소전극(12)이 노출되는 기관(11)상에, CVD법 등을 이용하여, 예를 들면 실리콘산화막이나 실리콘질화막 등의 무기의 절연성재료로 이루어지는 절연층 Lisl을 형성한 후, 해당 절연층 Lisl을 패터닝하는 것에 의해서, 도 7의 (b)에 나타내는 바와 같이, 표시패널(10)의 행방향(도 1, 도 3의 좌우방향)에 배열된 인접하는 표시화소 PIX의 EL 소자 형성영역 Re1간의 영역(또는 화소전극(12)간의 영역; 경계영역)을 전기적으로 절연하는 층간절연막(14)을 형성하는 동시에, 각 표시화소 PIX의 EL 소자 형성영역 Re1에 화소전극(12)이 노출되는 개구부, 및 단자패드부에 있어서 상층전극층 PLs2, PLv2가 각각 노출되는 개구부 CHs2, CHv2를 형성한다. 이 경우에 있어서의 화소전극(12)이 노출되는 개구부의 형상은 층간절연막(14)의 단부(14a)의 형상에 의해 규정된다.

<91> 다음에, 도 8의 (a)에 나타내는 바와 같이, 인접하는 표시화소 PIX(화소전극(12))간의 경계영역에 형성된 상기

층간절연막(14)상에, 예를 들면 폴리이미드계나 아크릴계 등의 감광성의 수지재료로 이루어지는 बैं크(15)를 형성한다. 구체적으로는 상기 층간절연막(14)을 포함하는 기판(11)의 일면측 전역을 피복하도록 형성된 감광성 수지층을 패터닝하는 것에 의해, 도 1에 나타난 바와 같이, 행방향에 인접하는 표시화소 PIX간의 경계영역으로서, 표시패널(10)의 열방향으로 연장하는 영역을 포함하는 책형상의 평면형상을 갖고, 높이방향으로 연속적으로 돌출된 बैं크(격벽)(15)를 형성한다. 이것에 의해, 표시패널(10)의 열방향에 배열된 동일색의 복수의 표시화소(색화소) PIX의 EL 소자 형성영역 Rel가 बैं크(15) 및 층간절연막(14)에 의해 둘러싸여 확정되어, 해당 EL 소자 형성영역 Rel내에 각 표시화소 PIX의 화소전극(12)의 상면이 노출된다.

<92> 다음에, 기판(11)을 순수한 물로 세정한 후, 예를 들면 산소 플라스마 처리나 UV 오존 처리 등을 실시하는 것에 의해, EL 소자 형성영역 Rel에 노출되는 각 화소전극(12)의 표면을, 후술하는 정공수송재료나 전자수송성 발광재료의 유기화합물 함유액에 대해 친액화하는 처리를 실시하고, 계속해서, बैं크(15)의 표면에 CF₄ 플라스마 처리를 실행하고, 선택적으로 बैं크(15)의 표면을 유기화합물 함유액에 대해 발액화하는 처리를 실시한다. 또한, बैं크(15)를 형성하는 수지재료 자체에 미리 불소원자나 불소원자를 포함하는 관능기가 포함되어 있으면, 상기 발액화처리는 반드시 실행하지 않아도 좋다.

<93> 이것에 의해, 동일한 기판(11)상에 있어서, बैं크(15)의 표면이 발액화 처리되고, 해당 बैं크(15)에 의해 확정된 각 화소형성영역 Rpx에 노출되는 화소전극(12)의 표면은 발액화되어 있지 않은 상태(친액성)가 유지되므로, 후술하는 바와 같이, 유기화합물 함유액을 도포하여 유기 EL층(16)(전자수송성 발광층(16b))을 형성하는 경우에도, 인접하는 EL 소자 형성영역 Rel에의 유기화합물 함유액의 누출이나 넘어감을 방지할 수 있어, 인접화소 상호의 혼색을 억제하고, 적(R), 녹(G), 청(B)색을 나누어 도포하는 것이 가능하게 된다.

<94> 또한, 본 실시형태에 있어서 사용하는 「발액성」은 후술하는 정공수송층(16a)으로 되는 정공수송재료를 함유하는 유기화합물 함유액이나, 전자수송성 발광층(16b)으로 되는 전자수송성 발광재료를 함유하는 유기화합물 함유액, 혹은 이들 용액에 이용하는 유기용매를 기판상 등에 적하하여, 접촉각의 측정을 실행한 경우에, 해당 접촉각이 50° 이상이 되는 상태로 규정한다. 또, 「발액성」에 대치하는 「친액성」은 본 실시형태에 있어서는 상기 접촉각이 40° 이하, 바람직하게는 10° 이하가 되는 상태로 규정한다.

<95> 다음에, 도 8의 (b)에 나타내는 바와 같이, 상기 बैं크(15)에 의해 둘러싸인(확정된) 각 색의 EL 소자 형성영역 Rel에 대해, 프로세스 제어성이나 생산성이 우수한 잉크젯법이나 노즐 프린팅법 등을 적용하여, 고분자계의 유기재료로 이루어지는 정공수송재료의 용액 또는 분산액을 도포한 후, 가열 건조시켜 정공수송층(16a)을 형성한다. 계속해서, 해당 정공수송층(16a)상에 R, G, B의 발광색에 대응한 고분자계의 유기재료로 이루어지는 전자수송성 발광재료의 용액 또는 분산액을 도포한 후, 가열 건조시켜 전자수송성 발광층(16b)을 형성한다. 이것에 의해, 도 9의 (a)에 나타내는 바와 같이, 화소전극(12)상에 적어도 정공수송층(16a) 및 전자수송성 발광층(16b)을 갖는 유기 EL층(16)이 적층 형성된다.

<96> 구체적으로는 유기 고분자계의 정공수송재료를 포함하는 유기화합물 함유액으로서, 예를 들면 폴리에틸렌디옥시티오펜/폴리스티렌 술폰산 수용액(PEDOT/PSS; 도전성 폴리머인 폴리에틸렌디옥시티오펜 PEDOT와, 도펀트인 폴리스티렌 술폰산 PSS를 수계 용매에 분산시킨 분산액)을 상기 화소전극(12)상에 도포한 후, 가열건조처리를 실행하여 용매를 제거하는 것에 의해, 해당 화소전극(12)상에 유기 고분자계의 정공수송재료를 정착시켜, 담체수송층인 정공수송층(16a)을 형성한다.

<97> 또, 유기 고분자계의 전자수송성 발광재료를 포함하는 유기화합물 함유액으로서, 예를 들면 폴리파라페닐렌비렌계나 폴리플루오렌계 등의 공액 이중결합 폴리머를 포함하는 발광재료를, 테트라린, 테트라메틸벤젠, 메시틸렌, 크실렌 등의 유기용매 혹은 물에 용해한 용액을 상기 정공수송층(16a)상에 도포한 후, 가열건조처리를 실행하여 용매를 제거하는 것에 의해, 정공수송층(16a)상에 유기 고분자계의 전자수송성 발광재료를 정착시켜, 담체수송층이고 발광층이기도 한 전자수송성 발광층(16b)을 형성한다.

<98> 그 후, 도 9의 (b)에 나타내는 바와 같이, 적어도 각 표시화소 PIX의 EL 소자 형성영역 Rel을 포함하는 기판(11)상에 광반사특성을 갖고, 상기 유기 EL층(16)(정공수송층(16a) 및 전자수송성 발광층(16b))을 통해 각 표시화소 PIX의 화소전극(12)에 대향하는 공통의 대향전극(예를 들면 캐소드전극)(17)을 형성한다.

<99> 구체적으로는 대향전극(17)은 예를 들면 진공증착법이나 스퍼터링법을 이용하여, 1~10nm 정도의 막두께를 갖고, 칼슘(Ca), 바륨(Ba), 리튬(Li), 인듐(In) 등의 일함수가 낮은 전자주입층(캐소드전극)을 형성한 후, 그 상층에 100nm 이상의 막두께를 갖고, 알루미늄(Al), 크롬(Cr), 은(Ag), 팔라듐은(AgPd)계의 합금, 또는 ITO 등의 일함수가 높은 박막(전원공급전극)을 적층 형성한 전극구조를 적용할 수 있다. 여기서, 대향전극(17)은 도

1, 도 4에 나타난 바와 같이, 각 EL 소자 형성영역 Re1에 노출되는 화소전극(12)에 대향하는 영역 뿐만 아니라, 각 EL 소자 형성영역 Re1을 확장하는 बैं크(15)상으로까지 연장하는 단일의 도전층(솔리드전극)으로서 형성된다.

- <100> 다음에, 상기 대향전극(17)을 형성한 후, 기관(11)의 일면측 전역에 보호절연막(패시베이션막)으로서 실리콘산화막이나 실리콘질화막 등으로 이루어지는 밀봉층(18)을 CVD법 등을 이용하여 형성하는 것에 의해, 도 4에 나타난 바와 같은 단면구조(보텀 에미션형의 발광구조)를 갖는 표시패널(10)이 완성된다. 또한, 상기 밀봉층(18)에 부가하여, 또는 밀봉층(18) 대신에, UV경화 또는 열경화 접착제를 이용하여, 메탈캡(밀봉덮개)이나 유리 등의 밀봉기판을 접합하는 것이어도 좋다.
- <101> 이와 같이, 본 실시형태에 관한 표시패널의 제조방법은 트랜지스터 Tr11, Tr12의 게이트 절연막(13)의 패터닝 공정에 앞서, 각 표시화소 PIX에 설치되는 유기 EL 소자 OLED의 화소전극(12)이 기관(11)상에 직접 형성되고, 그 후에 게이트 절연막(13)상에 형성되는 트랜지스터 Tr12의 소스전극 Tr12s가 상기 화소전극(12)에 직접 접속되어 있다.
- <102> 즉, 기관(11)상에 화소전극(12)을 형성한 후에, 해당 화소전극(12)상에 피복 형성된 게이트 절연막(13)을 에칭하여, 각 EL 소자 형성영역 Re1에 화소전극(12)이 노출되는 개구부를 형성하는 것에 의해, 게이트 절연막(13)을 드라이 에칭할 때에 화소전극(12)이 아래쪽에 위치하는 기관(11)에 대한 에칭보호막(스토퍼)으로서 기능하므로, 예를 들면 기관상에 피복 형성된 게이트 절연막을 에칭하여 개구부를 형성한 후, 화소전극을 형성하는 경우에 비해, 기관 표면의 평활성이 손상되는(거칠어지는) 등의 손상을 경감할 수 있다.
- <103> 따라서, 표시패널(유기 EL 소자)의 발광 동작시에, 각 표시화소 PIX의 유기 EL층에 있어서 발광한 광이 기관 표면에 있어서 산란하거나, 기관의 두께의 편차에 의해서 간섭에 편차를 발생시키는 현상을 억제할 수 있고, 색도 어긋남이나 발광휘도(발광강도)의 편차를 억제하여, 화상의 번짐이나 뿌예짐 등이 없는 표시특성이 우수한 표시패널을 실현할 수 있다.
- <104> 또한, 투명전극으로 이루어지는 화소전극과 투명한 기관의 사이에는 게이트 절연막이 개재하지 않으므로, 예를 들면 화소전극과 기관의 사이에 게이트 절연막이 개재하는 경우에 비해, 표시화소 PIX의 유기 EL층(발광층)이 발하는 광이 화소전극과 투명한 기관의 사이에 입사할 때에, 게이트 절연막의 막두께의 편차에 기인하는 간섭색의 편차가 없기 때문에, 기관으로부터 출사된 광은 색도 어긋남이나 발광휘도의 편차를 억제할 수 있어, 화상의 번짐이나 뿌예짐 등이 없는 양호한 표시특성을 실현할 수 있다.
- <105> 또한, 상술한 실시형태에 있어서는 유기 EL층(16)이 정공수송층(16a) 및 전자수송성 발광층(16b)으로 이루어지는 복수의 담체수송층으로 구성된 경우에 대해 설명했지만, 본 발명의 담체수송층의 조합은 이것에 한정되는 것은 아니고, 예를 들면 정공수송층 전자수송성 발광층만이어도 좋고, 정공수송성 발광층 및 전자수송층이라도 좋고, 3층 이상, 예를 들면 정공수송층, 전자수송층 및 발광층이어도 좋으며, 또 각 층의 사이에 인터레이어층 등의 캐리어의 수송을 제어하는 담체수송 제어층을 담체수송층으로서 적절히 개재시켜도 좋으며, 그 밖의 담체수송층의 조합이어도 좋다.
- <106> 또, 상술한 실시형태에 있어서는 화소전극(12)을 유기 EL 소자 OLED의 애노드전극으로 하고, 대향전극(17)을 캐소드전극으로 하여, 화소전극(12)측에 정공수송층(16a)을, 또 대향전극(17)측에 전자수송성 발광층(16b)을 형성한 경우에 대해 설명했지만, 본 발명은 이것에 한정되는 것은 아니고, 화소전극(12)을 유기 EL 소자의 투명 캐소드전극으로 하고, 대향전극(17)을 불투명 애노드전극으로 하는 것이어도 좋다. 이 경우, 화소전극(12)측에 전자수송성 발광층(16b)을, 또 대향전극(17)측에 정공수송층(16a)을 형성한 소자구조로 된다.
- <107> 또, 상기 실시형태에서는 기관상에 투명전극을 배치한 보텀 에미션형이었지만, 유기 EL층의 광이 대향전극(17)측으로부터 방출되는 탑 에미션형이어도, 상기 제조 프로세스에 있어서, 기관의 표면에 에칭에 의한 오목볼록이 없으므로, 기관상에 균일한 두께로 전극이나 유기 EL층을 성막할 수 있고, 광의 산란의 편차나 광의 간섭 등의 편차를 억제할 수 있다. 이러한 탑 에미션 구조의 경우, 화소전극은 투명하지 않아도 좋고, 반사도전막만 또는 투명도전막과 반사막의 조합이어도 좋다.
- <108> 또, 상기 실시형태에서는 산소 및 SF₆의 혼합가스를 이용하여 드라이에칭을 실행했지만, 기관을 침식하는 가스이면, 이것에 한정되지 않는다.
- <109> 2007년 11월 29일에 출원된 일본특허출원 제2007-308189호의 명세서, 청구의 범위, 도면, 요약에 포함하는 모든 개시는 여기에 인용에 의해서 조합된다.
- <110> 각종 전형적인 실시형태를 나타내고 또한 설명해 왔지만, 본 발명은 상기 실시형태에 한정되지 않는다. 따라서,

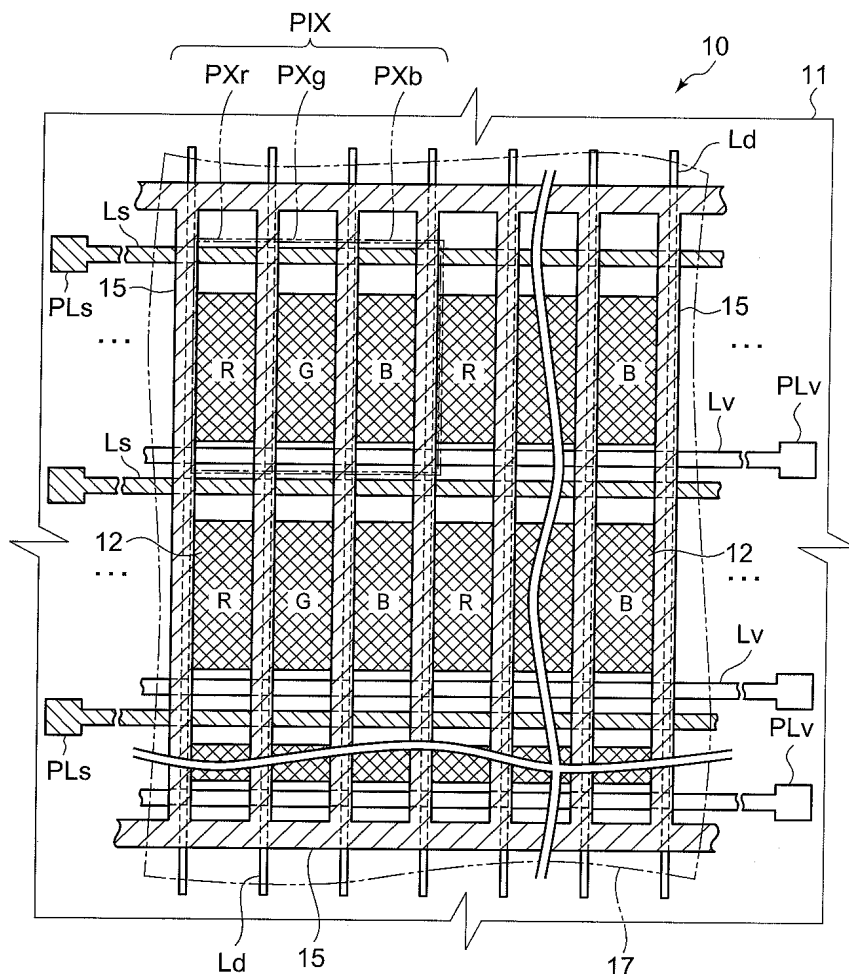
본 발명의 범위는 다음의 청구범위에 의해서만 한정되는 것이다.

도면의 간단한 설명

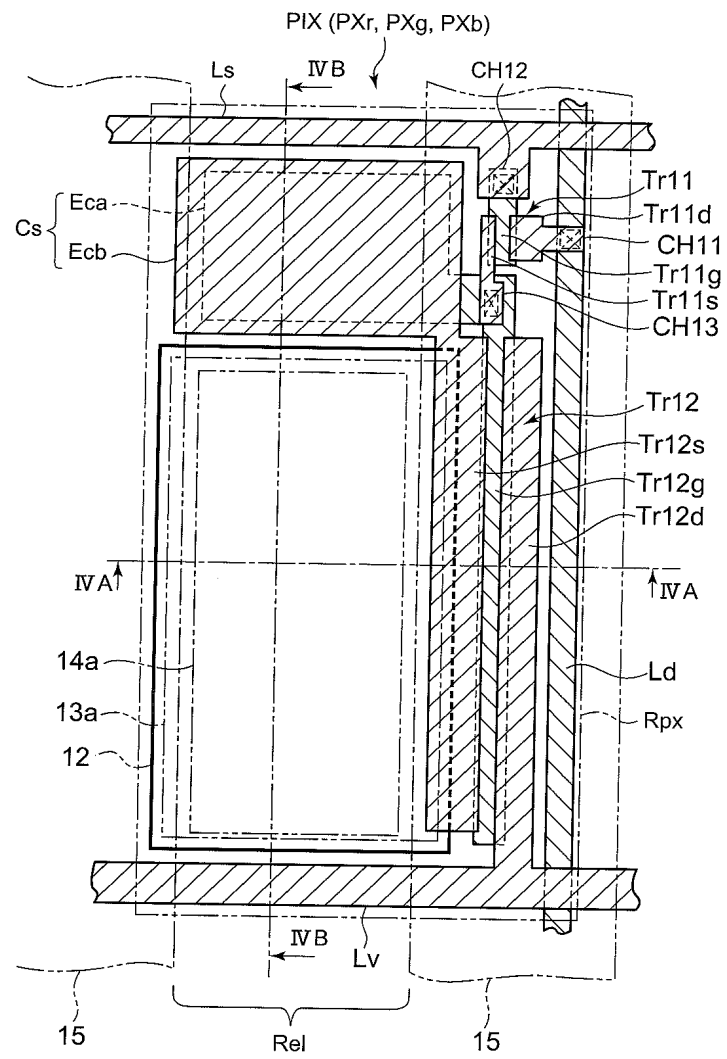
- <112> 도 1은 본 발명에 관한 표시패널의 화소배열상태의 일예를 나타내는 개략 평면도,
- <113> 도 2는 본 발명에 관한 표시패널에 2차원 배열되는 표시화소(발광소자 및 화소구동회로)의 회로 구성예를 나타내는 등가 회로도,
- <114> 도 3은 본 발명에 관한 표시패널에 적용 가능한 표시화소의 일예를 나타내는 평면 레이아웃도,
- <115> 도 4는 본 실시형태에 관한 평면 레이아웃을 갖는 표시화소에 있어서의 개략 단면도,
- <116> 도 5는 본 실시형태에 관한 표시패널의 제조방법의 일예를 나타내는 공정 단면도(그 1),
- <117> 도 6은 본 실시형태에 관한 표시패널의 제조방법의 일예를 나타내는 공정 단면도(그 2),
- <118> 도 7은 본 실시형태에 관한 표시패널의 제조방법의 일예를 나타내는 공정 단면도(그 3),
- <119> 도 8은 본 실시형태에 관한 표시패널의 제조방법의 일예를 나타내는 공정 단면도(그 4),
- <120> 도 9는 본 실시형태에 관한 표시패널의 제조방법의 일예를 나타내는 공정 단면도(그 5).

도면

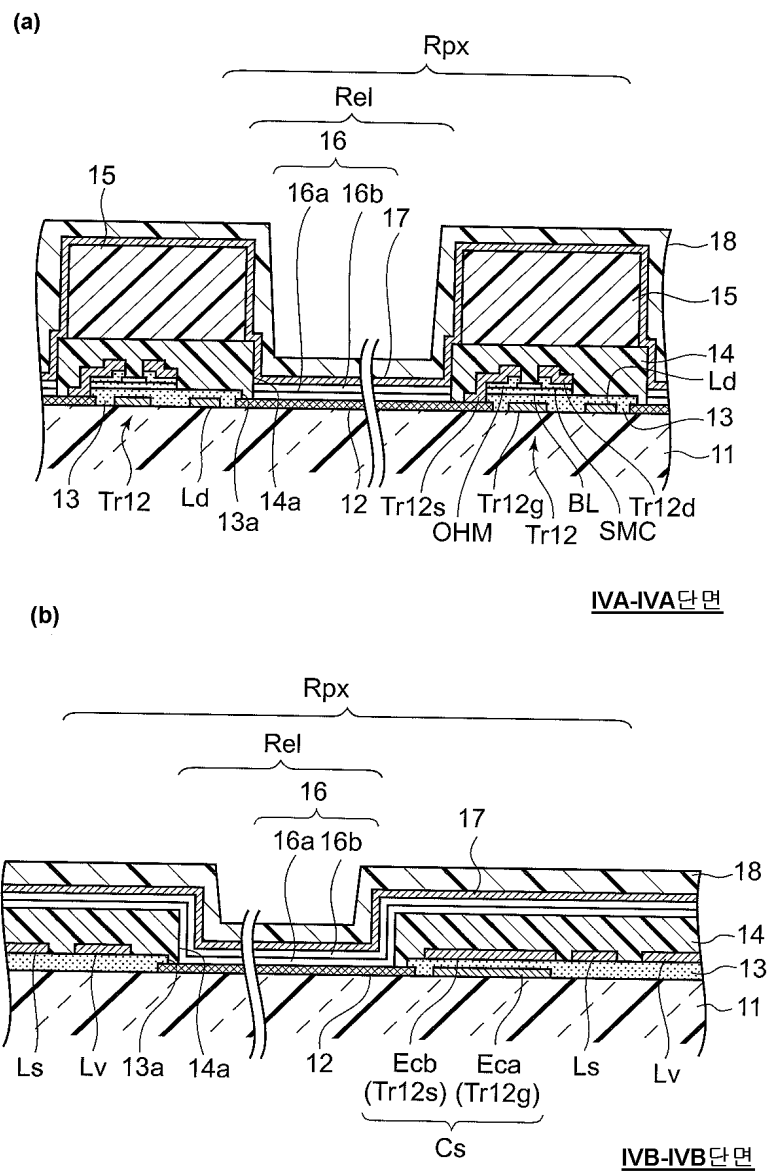
도면1



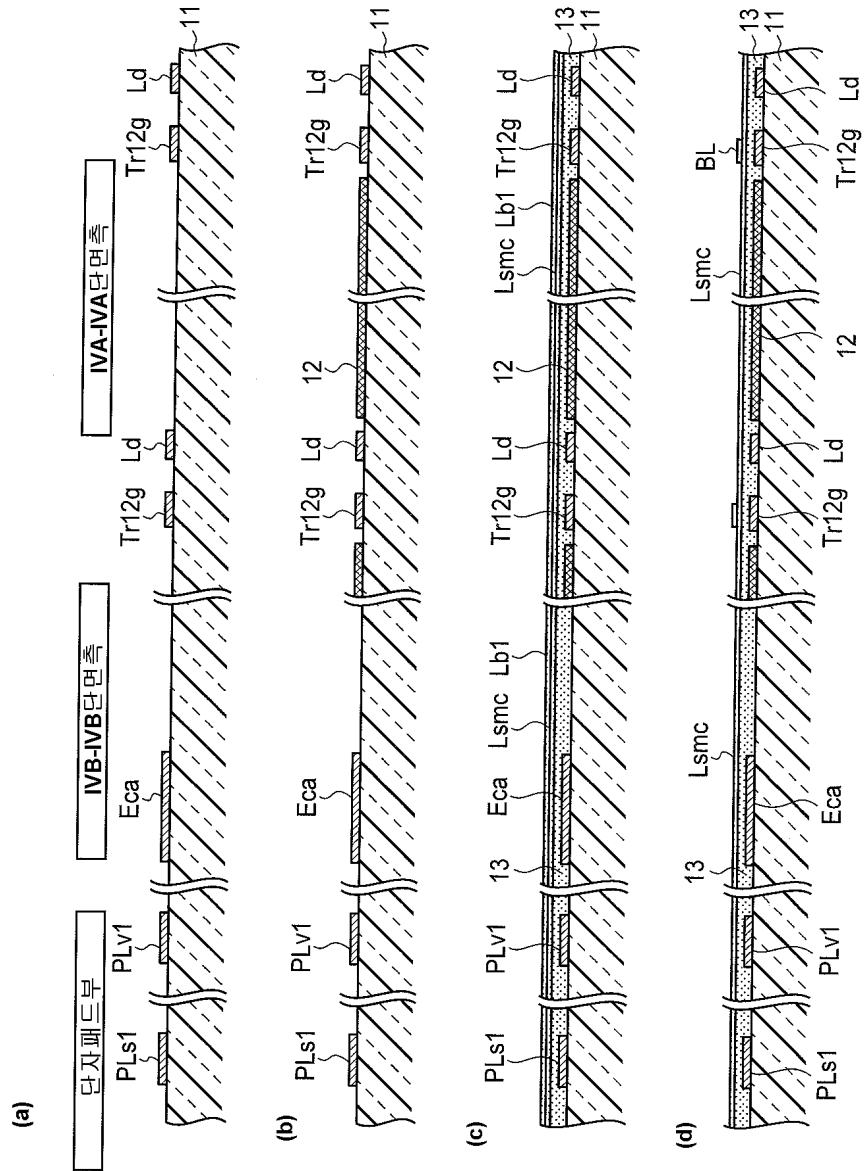
도면3

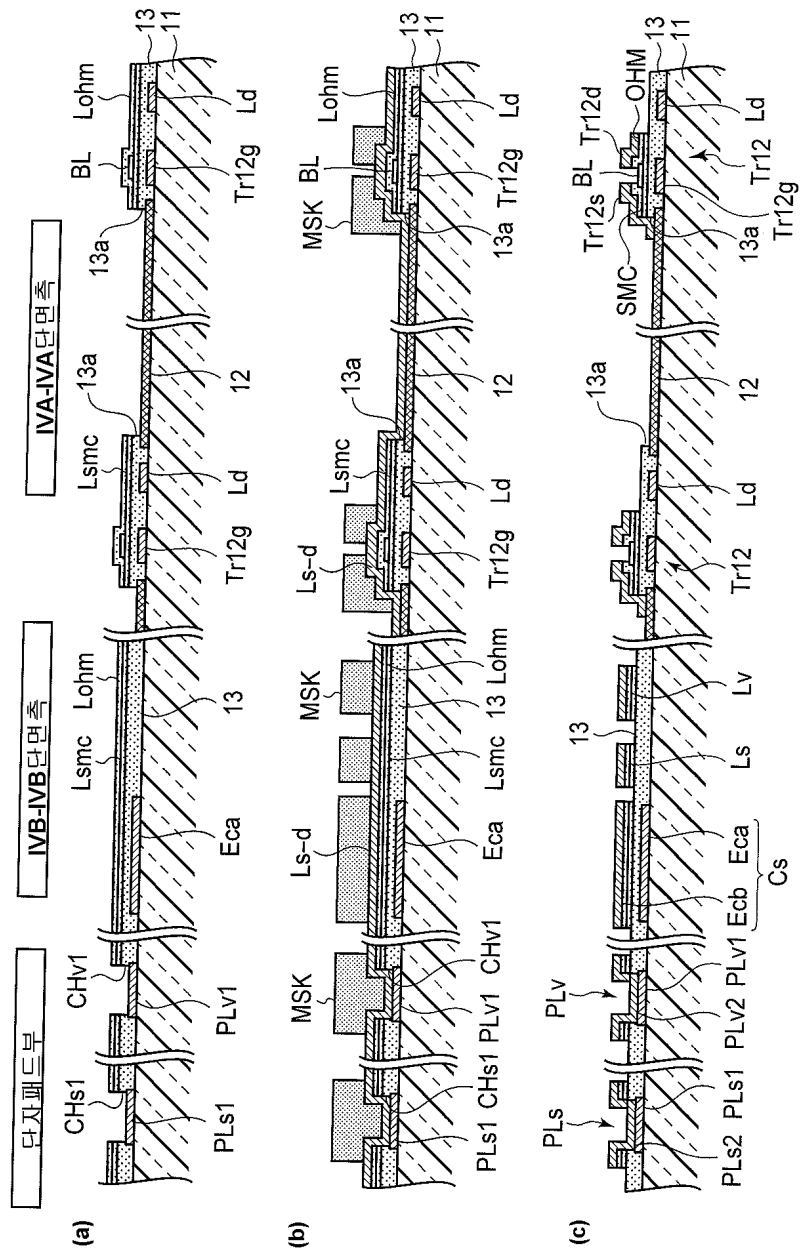


도면4

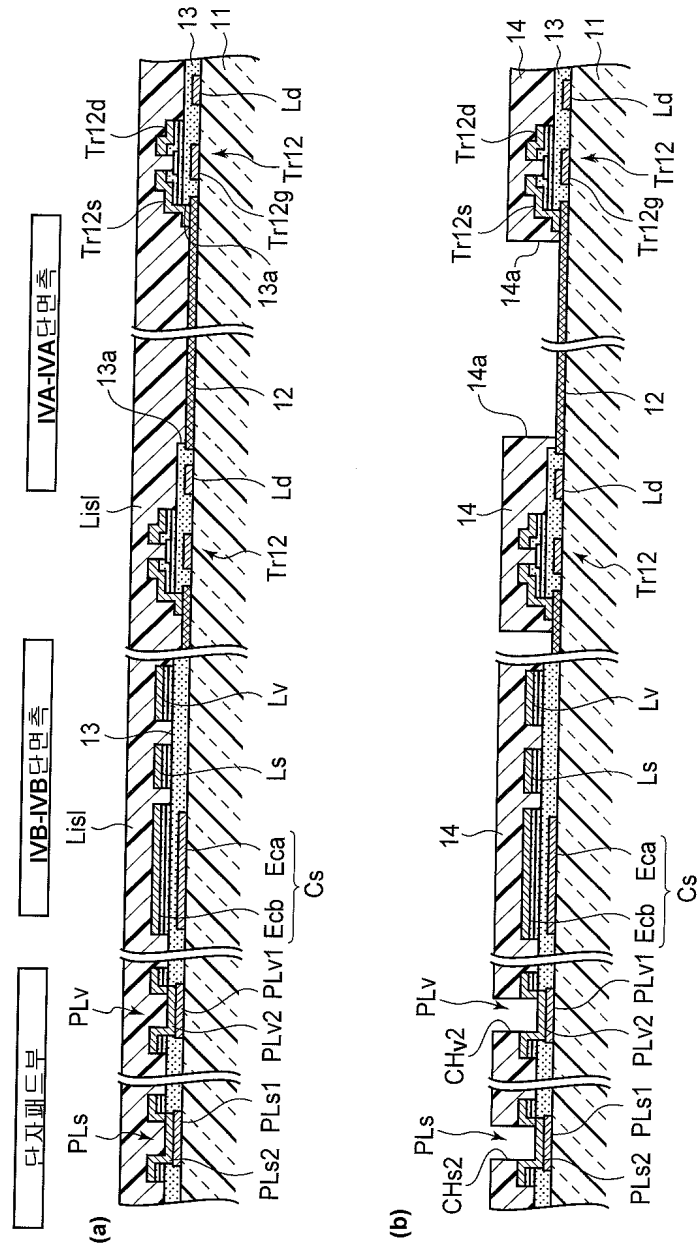


도면5





도면7



도면8

