(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
H05B 33/20 (2006.01)
H05B 33/26 (2006.01)

(11) 공개번호 10-2007-0045653
(43) 공개일자 2007년05월02일

(21) 출원번호 10-2005-0102162
(22) 출원일자 2005년10월28일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 정광철
경기도 성남시 수정구 태평1동 7115-4
고준철
서울특별시 서대문구 홍제2동 한양아파트 102동 1003호
최범락
서울특별시 강남구 대치1동 삼성아파트 112동 508호

(74) 대리인 유미특허법인

전체 청구항 수 : 총 18 항

(54) 표시 장치

(57) 요약

본 발명은 표시 장치에 관한 것이다. 본 발명에 따른 표시 장치는 복수의 게이트선 및 복수의 데이터선에 의해 각각 정의되는 제1 화소, 제2 화소 및 제3 화소를 포함하며, 상기 제1 내지 제3 화소는 각각, 발광 소자, 상기 발광 소자와 연결되어 있는 제1 및 제2 구동 트랜지스터, 상기 제1 및 제2 구동 트랜지스터에 데이터 신호를 전달하는 제1 및 제2 스위칭 트랜지스터를 포함하고, 상기 제1 화소는 상기 발광 소자와 연결되어 있는 제3 구동 트랜지스터를 더 포함한다.

대표도

도 3

특허청구의 범위

청구항 1.

복수의 게이트선 및 복수의 데이터선에 의해 각각 정의되는 제1 화소, 제2 화소 및 제3 화소를 포함하며,

상기 제1 내지 제3 화소는 각각,

발광 소자, 상기 발광 소자와 연결되어 있는 제1 및 제2 구동 트랜지스터, 상기 제1 및 제2 구동 트랜지스터에 데이터 신호를 전달하는 제1 및 제2 스위칭 트랜지스터를 포함하고,

상기 제1 화소는 상기 발광 소자와 연결되어 있는 제3 구동 트랜지스터를 더 포함하는

표시 장치.

청구항 2.

제1항에서,

상기 제3 구동 트랜지스터는 상기 제1 화소와 이웃하는 제2 화소의 영역에 위치하는 표시 장치.

청구항 3.

제1항에서,

상기 데이터선과 평행하게 형성되어 있는 복수의 구동 전압선을 더 포함하는 표시 장치.

청구항 4.

제3항에서,

상기 제1 내지 제3 구동 트랜지스터와 상기 제1 및 제2 스위칭 트랜지스터는 각각 제어 단자, 입력 단자 및 출력 단자를 포함하는 표시 장치.

청구항 5.

제4항에서,

상기 제1 구동 트랜지스터의 입력 단자는 상기 제2 스위칭 트랜지스터의 출력 단자와 연결되어 있으며, 상기 제2 및 제3 구동 트랜지스터의 입력 단자는 상기 구동 전압선과 연결되어 있는 표시 장치.

청구항 6.

제4항에서,

상기 제1 내지 제3 구동 트랜지스터의 제어 단자는 서로 연결되어 있는 표시 장치.

청구항 7.

제4항에서,

상기 제1 내지 제3 구동 트랜지스터의 제어 단자는 상기 제1 스위칭 트랜지스터의 출력 단자와 연결되어 있는 표시 장치.

청구항 8.

제4항에서,

상기 제1 및 제2 구동 트랜지스터의 출력 단자는 서로 연결되어 있는 표시 장치.

청구항 9.

제8항에서,

상기 제1 내지 제3 구동 트랜지스터의 출력 단자는 상기 화소 전극과 연결되어 있는 표시 장치.

청구항 10.

제1항에서,

상기 제1 및 제2 스위칭 트랜지스터의 제어 단자는 서로 연결되어 있는 표시 장치.

청구항 11.

제3항에서,

상기 제1 및 제2 화소는 상기 복수의 구동 전압선 중 하나의 구동 전압선을 공유하는 표시 장치.

청구항 12.

제11항에서,

상기 제1 화소의 제2 및 제3 구동 트랜지스터와 상기 제2 화소의 제2 구동 트랜지스터는 하나의 구동 전압선에 연결되어 있는 표시 장치.

청구항 13.

제1항에서,

상기 제2 화소와 제3 화소 사이에 두 개의 데이터선이 위치하는 표시 장치.

청구항 14.

제13항에서,

상기 제2 및 제3 화소는 상기 두 개의 데이터선을 중심으로 서로 거울상 대칭되는 표시 장치.

청구항 15.

제1항에서,

상기 제2 구동 트랜지스터의 제어 단자와 상기 구동 전압선 사이에 형성되는 제1 유지 축전기 및 상기 제3 구동 트랜지스터의 제어 단자와 상기 구동 전압선 사이에 형성되는 제2 유지 축전기를 더 포함하는 표시 장치.

청구항 16.

제1항에서,

상기 제1 내지 제3 화소는 제1 모드 또는 제2 모드로 동작하는 표시 장치.

청구항 17.

제16항에서,

상기 제1 모드는 상기 데이터선으로부터 상기 제1 내지 제3 화소로 데이터 전압이 인가되는 표시 장치.

청구항 18.

제16항에서,

상기 제2 모드는 상기 데이터선으로부터 상기 제1 내지 제3 화소로 데이터 전류가 인가되는 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 유기 발광 표시 장치에 관한 것이다.

최근 모니터 또는 텔레비전 등의 경량화 및 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(cathode ray tube, CRT)이 액정 표시 장치(liquid crystal display, LCD)로 대체되고 있다.

그러나, 액정 표시 장치는 수발광 소자로서 별도의 백라이트(backlight)가 필요할 뿐만 아니라, 응답 속도 및 시야각 등에서 많은 문제점이 있다.

최근 이러한 문제점을 극복할 수 있는 표시 장치로서, 유기 발광 표시 장치(organic light emitting diode display, OLED display)가 주목받고 있다.

유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exiton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

유기 발광 표시 장치는 자체발광형으로 별도의 광원이 필요 없기 때문에 소비전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다.

발명이 이루고자 하는 기술적 과제

그러나 유기 발광 표시 장치는 적색, 녹색 및 청색의 발광 재료에 따라 발광 효율이 다르다. 따라서, 적색, 녹색 및 청색 발광을 동일하게 제어하기 위해서는 발광 효율이 가장 낮은 영역을 기준으로 화소가 설계되어야 하고, 이 경우 개구율이 크게 저하된다.

본 발명이 이루고자 하는 기술적 과제는 이러한 문제점을 해결하는 것으로서, 유기 발광 표시 장치의 전류 구동 특성을 확보하면서도 개구율을 높이는 것이다.

발명의 구성

본 발명의 한 실시예에 따른 표시 장치는 복수의 게이트선 및 복수의 데이터선에 의해 각각 정의되는 제1 화소, 제2 화소 및 제3 화소를 포함하며, 상기 제1 내지 제3 화소는 각각, 발광 소자, 상기 발광 소자와 연결되어 있는 제1 및 제2 구동 트랜지스터, 상기 제1 및 제2 구동 트랜지스터에 데이터 신호를 전달하는 제1 및 제2 스위칭 트랜지스터를 포함하고, 상기 제1 화소는 상기 발광 소자와 연결되어 있는 제3 구동 트랜지스터를 더 포함한다.

상기 제3 구동 트랜지스터는 상기 제1 화소와 이웃하는 제2 화소의 영역에 위치할 수 있다.

상기 데이터선과 평행하게 형성되어 있는 복수의 구동 전압선을 더 포함할 수 있다.

상기 제1 내지 제3 구동 트랜지스터와 상기 제1 및 제2 스위칭 트랜지스터는 각각 제어 단자, 입력 단자 및 출력 단자를 포함할 수 있다.

상기 제1 구동 트랜지스터의 입력 단자는 상기 제2 스위칭 트랜지스터의 출력 단자와 연결되어 있으며, 상기 제2 및 제3 구동 트랜지스터의 입력 단자는 상기 구동 전압선과 연결되어 있을 수 있다.

상기 제1 내지 제3 구동 트랜지스터의 제어 단자는 서로 연결되어 있을 수 있다.

상기 제1 내지 제3 구동 트랜지스터의 제어 단자는 상기 제1 스위칭 트랜지스터의 출력 단자와 연결되어 있을 수 있다.

상기 제1 및 제2 구동 트랜지스터의 출력 단자는 서로 연결되어 있을 수 있다.

상기 제1 내지 제3 구동 트랜지스터의 출력 단자는 상기 화소 전극과 연결되어 있을 수 있다.

상기 제1 및 제2 스위칭 트랜지스터의 제어 단자는 서로 연결되어 있을 수 있다.

상기 제1 및 제2 화소는 상기 복수의 구동 전압선 중 하나의 구동 전압선을 공유할 수 있다.

상기 제1 화소의 제2 및 제3 구동 트랜지스터와 상기 제2 화소의 제2 구동 트랜지스터는 하나의 구동 전압선에 연결되어 있을 수 있다.

상기 제2 화소와 제3 화소 사이에 두 개의 데이터선이 위치할 수 있다.

상기 제2 및 제3 화소는 상기 두 개의 데이터선을 중심으로 서로 거울상 대칭될 수 있다.

상기 제2 구동 트랜지스터의 제어 단자와 상기 구동 전압선 사이에 형성되는 제1 유지 축전기 및 상기 제3 구동 트랜지스터의 제어 단자와 상기 구동 전압선 사이에 형성되는 제2 유지 축전기를 더 포함할 수 있다.

상기 제1 내지 제3 화소는 제1 모드 또는 제2 모드로 동작할 수 있다.

상기 제1 모드는 상기 데이터선으로부터 상기 제1 내지 제3 화소로 데이터 전압이 인가될 수 있다.

상기 제2 모드는 상기 데이터선으로부터 상기 제1 내지 제3 화소로 데이터 전류가 인가될 수 있다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

먼저, 도 1 내지 도 2를 참고로 하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대하여 설명한다.

도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 등가 회로도이다.

도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 표시판(display panel)(300)과 이에 연결된 주사 구동부(400) 및 데이터 구동부(500), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

표시판(300)은 등가 회로로 볼 때 복수의 표시 신호선(G_1-G_n, D_1-D_m)과 복수의 구동 전압선(도시하지 않음) 및 이들에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.

표시 신호선(G_1-G_n, D_1-D_m)은 주사 신호를 전달하는 복수의 주사 신호선(G_1-G_n)과 데이터 전압을 전달하는 복수의 데이터선(D_1-D_m)을 포함한다. 주사 신호선(G_1-G_n)은 대략 행 방향으로 뻗어 있으며 서로가 분리되어 있고 거의 평행하다. 데이터선(D_1-D_m)은 대략 열 방향으로 뻗어 있으며 서로가 분리되어 있고 거의 평행하다.

구동 전압선은 각 화소(PX)에 구동 전압(Vdd)을 전달한다.

도 2에 도시한 바와 같이, 표시 장치는 복수의 신호선(121, 171, 172)과 이들에 연결되어 있으며 대략 행렬 형태로 배열된 복수의 제1 화소(PX1), 제2 화소(PX2) 및 제3 화소(PX3)를 포함한다.

신호선은 복수의 주사 신호선(121), 복수의 데이터선(171) 및 복수의 구동 전압선(172)을 포함한다.

제1 내지 제3 화소(PX1, PX2, PX3)는 제1 및 제2 구동 트랜지스터(Qd1, Qd2), 제1 및 제2 스위칭 트랜지스터(Qs1, Qs2), 제1 유지 축전기(Cs1) 및 유기 발광 소자(LD)를 포함한다. 제1 화소(PX1)는 이외에도 제3 구동 트랜지스터(Qd3) 및 제2 유지 축전기(Cs2)를 더 포함한다.

각각의 제1 구동 트랜지스터(Qd1)는 삼단자 소자로서 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 제1 스위칭 트랜지스터(Qs1)에 연결되어 있고, 입력 단자는 제2 스위칭 트랜지스터(Qs2)에 연결되어 있으며, 출력 단자는 유기 발광 소자(LD)에 연결되어 있다.

각각의 제2 구동 트랜지스터(Qd2) 또한 삼단자 소자로서 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 제1 스위칭 트랜지스터(Qs1)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 소자(LD)에 연결되어 있다. 제2 구동 트랜지스터(Qd2)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류를 흘린다.

제3 구동 트랜지스터(Qd3) 또한 삼단자 소자로서 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 제1 스위칭 트랜지스터(Qs1)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 소자(LD)에 연결되어 있다. 제3 구동 트랜지스터(Qd3)는 제2 화소(PX2) 영역에 형성되어 있다. 제3 구동 트랜지스터(Qd3)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류를 흘린다.

제1 및 제2 스위칭 트랜지스터(Qs1, Qs2) 또한 삼단자 소자로서 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 각각 제1 내지 제3 구

동 트랜지스터(Qd1, Qd2, Qd3)의 제어 단자 및 제1 구동 트랜지스터(Qd1)의 입력 단자에 연결되어 있다. 스위칭 트랜지스터(Qs1, Qs2)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 트랜지스터(Qd1, Qd2, Qd3)에 전달한다.

제1/제2 유지 축전기(Cs1/Cs2)는 제1 및 제2/제3 구동 트랜지스터(Qd1, Qd2/ Qd3)의 제어 단자와 구동 전압선(172) 사이에 연결되어 있다. 제1/제2 유지 축전기(Cs1/Cs2)는 제1 및 제2/제3구동 트랜지스터(Qd1, Qd2/ Qs3)의 제어 단자에 인가되는 데이터 신호를 충전하고 제1 스위칭 트랜지스터(Qs1)가 턴 오프된 뒤에도 이를 유지한다.

유기 발광 소자(LD)는 구동 트랜지스터(Qd1, Qd2, Qd3)의 출력 단자에 연결되어 있는 애노드와 공통 전압(Vss)에 연결되어 있는 캐소드를 가진다. 유기 발광 소자(LD)는 구동 트랜지스터(Qd1, Qd2, Qd3)로부터의 출력 전류에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.

제1 화소의 제2 및 제3 구동 트랜지스터(Qd2, Qd3)와 제2 화소의 제2 구동 트랜지스터(Qd2)는 하나의 구동 전압선(172)을 공유한다.

제2 및 제3 화소(PX2. PX3) 사이에는 제2 및 제3 화소(PX2. PX3)와 각각 연결되어 있는 두 개의 데이터선(171)이 위치하고, 제2 및 제3 화소(PX2. PX3)의 제1 및 제2 구동 트랜지스터(Qd1, Qd2), 제1 및 제2 스위칭 트랜지스터(Qs1, Qs2), 제1 유지 충전기(Cs1)는 두 개의 데이터선(171)을 중심으로 대칭된다.

스위칭 및 구동 트랜지스터(Qs1-2, Qd1-3)는 비정질 규소 또는 다결정 규소를 포함하는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)로 이루어진다. 그러나 이들 트랜지스터(Qs1-2, Qd1-3)는 p-채널 전계 효과 트랜지스터(FET)로도 이루어질 수 있으며, 이 경우 p-채널 전계 효과 트랜지스터(FET)와 n-채널 전계 효과 트랜지스터(FET)는 서로 상보형(complementary)이므로 p-채널 전계 효과 트랜지스터(FET)의 동작과 전압 및 전류는 n-채널 전계 효과 트랜지스터(FET)의 그것과 반대가 된다.

그러면, 도 2 내지 도 6을 참고로 하여 본 발명의 한 실시예에 따른 표시 장치에 대하여 상세하게 설명한다.

도 3은 본 발명의 한 실시예에 따른 표시 장치의 배치도이며, 도 4 및 도 5는 각각 도 3에 도시한 표시 장치를 Ⅳ-Ⅳ 및 Ⅴ-Ⅴ 선을 따라 잘라 도시한 단면도이며, 도 6은 본 발명의 한 실시예예 따른 표시 장치의 유기 발광 부재의 개략도이다.

도 2 및 도 3에 도시한 바와 같이, 본 실시예에 따른 표시 장치는 제1 내지 제3 화소(PX1-3)를 포함하며, 각각의 배치 구조는 다르다.

먼저 제1 화소(PX1)에 대하여 자세하게 설명한다.

투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 돌출부(124)을 포함하는 게이트선(121) 및 제1 전극 부재(126)을 포함하는 게이트 도전체(gate conductor)가 형성되어 있다.

게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(129)을 포함한다. 돌출부(124)는 게이트선(121)으로부터 위로 뻗어 있으며, 제1 및 제2 제어 전극(124a, 124b)을 포함한다. 게이트 신호를 생성하는 게이트 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우 게이트선(121)이 연장되어 게이트 구동 회로와 직접 연결될 수 있다.

제1 전극 부재(126)는 게이트선(121)과 분리되어 있으며, 제3 내지 제5 제어 전극(124c, 124d, 124e)를 포함한다.

게이트 도전체(121, 124b)는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 만들어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트 도전체(121, 124b)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트 도전체(121, 124b)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80°인 것이 바람직하다.

게이트 도전체(121, 124b) 위에는 질화규소(SiN_x) 또는 산화규소(SiO_x) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 제1 내지 제5 섬형 반도체(154a, 154b, 154c, 154d, 154e)가 형성되어 있다. 제 3 및 제4 섬형 반도체(154c, 154d)는 서로 연결되어 하나의 섬형 반도체(155)를 이룬다. 제1 및 제2 섬형 반도체(154a, 154b)는 각각 제1 및 제2 제어 전극(124a, 124b) 위에 위치하며, 제3 내지 제5 섬형 반도체(154c-e)는 각각 제3 내지 제5 제어 전극(124c-e) 위에 위치한다.

섬형 반도체(154a-e) 위에는 각각 복수 쌍의 제1 저항성 접촉 부재(ohmic contact)(163a, 165a), 복수 쌍의 제2 저항성 접촉 부재(도시하지 않음), 복수 쌍의 제3 저항성 접촉 부재(163c, 165c), 복수 쌍의 제4 저항성 접촉 부재(도시하지 않음) 및 복수 쌍의 제3 저항성 접촉 부재(163e, 165e)가 형성되어 있다. 저항성 접촉 부재(163a, 163c, 163e, 165a, 165c, 165e)는 섬 모양이며, 인(P) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 제1 내지 제5 저항성 접촉 부재(163a, 163c, 163e, 165a, 165c, 165e)는 쌍을 이루어 각각 제1 내지 제5 섬형 반도체(154a, 154b, 154c, 154d, 154e) 위에 배치되어 있다.

저항성 접촉 부재(163a, 163c, 163e, 165a, 165c, 165e) 및 게이트 절연막(140) 위에는 데이터선(171)과 구동 전압선(172)과 제1 출력 전극(output electrode)(175a), 제2 전극 부재(176) 및 제3 전극 부재(178)를 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다.

데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 제1 제어 전극(124a)을 향하여 뻗은 복수의 제1 및 제2 입력 전극(input electrode)(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 제1 입력 전극(173a)은 제1 섬형 반도체(154a)와 일부 중첩하며, 제2 입력 전극(173b)은 제2 섬형 반도체(154b)와 일부 중첩한다. 데이터 신호를 생성하는 데이터 구동 회로(도시하지 않음)가 기판(110) 위에 집적되어 있는 경우, 데이터선(171)이 연장되어 데이터 구동 회로와 직접 연결될 수 있다.

제1 출력 전극(175a)은 데이터선(171)과 분리되어 있으며, 제1 섬형 반도체(154a)를 중심으로 제1 입력 전극(173a)과 마주한다.

제2 전극 부재(176)는 데이터선(171)과 분리되어 있다. 제2 전극 부재(176)의 한쪽 끝은 제2 섬형 반도체(154b)를 중심으로 제2 입력 전극(173b)과 마주하는 제2 출력 전극(175b)을 포함하고 다른 끝은 제3 섬형 반도체(154c) 위에 일부 중첩되는 제3 입력 전극(173c)을 포함한다.

제3 전극 부재(178)는 데이터선(171)과 분리되어 있고, 한쪽 끝은 제3 섬형 반도체(154c)를 중심으로 제3 입력 전극(173c)과 마주하는 제3 출력 전극(175c)을 포함하고 다른 끝은 제4 섬형 반도체(154d)와 일부 중첩되는 제4 출력 전극(175d)을 포함한다.

구동 전압선(172)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며, 제4 섬형 반도체(154d)를 중심으로 제4 출력 전극(175d)과 마주하는 제4 입력 전극(173d) 및 제5 섬형 반도체(154e)와 일부 중첩되는 제5 입력 전극(173e)을 포함한다.

데이터 도전체는 제5 섬형 반도체(154e)를 중심으로 제5 입력 전극(173e)와 마주하는 제5 출력 전극(175e)를 포함한다.

데이터 도전체(171, 172, 173a-e, 175a-e)는 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 이루어진 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 그러나 데이터 도전체(171, 172, 173a-e, 175a-e)는 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

게이트 도전체(121, 124b)와 마찬가지로 데이터 도전체(171, 172, 173a-e, 175a-e) 또한 그 측면이 기판(110) 면에 대하여 30° 내지 80° 정도의 경사각으로 기울어진 것이 바람직하다.

저항성 접촉 부재(163a, 163c, 163e, 165a, 165c, 165e)는 그 아래의 반도체(154a-e)와 그 위의 데이터 도전체(171, 172, 173a-e, 175a-e) 사이에만 존재하며 접촉 저항을 낮추어 준다. 반도체(154a-e)에는 입력 전극(173a-e)과 출력 전극(175a-e) 사이를 비롯하여 데이터 도전체(171, 172, 173a-e, 175a-e)로 가리지 않고 노출된 부분이 있다.

데이터 도전체(171, 172, 173a-e, 175a-e) 및 노출된 반도체(154a-e) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성을 가질 수 있으며 그 유전 상수는 4.0 이하인 것이 바람직하다. 그러나 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a-e) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1, 제3, 제4 및 제5 출력 전극(175a, 175c, 175e)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b, 185c)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)과 제3 입력 전극(124c)을 각각 드러내는 복수의 접촉 구멍(181, 184)이 형성되어 있다.

보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 연결 부재(connecting member)(85) 및 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

화소 전극(191)은 접촉 구멍(185b)을 통하여 제3 및 제4 출력 전극(175c, 175d)과 물리적, 전기적으로 연결되어 있으며, 접촉 구멍(185c)을 통하여 제5 출력 전극(175e)와 물리적, 전기적으로 연결되어 있다.

연결 부재(85)는 접촉 구멍(184, 185a)을 통하여 제3 제어 전극(124c) 및 제1 출력 전극(175a)과 연결되어 있다.

접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결되어 있다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 끝 부분(129, 179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

보호막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)은 화소 전극(191) 가장자리 주변을 둑(bank)처럼 둘러싸서 개구부(opening)(365)를 정의하며 유기 절연물 또는 무기 절연물로 만들어진다. 격벽(361)은 또한 검정색 안료를 포함하는 감광재로 만들어질 수 있는데, 이 경우 격벽(361)은 차광 부재의 역할을 하며 그 형성 공정이 간단하다.

격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365) 내에는 유기 발광 부재(organic light emitting member)(370)가 형성되어 있다. 유기 발광 부재(370)는 적색, 녹색, 청색의 삼원색 등 기본색(primary color) 중 어느 하나의 빛을 고유하게 내는 유기 물질로 만들어진다. 유기 발광 표시 장치는 유기 발광 부재(370)들이 내는 기본색 색광의 공간적인 합으로 원하는 영상을 표시한다. 앞으로 적색, 녹색 및 청색 빛을 내는 화소를 각각 적색, 녹색 및 청색 화소라 하고 도면 부호 R, G, B로 나타낸다. 즉 예를 들어 제1 화소(PX1)는 청색 화소(B)이며, 제2 화소(PX2)는 녹색 화소(G)이며, 제3 화소(PX3)는 적색 화소(R)일 수 있다.

유기 발광 부재(370)는, 도 6에 도시한 바와 같이, 발광층(emitting layer)(EML) 외에 발광층(EML)의 발광 효율을 향상시키기 위한 부대층들을 포함하는 다층 구조를 가진다. 부대층에는 전자와 정공의 균형을 맞추기 위한 전자 수송층(electron transport layer)(ETL) 및 정공 수송층(hole transport layer)(HTL)과 전자와 정공의 주입을 강화하기 위한 전자 주입층(electron injecting layer)(EIL) 및 정공 주입층(hole injecting layer)(HIL)이 있다. 부대층은 생략될 수 있다.

유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다. 공통 전극(270)은 공통 전압(Vss)을 인가 받으며, 칼슘(Ca), 바륨(Ba), 마그네슘(Mg), 알루미늄, 은 등을 포함하는 반사성 금속 또는 ITO 또는 IZO 등의 투명한 도전 물질로 만들어진다.

불투명한 화소 전극(190)과 투명한 공통 전극(270)은 표시판(300)의 상부 방향으로 화상을 표시하는 전면 발광(top emission) 방식의 유기 발광 표시 장치에 적용하며, 투명한 화소 전극(190)과 불투명한 공통 전극(270)은 표시판(300)의 아래 방향으로 화상을 표시하는 배면 발광(bottom emission) 방식의 유기 발광 표시 장치에 적용한다.

이러한 유기 발광 표시 장치에서, 게이트선(121)에 연결되어 있는 제1 제어 전극(124a), 데이터선(171)에 연결되어 있는 제1 입력 전극(173a) 및 제1 출력 전극(175a)은 선형 반도체(151)의 돌출부(154a)와 함께 제1 스위칭 박막 트랜지스터(switching TFT)(Qs1)를 이루며, 게이트선(121)에 연결되어 있는 제2 제어 전극(124b), 데이터선(171)에 연결되어 있는 제2 입력 전극(173b) 및 제2 출력 전극(175b)은 제2 섬형 반도체(154b)와 함께 제2 스위칭 박막 트랜지스터(Qs2)를 이룬다.

이 때, 제1 스위칭 박막 트랜지스터(Qs1)의 채널(channel)은 제1 입력 전극(173a)과 제1 출력 전극(175a) 사이의 제1 섬형 반도체(154a)에 형성되고, 제2 스위칭 박막 트랜지스터(Qs2)의 채널은 제2 입력 전극(173b) 및 제2 출력 전극(175b) 사이의 제2 섬형 반도체(154b)에 형성된다.

또한 제3 제어 전극(124c), 제3 입력 전극(173c) 및 제3 출력 전극(175c)은 제3 섬형 반도체(154c)와 함께 제1 구동 박막 트랜지스터(Qd1)를 이루고, 제4 제어 전극(124d), 구동 전압선(172)에 연결되어 있는 제4 입력 전극(173d) 및 제4 출력 전극(175d)은 제4 섬형 반도체(154d)와 함께 제2 구동 박막 트랜지스터(Qd2)를 이룬며, 제5 제어 전극(124e), 제5 입력 전극(173e) 및 제5 출력 전극(175e)은 제5 섬형 반도체(154e)와 함께 제3 구동 박막 트랜지스터(Qd3)를 이룬다.

이 때, 제1 구동 박막 트랜지스터(Qd1)의 채널은 제3 입력 전극(173c) 및 제3 출력 전극(175c) 사이의 제3 섬형 반도체(154c)에 형성되고, 제2 구동 박막 트랜지스터(Qd2)의 채널은 제4 입력 전극(173d) 및 제4 출력 전극(175d) 사이의 제4 섬형 반도체(154d)에 형성되며, 제3 구동 박막 트랜지스터(Qd3)의 채널은 제5 입력 전극(173e) 및 제5 출력 전극(175e) 사이의 제5 섬형 반도체(154e)에 형성된다.

이제 제2 및 제3 화소(PX2, PX3)의 배치 구조에 대하여 상세하게 설명한다.

도 2 내지 도 4에 도시한 바와 같이, 제2 및 제3 화소(PX2, PX3) 역시 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 돌출부(124)을 포함하는 게이트선(121) 및 제1 전극 부재(126)을 포함하는 게이트 도전체(gate conductor)가 형성되어 있다. 돌출부(124)는 게이트선(121)으로부터 위로 뻗어 있으며, 제1 및 제2 제어 전극(124a, 124b)을 포함한다. 제1 전극 부재(126)는 게이트선(121)과 분리되어 있으며, 제3 및 제4 제어 전극(124c, 124d)를 포함한다. 게이트 도전체(121, 124b) 위에는 게이트 절연막(gate insulating layer)(140)이 형성되어 있다. 게이트 절연막(140) 위에는 제1 내지 제4 섬형 반도체(154a, 154b, 154c, 154d)가 형성되어 있다. 섬형 반도체(154a-d) 위에는 각각 복수 쌍의 제1 내지 제4 저항성 접촉 부재(ohmic contact)(163a, 165a, 163c, 165c)가 형성되어 있다. 저항성 접촉 부재(163a, 163c, 163e, 165a) 및 게이트 절연막(140) 위에는 데이터선(171)과 구동 전압선(172)과 제1 출력 전극(output electrode)(175a), 제2 전극 부재(176) 및 제3 전극 부재(178)를 포함하는 복수의 데이터 도전체(data conductor)가 형성되어 있다. 각 데이터선(171)은 제1 제어 전극(124a)을 향하여 뻗은 복수의 제1 및 제2 입력 전극(input electrode)(173a, 173b)을 포함한다. 제2 전극 부재(176)의 제2 출력 전극(175b) 및 제3 입력 전극(173c)을 포함한다. 제3 전극 부재(178)는 제3 출력 전극(175c), 제4 출력 전극(175d) 및 제4 입력 전극(173d)을 포함한다. 데이터 도전체(171, 172, 173a-d, 175a-d) 및 노출된 반도체(154a-d) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)에는 데이터선(171)의 끝 부분(179)과 제1, 제3 및 제4 출력 전극(175a, 175c, 175d)을 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185a, 185b)이 형성되어 있으며, 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)과 제3 입력 전극(124c)을 각각 드러내는 복수의 접촉 구멍(181, 184)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(191), 복수의 연결 부재(85) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있다. 보호막(180) 위에는 격벽(partition)(361)이 형성되어 있다. 격벽(361)이 정의하는 화소 전극(191) 위의 개구부(365) 내에는 유기 발광 부재 (370)가 형성되어 있다. 유기 발광 부재(370) 위에는 공통 전극(common electrode)(270)이 형성되어 있다.

즉 제2 및 제3 화소(PX2, PX3)는 제1 화소(PX1)와 달리 제3 구동 트랜지스터(Qd3)을 포함하고 있지 않으며, 제2 및 제3 화소(PX2, PX3)의 사이에 각각의 화소와 연결되어 있는 두 개의 데이터선(171)이 형성되어 있다. 따라서 제2 및 제3 화소(PX2, PX3)는 두 개의 데이터선(171)을 중심으로 거울상 대칭된다.

또한 제2 화소(PX2)는 별도의 구동 전압선을 구비하지 않고 제1 화소(PX1)에 연결된 구동 전압선(172)의 다른 쪽 가장자리에 연결되어 있다. 즉 제2 화소(PX2)의 제4 출력 전극(175d)는 제1 화소(PX1)의 제4 출력 전극(175d)와 같은 구동 전압선(172)을 공유한다.

한편, 제1 화소(PX1)의 제3 구동 트랜지스터(Qd3)는 구동 전압선(172) 넘어 제2 화소(PX2) 영역에 위치한다.

이렇게 제1 내지 제3 화소(PX1, PX2, PX3)의 배치 구조가 다른 이유는 각 화소의 유기 발광 부재(370)의 색광에 따라 발광 효율이 다르기 때문이다. 즉, 유기 발광 다이오드(LD)의 발광 효율은 발광 재료에 따라 다른데, 예를 들면 녹색, 적색, 청색의 순서로 발광 효율이 떨어진다. 여기에서는 청색의 발광 재료가 발광 효율이 가장 낮으며, 적색 및 녹색 순서로 발광 효율이 높다는 전제 하에 서술한다. 발광 효율이 낮으면 그만큼 많은 전류를 필요로 하므로 동일한 빛을 내게 하기 위해서는 채널폭을 크게 하여야 한다. 도 2 및 도 3과 같이 청색 화소(B), 적색 화소(R) 및 녹색 화소(G)가 이웃하여 배열되어 있을 때, 발광 효율이 낮은 청색 화소(B)에서 제3 구동 트랜지스터(Qd3)를 더 형성하여 청색 화소(B)의 총 패널 폭을 가장 크게 한다. 또한, 도 3을 참고하면, 적색 화소(R)의 제2 구동 트랜지스터(Qd2)의 채널 폭은 녹색 화소(G)의 제2 구동 트랜지스터(Qd2)의 채널 폭보다 크다. 따라서, 청색 화소(B)의 채널 폭이 가장 크고, 적색 화소(R) 및 녹색 화소(G)의 순서로 구동 트랜지스터의 채널 폭이 작다.

이 때, 청색 화소(B)의 제3 구동 트랜지스터(Qd3)는 상대적으로 작은 채널 폭을 필요로 하는 녹색 화소(G)의 영역에 마련함으로써, 청색 화소(B)의 발광 소자 면적을 줄이지 않고도 청색 화소(B)의 채널 폭을 충분히 확장할 수 있다. 또한 각 화소(B,G,R)에서 구동 트랜지스터의 채널은 화소 전극(191)의 긴변과 평행하도록 형성되며, 짧은 변 둘레에는 형성되지 않으므로, 각 화소 전극(191) 및 발광 부재(370)의 영역을 더 넓게 확보할 수 있어 개구율을 향상시킬 수 있다.

앞에서는 녹색 화소(G), 적색 화소(R) 및 청색 화소(B)의 순서로 발광 효율이 높은 것으로 설명하였지만 발광 재료에 따라 그 순서가 바뀔 수 있으며, 이때에도 본 발명을 동일하게 적용할 수 있다.

다시 도 1을 참조하면, 주사 구동부(400)는 주사 신호선(G_1-G_n)에 연결되어 스위칭 트랜지스터(Qs)를 턴 온시킬 수 있는 고전압(Von)과 턴 오프시킬 수 있는 저전압(Voff)의 조합으로 이루어진 주사 신호를 주사 신호선(G_1-G_n)에 인가한다.

데이터 구동부(500)는 데이터선(D_1-D_m)에 연결되어 데이터 전압을 데이터선(D_1-D_m)에 인가한다.

신호 제어부(600)는 주사 구동부(400) 및 데이터 구동부(500) 등의 동작을 제어하며, 입력 영상 데이터(R, G, B)를 보정한다.

주사 구동부(400) 또는 데이터 구동부(500)는 적어도 하나의 구동 집적 회로 칩의 형태로 표시판(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 표시판(300)에 부착될 수도 있다. 이와는 달리, 주사 구동부(400) 또는 데이터 구동부(500)가 표시판(300)에 집적될 수도 있다. 또는 데이터 구동부(500)와 신호 제어부(600) 등은 하나의 IC(one chip)에 집적될 수 있다.

신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 데이터(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클록(MCLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 신호 제어부(600)는 입력 영상 데이터(R, G, B)와 입력 제어 신호를 기초로 입력 영상 데이터(R, G, B)를 보정하여 출력 영상 데이터(DAT)를 생성하고 주사 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 주사 제어 신호(CONT1)를 주사 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 출력 영상 데이터(DAT)는 데이터 구동부(500)로 내보낸다.

주사 제어 신호(CONT1)는 고전압(Von)의 주사 시작을 지시하는 주사 시작 신호(STV)와 고전압(Von)의 출력을 제어하는 적어도 하나의 클록 신호 등을 포함한다.

데이터 제어 신호(CONT2)는 한 화소 행의 데이터 전송을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 해당 데이터 전압을 인가하라는 로드 신호(LOAD) 및 데이터 클록 신호(HCLK) 등을 포함한다.

데이터 구동부(500)는 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라 한 행의 화소에 대한 영상 데이터(DAT)를 차례로 입력받아 각 영상 데이터(DAT)를 데이터 전압으로 변환한 후 이를 해당 데이터선(D_1-D_m)에 인가한다.

주사 구동부(400)는 신호 제어부(600)로부터의 주사 제어 신호(CONT1)에 따라 주사 신호를 주사 신호선(G_1-G_n)에 인가하여 이 주사 신호선(G_1-G_n)에 연결된 스위칭 트랜지스터(Qs)를 턴 온시키며, 이에 따라 데이터선(D_1-D_m)에 인가된 데이터 전압이 턴 온된 스위칭 트랜지스터(Qs)를 통하여 구동 트랜지스터(Qd)의 제어 단자에 인가된다.

구동 트랜지스터(Qd)에 인가된 데이터 전압은 축전기(Cst)에 충전되고 스위칭 트랜지스터(Qs)가 오프되더라도 충전된 전압은 유지된다. 데이터 전압이 인가된 구동 트랜지스터(Qd)는 온이 되며, 이 전압에 의존하는 전류(I_{LD})를 출력한다. 그리고 이 전류(I_{LD})가 유기 발광 부재(LD)에 흐르면서 해당 화소(PX)는 영상을 표시한다.

1 수평 주기(또는 "1H")[수평 동기 신호(Hsync), 데이터 인에이블 신호(DE)의 한 주기]가 지나면 데이터 구동부(500)와 주사 구동부(400)는 다음 행의 화소(PX)에 대하여 동일한 동작을 반복한다. 이러한 방식으로, 한 프레임(frame) 동안 모든 주사 신호선(G_1-G_n)에 대하여 차례로 주사 신호를 인가하여, 모든 화소(PX)에 데이터 전압을 인가한다. 한 프레임이 끝나면 다음 프레임이 시작되고 다음 프레임에서도 동일한 동작을 반복한다.

이제 다시 도 2를 참고로 하여 이러한 표시 장치의 동작에 대하여 상세하게 설명한다.

본 실시예의 각 화소(PX1, PX2, PX3)는 정상 모드와 보정 모드로 나누어 동작한다. 정상 모드에서는 통상의 표시 동작을 수행하나 보정 모드에서는 구동 트랜지스터(Qd1, Qd2, Qd3)의 문턱 전압의 변동에 따른 데이터 전압을 보정한다.

화소(PX1, PX2, PX3)에 인가되는 데이터 신호는 정상 모드에서 데이터 전압이나 교정 모드에서 데이터 전류이다. 이를 위하여 본 실시예의 유기 발광 표시 장치는 데이터선(171)에 연결되어 있으며 데이터 전압 및 데이터 전류를 생성할 수 있는 구동 장치(도시하지 않음)를 구비할 수 있다.

정상 모드에서 본 실시예의 화소(PX2)는 도 1에 도시한 화소(PX1)와 실질적으로 동일하게 동작한다. 즉, 주사 신호에 의하여 제1 스위칭 트랜지스터(Qs1)가 턴 온되면 데이터선(171)에 인가되어 있는 데이터 전압은 제1 스위칭 트랜지스터(Qs1)를 통하여 제2 구동 트랜지스터(Qd2)의 제어 단자에 인가되며, 제2 구동 트랜지스터(Qd2)는 데이터 전압에 기초한 출력 전류(I_{LD})를 유기 발광 소자(LD)로 내보내고, 이에 따라 유기 발광 소자(LD)는 발광함으로써 영상을 표시한다.

한편 주사 신호에 의하여 제2 스위칭 트랜지스터(Qs2)도 턴 온 되는데, 데이터 전압은 제1 및 제2 스위칭 트랜지스터(Qs1, Qs2)를 통하여 제1 구동 트랜지스터(Qd1)의 제어 단자 및 입력 단자에 각각 인가된다. 따라서 제1 구동 트랜지스터(Qd1)가 턴 온되더라도 그 입력 단자와 제어 단자의 전압이 동일하므로 제1 구동 트랜지스터(Qd1)는 전류를 흘리지 못한다. 결국 정상 모드에서는 제1 스위칭 트랜지스터(Qs1)와 제2 구동 트랜지스터(Qd2)에 의하여 데이터 전압에 따른 영상을 표시한다.

한편 유기 발광 소자(LD)가 일정한 휘도를 내기 위하여 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)는 일정한 출력 전류를 흘릴 필요가 있다. 그러나 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)의 문턱 전압이 변동되면 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)의 제어 단자에 일정한 데이터 전압이 인가되더라도 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)는 일정한 출력 전류를 흘리지 못한다. 따라서 제2 구동 또는 제3 트랜지스터(Qd2, Qd3)의 문턱 전압의 변동에 따른 데이터 전압을 보정할 필요가 있다. 본 실시예의 보정 모드에서 문턱 전압 변동에 따른 데이터 전압의 보정을 수행한다.

보정 모드에서 구동 장치는 소정 데이터 전류를 데이터선(171)에 흘린다. 그리고 주사 신호에 의하여 스위칭 트랜지스터(Qs1, Qs2)가 턴 온되면 소정 데이터 전류에 의한 전하는 제1 스위칭 트랜지스터(Qs1)를 통하여 제1 또는 제2 유지 축전기(Cs1, Cs2)에 충전되기 시작한다. 이에 따라 제1 구동 트랜지스터(Qd1)는 제1 또는 제2 유지 축전기(Cs1, Cs2)에 충전된 전압에 의존하는 전류를 흘리기 시작하며 제1 또는 제2 유지 축전기(Cs1, Cs2)의 충전 전압이 높아지면 제1 구동 트랜지스터(Qd1)가 흘리는 전류도 커진다. 제1 또는 제2 유지 축전기(Cs1, Cs2)는 제1 구동 트랜지스터(Qd1)가 제2 스위칭 트랜지스터(Qs2)를 통하여 그 입력 단자로 유입되는 소정 데이터 전류와 실질적으로 동일한 출력 전류를 흘릴 때까지 전압을 충전한다. 이때의 충전 전압(이하 "보정 전압"이라 함)은 소정 데이터 전류와 일대일 대응 관계에 있으며, 보정 전압에는 제1 구동 트랜지스터(Qd1)의 문턱 전압 변동분이 반영되어 있다.

구동 트랜지스터(Qd1, Qd2, Qd3)의 제어 단자는 서로 연결되어 있으므로 제어 단자 전압은 동일하다. 또한 그 출력 단자도 서로 연결되어 있으므로 출력 단자 전압도 동일하다. 문턱 전압의 변동은 채널 폭과 채널 길이비에 관계없이 구동 트랜지스터(Qd1, Qd2, Qd3)의 제어 단자와 출력 단자의 전압 차에 좌우되므로 구동 트랜지스터(Qd1, Qd2, Qd3)의 문턱 전압의 변동치는 서로 동일하다. 따라서 제1 구동 트랜지스터(Qd1)를 대상으로 한 보정 전압은 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)에도 적용될 수 있다.

따라서 보정 모드에서는 소정 데이터 전류에 대한 보정 전압을 읽어서 룩업 테이블(도시하지 않음) 등에 저장한다. 그러고 정상 모드에서 보정 전압을 참고하여 데이터 전압을 보정하여 보정된 데이터 전압을 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)에 인가한다. 그러면 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)의 문턱 전압이 변동되더라도 제2 또는 제3 구동 트랜지스터(Qd2, Qd3)는 일정한 출력 전류를 흘릴 수 있고 따라서 유기 발광 소자(LD)가 일정한 휘도를 낼 수 있다.

문턱 전압은 장기간에 걸쳐 변동되므로 각 화소(PX2)에 대하여 적당히 긴 시간 간격을 두고 보정 모드로 동작시킨다. 따라서 정상 모드에서 영상을 표시하면서 보정 모드로 동작하더라도 영상을 표시하는 데 실질적으로 영향을 미치지 않는다.

여기서 제1 화소(PX1)은 보정 모드에서 작동하는 구동 트랜지스터(Qd3)를 하나 더 구비하여 발광 효율이 낮더라도 나머지 제2 및 제3 화소(PX2-3)와 동일한 휘도를 유지할 수 있다.

발명의 효과

이와 같이, 본 발명에 의하면 유기 발광 표시 장치의 전류 구동 특성을 확보하면서도 개구율을 높일 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 표시 장치의 블록도.

도 2는 본 발명의 한 실시예에 따른 표시 장치의 등가 회로도.

도 3은 본 발명의 한 실시예에 따른 표시 장치의 배치도.

도 4 및 도 5는 도 3에 도시한 표시 장치를 Ⅳ-Ⅳ 및 Ⅴ-Ⅴ 선을 따라 잘라 도시한 단면도.

도 6은 본 발명의 한 실시예에 따른 표시 장치의 유기 발광 다이오드의 개략도.

<도면 부호의 설명>

85: 연결 부재

110: 기판 124a-e: 제어 단자 전극

125: 돌출부 126, 176, 178: 전극 부재

140: 절연막 154a-e, 155: 반도체

163a-e, 165a-e: 접촉 부재 173a-e: 입력 단자 전극

175a-e: 출력 단자 전극 180: 보호막

184, 185a-c: 접촉 구멍 191: 화소 전극

270: 공통 전극 300: 표시판

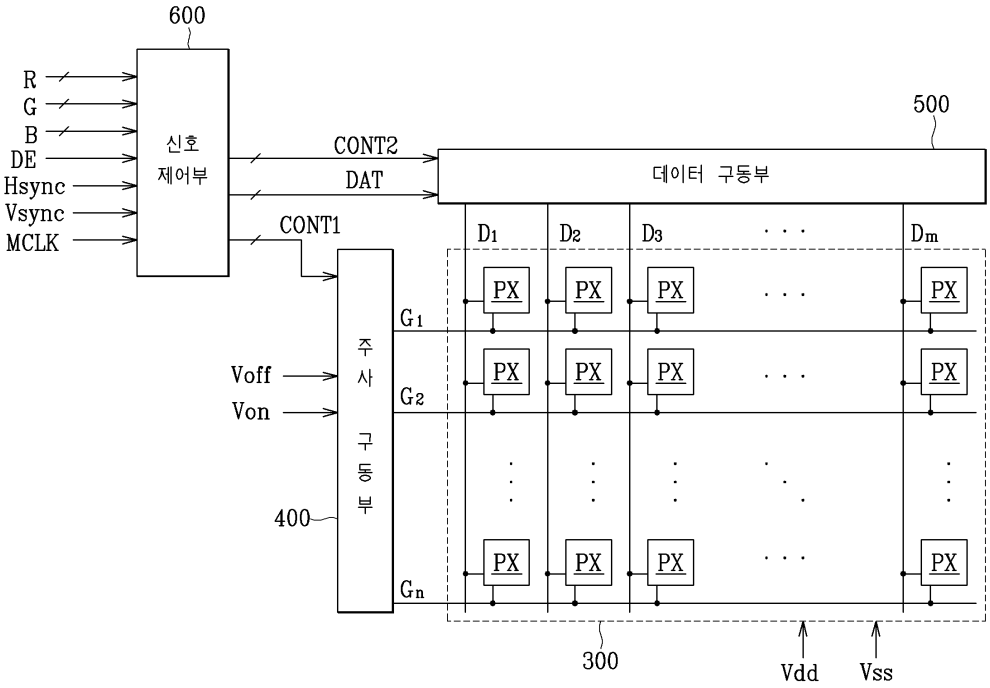
361: 격벽 370: 유기 발광 부재

400: 주사 구동부 500: 데이터 구동부

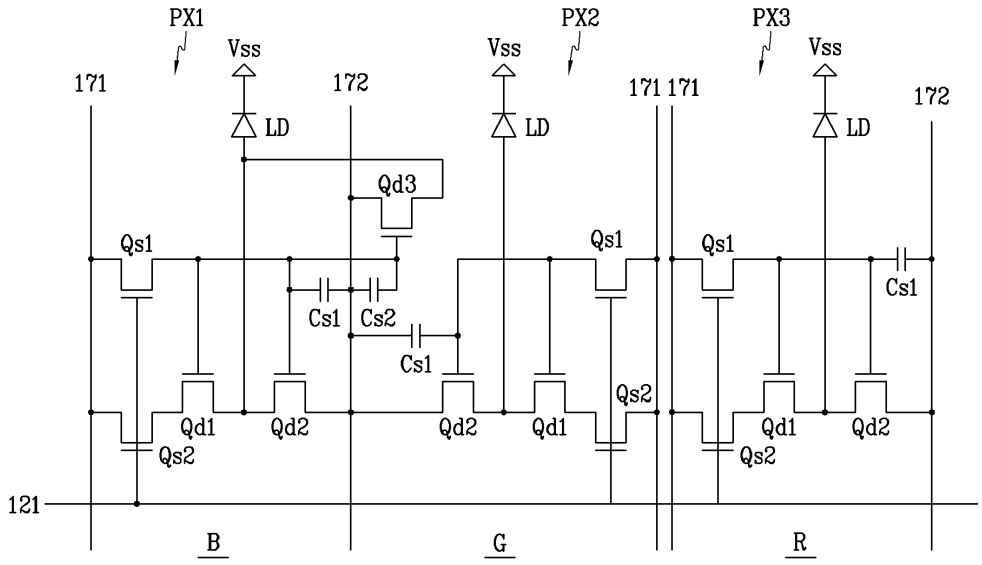
600: 신호 제어부

도면

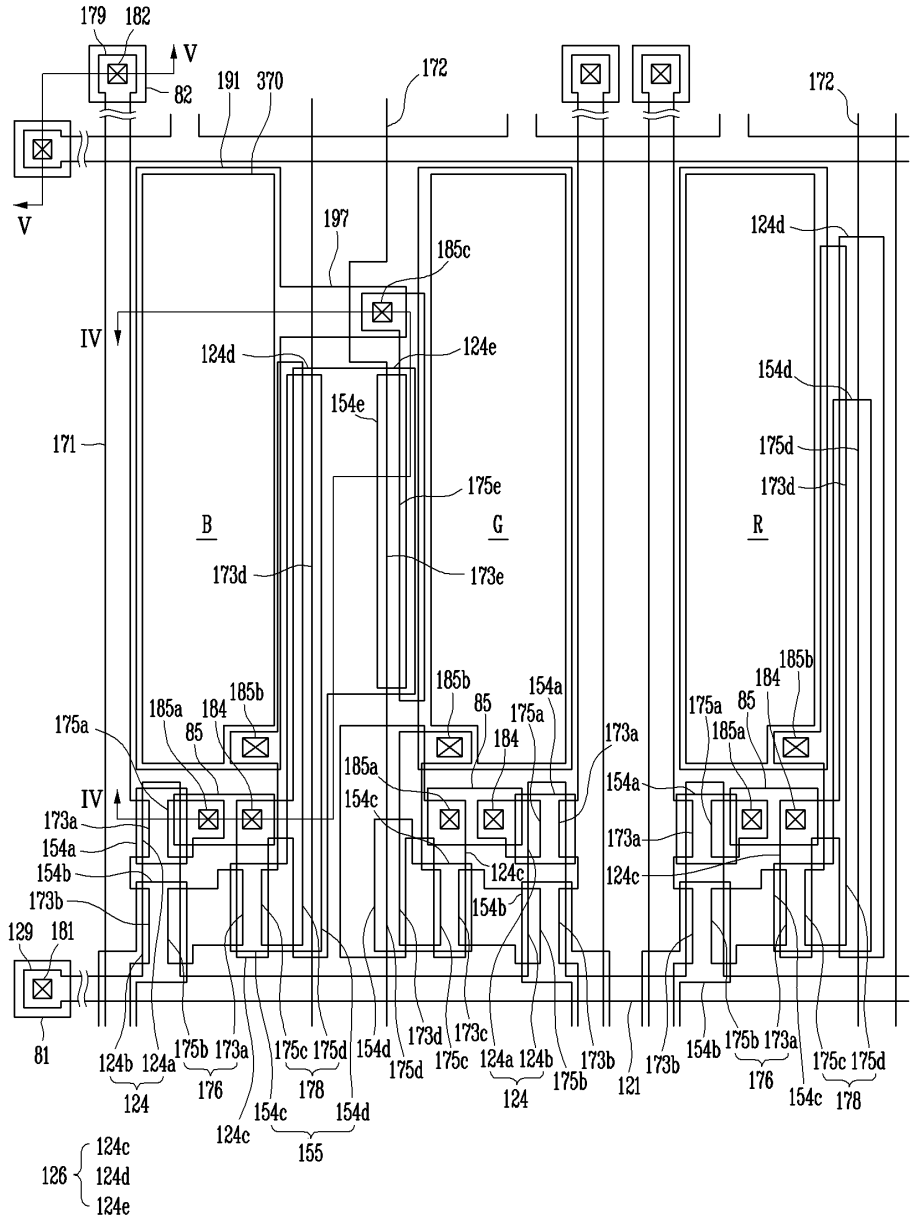
도면1



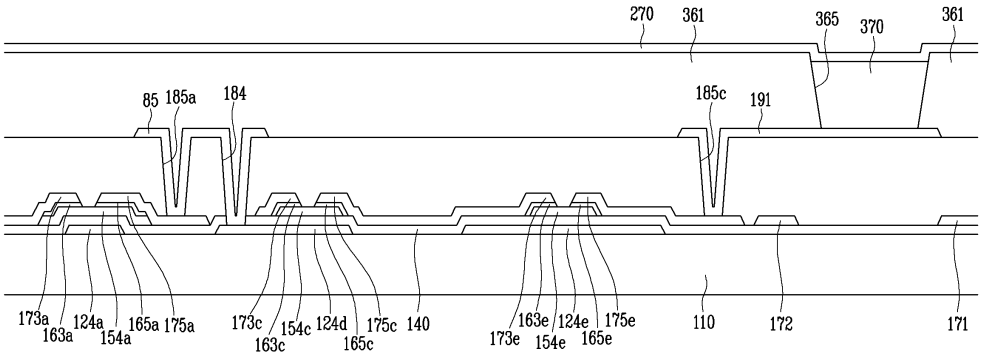
도면2



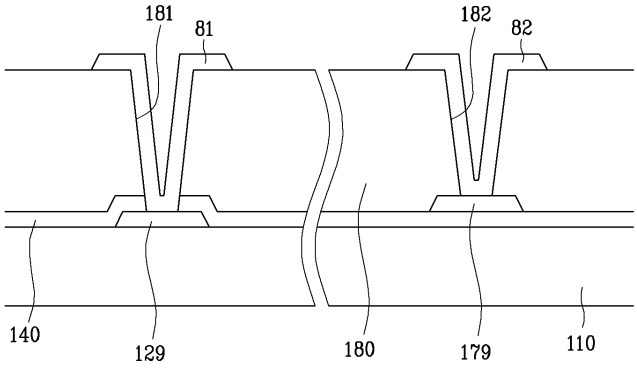
도면3


179
182
V
82
191
370
172
172
V
197
185c
124d
IV
124d
124e
154d
154e
171
175d
175e
173d
B
G
R
173d
173e
185b
184
185b
185b
154a
175a
85
175a
85
185a
184
185a
175a
85
185a
184
173a
154a
IV
154c
173a
154a
173a
154b
124c
124c
173b
154b
129
181
81
124b
124a
175b
173a
175c
175d
154d
173d
173c
175d
175c
124a
124b
175b
173b
121
173b
154b
175b
173a
175c
175d
124
176
178
124
176
154c
178
124c
154c
154d
155
126
124c
124d
124e

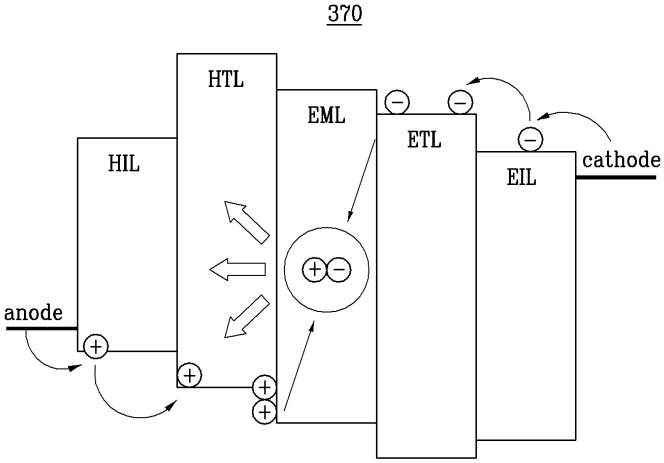
도면4


270
361
365
370
361
85
185a
184
185c
191
173a
163a
124a
154a
165a
175a
173c
163c
154c
124d
165c
175c
140
173e
163e
154e
124e
165e
175e
110
172
171

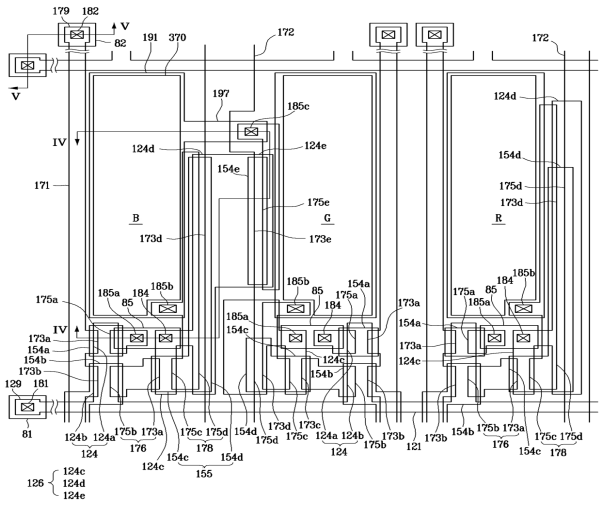
도면5


181
81
182
82
140
129
180
179
110

도면6


370
HTL
EML
ETL
EIL
cathode
HIL
anode

专利名称(译)	显示设备		
公开(公告)号	KR1020070045653A	公开(公告)日	2007-05-02
申请号	KR1020050102162	申请日	2005-10-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUNG KWANG CHUL 정광철 GOH JOON CHUL 고준철 CHOI BEOHM ROCK 최범락		
发明人	정광철 고준철 최범락		
IPC分类号	H05B33/20 H05B33/26		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0465 G09G2300/0842 H01L27/3262		
外部链接	Espacenet		

摘要(译)

本发明涉及显示装置。根据本发明的显示装置包括由多条栅极线和多条数据线以及第二像素和第三像素分别限定的第一像素。并且第一至第三像素还可以包括第三驱动晶体管，该第三驱动晶体管包括第一和第二开关晶体管，其将数据信号传输到连接到每个的第一和第二驱动晶体管，发光器件和发光器件，以及第一和第二驱动晶体管，其中第一像素连接到发光器件。有机电致发光显示器，发光效率，驱动晶体管，补偿电路，沟道长度。