(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H05B 33/00
H05B 33/08

(11) 공개번호 10-2005-0119719
(43) 공개일자 2005년12월22일

(21) 출원번호 10-2004-0044791
(22) 출원일자 2004년06월17일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 조성환
경기도 화성시 태안읍 반월리 868 현대아파트 214-1601

(74) 대리인 박영우

심사청구 : 없음

(54) 유기전계발광 표시장치

요약

표시장치에서, 구동 트랜지스터는 스위칭 소자 및 유기전계 발광소자에 연결되고, 스위칭 소자로부터 인가되는 전압에 응답하여 유기전계 발광소자에 구동 전류를 인가한다. 구동 트랜지스터는 게이트 전극, 게이트 전극과 서로 다른 층에 형성되고, 게이트 전극과 일부 오버랩되어 채널 영역을 형성하는 다결정 반도체층, 스위칭 소자로부터 전압을 입력받는 소오스 전극, 및 유기전계발광 소자와 전기적으로 접속되어 구동 전류를 출력하는 드레인 전극을 포함한다. 이때, 게이트 전극과 다결정 반도체층 중 어느 하나 또는 모두는 서로 다른 방향으로 분기되어 연장된 하나 이상의 패턴을 갖는다. 따라서, 표시장치는 화소 각각의 전류 특성을 균일화하면서 박막 트랜지스터의 구동 능력을 향상시킬 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치를 나타낸 회로도이다.

도 2는 도 1에 도시된 A 부분의 단면도이다.

도 3은 도 2에 도시된 B 부분의 평면도이다.

도 4는 본 발명의 다른 실시예에 따른 구동 트랜지스터의 채널 구조를 나타낸 도면이다.

도 5 및 도 6은 본 발명의 또 다른 실시예에 따른 구동 트랜지스터의 채널 구조를 나타낸 도면이다.

도 7은 본 발명의 또 다른 실시예에 따른 구동 트랜지스터의 채널 구조를 나타낸 도면이다.

도면의 주요 부분에 대한 부호의 설명

200 : 단위화소 210 : 투명기판,

220 : 게이트 절연막 230 : 소오스/드레인 절연막

280 : 평탄화막 285 : 하부전극

288 : 유기 발광층 290 : 상부전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시장치에 관한 것으로, 더욱 상세하게는 화소 각각의 전류 특성을 균일화하면서 박막 트랜지스터의 구동 능력을 향상시킬 수 있는 유기전계발광 표시장치에 관한 것이다.

평판 디스플레이에 대한 관심이 고조되면서, 저전압 고휘도의 자체발광 디스플레이인 유기전계발광 표시(Organic Electroluminescence Display)장치에 대한 연구가 활발하게 진행되고 있다. 유기전계발광 표시장치는 자체적으로 빛을 생성하는 발광층을 유기물질로 포함한다. 유기물질은 저온에서 증착되므로, 유기전계발광 표시장치는 저온 제조 공정에 의해 제조가 가능하며, 저전압으로 구동하여 디스플레이의 발광효율을 향상시킬 수 있다.

일반적으로, 유기전계발광 표시장치는 투명 전극이 형성된 투명기판 상에 정공 전달층(Hole Transporting Layer;HTL), 발광층(EMission Layer) 및 전자 전달층(Electron Transporting Layer; ETL)으로 이루어진 유기물층이 존재하고 상부에 금속전극이 형성된 후면 발광(bottom emission) 구조이다.

상기 유기전계발광 표시장치는 구동방법에 따라, 수동 매트릭스 유기전계발광 표시장치(Passive Matrix Organic Electroluminescence Device;PMOELD, 이하, “PMOELD"라고 한다.) 및 능동 매트릭스 유기전계발광 표시장치(Active Matirx Organic Electro Luminescence Device; AMOELD, 이하, “AMOELD"라고 한다.)로 구분할 수 있다.

AMOELD 구동방법은 박막 트랜지스터를 포함하는 화소 회로부를 사용하여, 화소를 개별적으로 제어한다. 따라서, PMOELD 구동방법 보다 적은 전류를 사용하여 디스플레이를 구동할 수 있다.

AMOELD는 전류 구동방식을 채택하고 있어서 화소 각각의 전류 특성의 불균일은 휘도 차이로 연관되어 AMOELD의 표시 특성을 저하시키는 요인으로 작용한다. 화소별로 달라질 수 있는 박막 트랜지스터의 전류 특성을 보완하기 위하여, 화소 각각에 보상회로를 더 구비함으로써, 화소 각각 전류 특성을 균일하게 할 수 있다. 그러나, 이러한 보상회로의 사용은 AMOELD의 전체적인 개구율은 저하시켜, 향후 고해상도의 device를 구현하기 위해서 보상회로를 제거하여 TFT의 개수를 줄이는 것이 바람직하다.

화소 각각의 전류 특성을 향상시키기 위한 다른 방안은 다결정 실리콘 TFT를 구비하는 AMOLED에서 다결정 실리콘에 포함되어 있는 그레인 사이즈를 감소시키는 것이다. 그레인 사이즈가 감소되면 채널영역내에 구비되는 그레인의 개수가 증가되고, 그 결과 전류 특성은 향상되지는 반면에, 전류 이동도가 떨어진다. 한편, 그레인 사이즈가 증가되면 전자 이동도는 향상되나 채널영역내에 존재하는 그레인의 개수가 감소하여 전류 특성이 불균일해진다.

즉, AMOELD는 전류 구동방식을 채택하고 있으므로, 전류 특성을 균일화시키는 것이 필요하지만, 전류 특성의 균일화를 위해 그레인 사이즈를 극도로 작게 해주면 오프 전류(off current)가 증가하고 온 전류(on current)가 감소하므로, 박막 트랜지스터의 구동 특성 저하된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 화소 각각의 전류 특성을 균일화하면서 박막 트랜지스터의 구동 능력을 향상시킬 수 있는 유기전계발광 표시장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 일 특징에 따른 유기전계발광 표시장치는 적어도 하나의 스위칭 소자, 유기 발광층을 구비하는 유기전계 발광소자, 및 상기 스위칭 소자 및 상기 유기전계 발광소자에 연결되어 상기 스위칭 소자로부터 인가되는 전압에 응답하여 상기 유기전계 발광소자에 구동 전류를 인가하는 트랜지스터를 포함한다.

상기 트랜지스터는 게이트 전극, 상기 게이트 전극과 서로 다른 층에 형성되고, 상기 게이트 전극과 일부 오버랩되어 채널 영역을 형성하는 다결정 반도체층, 상기 스위칭 소자로부터 전압을 입력받는 소오스 전극, 및 상기 유기전계발광 소자와 전기적으로 접속되어 구동 전류를 출력하는 드레인 전극을 포함한다.

이때, 상기 게이트 전극과 상기 다결정 반도체층 중 어느 하나 또는 모두는 서로 다른 방향으로 분기되어 연장되는 하나 이상의 패턴을 갖는다.

이러한 유기전계발광 표시장치에 따르면, 구동 트랜지스터의 게이트 전극과 다결정 반도체층 중 어느 하나 또는 모두는 서로 다른 방향으로 연장되는 하나 이상의 패턴을 가짐으로써, 표시장치는 화소 각각의 전류 특성을 균일화하면서 박막 트랜지스터의 구동 능력을 향상시킬 수 있다.

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

도 1은 본 발명의 일 실시예에 따른 유기전계발광 표시장치를 나타낸 회로도이다. 유기전계발광 표시장치에는 다수의 단위 화소가 구비되지만, 도 1에서는 하나의 단위 화소만을 도시하였다.

도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광 표시장치의 단위 화소(200)는 투명기판(210) 상에 구비된다. 상기 단위 화소(200)는 스위칭 트랜지스터(Tr1), 구동 트랜지스터(Tr2), 화상유지 커패시터(C1) 및 유기전계발광 다이오드(Di1)로 이루어지다.

상기 단위 화소(200)는 제1 및 제2 게이트 라인(GLn-1, GLn), 상기 제1 및 제2 게이트 라인(GLn-1, GLn)과 직교하는 데이터 라인(DLm) 및 상기 데이터 라인(DLm)과 소정 간격 이격되어 평행하게 연장된 바이어스 라인(BL)에 의해서 구획된 상기 투명기판(210)의 특정 영역에 형성된다.

상기 스위칭 트랜지스터(Tr1)는 상기 데이터 라인(DLm)에 연결된 소오스 전극(S1), 상기 제2 게이트 라인(GLn)에 연결된 게이트 전극(G2) 및 상기 구동 트랜지스터(Tr2)에 연결된 드레인 전극(D1)을 포함한다. 상기 화상유지 커패시터(C1)는 상기 스위칭 트랜지스터(Tr1)의 드레인 전극(D1)에 연결된 제1 전극(E1) 및 상기 바이어스 라인(BL)에 연결된 제2 전극(E2)을 구비한다.

상기 구동 트랜지스터(Tr2)는 상기 스위칭 트랜지스터(Tr1)의 드레인 전극(D1)에 연결된 게이트 전극(G2), 상기 바이어스 라인(BL)에 연결된 소오스 전극(S2) 및 상기 유기전계발광 다이오드(Di1)에 연결된 드레인 전극(D2)을 구비한다.

상기 유기전계발광 다이오드(Di1)는 상기 구동 트랜지스터(Tr2)의 드레인 전극(D2)에 연결된 애노드(A1) 및 공통전압(Vcom)이 제공되는 캐소드(C1)를 포함한다. 상기 애노드(A1) 및 캐소드(C1) 사이에는 유기 발광층(미도시)이 개재되고, 상기 유기 발광층은 레드, 그린 또는 블루로 이루어진 유기물질을 포함한다. 상기 유기 발광층에 대해서는 이후 도 2를 참조하여 구체적으로 설명한다.

상기 제2 게이트 라인(GLn)에 게이트 신호가 인가된 상태에서 상기 데이터 라인(DLm)으로 데이터 신호가 제공되면, 상기 스위칭 트랜지스터(Tr1)가 턴온 되면서, 상기 데이터 신호는 상기 스위칭 트랜지스터(Tr1)의 드레인 전극(D1)으로 출력된다. 상기 바이어스 라인(BL)에는 항상 바이어스 전압이 인가되고 있으니, 상기 화상유지 커패시터(C1)는 상기 드레인 전극(D1)으로 출력된 상기 데이터 신호와 상기 바이어스 전압에 의해서 전하를 충전한다.

또한, 상기 구동 트랜지스터(Tr2)는 상기 화상유지 커패시터(C1)에 전하가 충전됨에 따라서 턴온된다. 따라서, 상기 유기전계발광 다이오드(C1)의 애노드(A1)에는 상기 구동 트랜지스터(Tr2)의 드레인 전극(D2)으로 출력된 전류가 제공된다. 상기 구동 트랜지스터(Tr2)로부터 출력된 전류량에 따라서 상기 유기전계발광 다이오드(Di1)로부터 발광되는 광의 세기가 결정된다.

도 2는 도 1에 도시된 A 부분의 단면도이고, 도 3은 도 2에 도시된 B 부분을 제1 방향에서 바라볼 때의 평면도이다.

도 2를 참조하면, 상기 투명기판(210)에는 상기 구동 트랜지스터(Tr1)의 폴리 실리콘 패턴(220)이 형성된다. 상기 폴리 실리콘 패턴(220)은 레이저를 통해서 다결정화된 패턴이다. 상기 폴리 실리콘 패턴(220) 상에는 게이트 절연막(230)이 형성되고, 상기 게이트 절연막(230)은 상기 폴리 실리콘 패턴(220)의 두 곳을 개구시키는 제1 및 제2 콘택홀(231, 232)이 형성된다. 상기 게이트 절연막(230) 상에는 게이트 전극(G2)이 형성되고, 상기 게이트 전극(G2)은 제1 방향(C)에서 바라볼 때, 상기 폴리 실리콘 패턴(220)과 부분적으로 오버랩된다.

도 3에 도시된 바와 같이, 상기 폴리 실리콘 패턴(220)은 서로 소정 간격 이격된 제1 및 제2 반도체층 패턴(CL1, CL2)과 상기 제1 및 제2 반도체층 패턴(CL1, CL2)을 연결하는 제3 반도체층 패턴(CL3)을 포함한다. 상기 게이트 전극(G2)은 상기 게이트 절연막(230)을 사이에 두고 상기 폴리 실리콘 패턴(220)과 마주한다. 구체적으로, 상기 게이트 전극(G2)은 상기 제1 및 제2 반도체층 패턴(CL1, CL2)과 교차하는 제1 전극라인(EL1), 상기 제3 반도체층 패턴(CL3)과 교차하도록 상기 제1 전극라인(EL1)으로부터 분기된 제2 및 제3 전극라인(EL2, EL3)을 포함한다.

따라서, 상기 폴리 실리콘 패턴(220)과 상기 게이트 전극(G2)은 제1 내지 제4 지점(O1, O2, O3, O4)에서 오버랩된다. 구체적으로, 상기 제1 지점(O1)에서는 상기 제1 반도체층 패턴(CL1)과 상기 제1 전극라인(EL1)이 오버랩되고, 상기 제2 지점(O2)에서는 상기 제3 반도체층 패턴(CL3)과 상기 제2 전극라인(EL2)이 오버랩된다. 또한, 상기 제3 지점(O3)에서는 상기 제3 반도체층 패턴(CL3)과 상기 제3 전극라인(EL3)이 오버랩되고, 상기 제4 지점(O4)에서는 상기 제2 반도체층 패턴(CL2)과 상기 제1 전극라인(EL1)이 오버랩된다.

따라서, 상기 구동 트랜지스터(Tr)의 전체 채널길이는 상기 제1 내지 제4 지점(O1 ~ O4) 각각에서의 제1 내지 제4 채널길이(Ch1, Ch2, Ch3, Ch4)의 총합으로 이루어진다. 여기서, 상기 폴리 실리콘 패턴(220)은 채널 영역에서 30개 이상의 그레인을 포함한다. 상기 구동 트랜지스터(Tr2)의 전체 채널길이가 증가함에 따라서, 채널영역 내에 존재하는 그레인의 개수도 30개 이상으로 증가한다. 이와 같이, 채널영역 내에 존재하는 그레인의 개수가 증가함에 따라서, 상기 구동 트랜지스터(Tr2)의 전류 특성이 증가된다.

다시 도 2를 참조하면, 상기 게이트 전극(G2) 및 상기 게이트 절연막(230) 상에는 소오스/드레인 절연막(250)이 형성된다. 상기 소오스/드레인 절연막(250)은 상기 제1 및 제2 콘택홀(231, 232)에 대응하여 개구된다.

상기 소오스/드레인 절연막(250) 상에는 소오스 전극(S2)이 형성되고, 상기 소오스 전극(S2)은 상기 제1 콘택홀(231)을 통해 상기 폴리 실리콘 패턴(220)의 제1 단부와 연결된다. 상기 소오스/드레인 절연막(250) 상에는 상기 소오스 전극(S2)과 소정의 간격으로 이격되어 드레인 전극(D2)이 형성된다. 상기 드레인 전극(D2)은 상기 제2 콘택홀(232)을 통해 상기 폴리 실리콘 패턴(220)의 제2 단부와 연결된다. 즉, 도 3에 도시된 제1 및 제2 콘택 포인트(Ct1, Ct2)는 상기 소오스 및 드레인 전극(S2, D2)과 각각 연결되는 지점을 나타낸다.

상기 구동 트랜지스터(Tr2)가 형성된 상기 투명기판(210) 상에는 상부면이 플랫한 평탄화막(280)이 형성되고, 상기 평탄화막(280)에는 상기 구동 트랜지스터(Tr2)의 드레인 전극(D2)을 노출시키는 제3 콘택홀(281)이 형성된다.

상기 평탄화막(280) 상에는 상기 제3 콘택홀(281)을 통해 상기 구동 트랜지스터(Tr2)의 드레인 전극(D2)과 전기적으로 연결된 하부전극(285)이 형성된다. 상기 하부전극(285)은 도 1에 도시된 유기전계발광 다이오드(Di1)의 애노드(A1)이고, 인듐-틴-옥사이드(indium-tin-oxide;ITO)와 같은 투명한 도전물질로 이루어진다.

상기 하부전극(285) 상에는 유기 발광층(288)이 형성된다. 상기 유기 발광층(288)은 전류가 인가되었을 때 정공 및 전자에 의해 자가 발광할 수 있는 물질로서 소자의 종류에 따라 단층 또는 복수층으로 이루어질 수 있다. 상기 유기 발광층(288)은 레드, 그린 또는 블루 색으로 발광하도록 레드, 그린 또는 블루 색으로 염색될 수 있다.

상기 유기 발광층(288) 상에는 마그네슘 또는 리튬과 같은 금속물질로 이루어진 상부전극(290)이 형성된다. 상기 상부전극(290)은 도 1에 도시된 유기전계발광 다이오드(Di1)의 캐소드(C1)이다. 따라서, 상기 유기 발광층(288)으로부터 발광된 광은 상기 하부전극(285)을 통해 외부로 출사된다.

도 4는 본 발명의 다른 실시예에 따른 구동 트랜지스터의 채널 구조를 나타낸 도면이다.

도 4를 참조하면, 본 발명의 다른 실시예에 따른 구동 트랜지스터(Tr2, 도 2에 도시됨)는 서로 소정 간격 이격된 제1 및 제2 반도체층 패턴(CL1, CL2)과 상기 제1 및 제2 반도체층 패턴(CL1, CL2)을 연결하는 제3 반도체층 패턴(CL3)으로 이루어진 폴리 실리콘 패턴(220)을 포함한다.

상기 구동 트랜지스터(Tr2)의 게이트 전극(G2)은 게이트 절연막(230, 도 2에 도시됨)을 사이에 두고 상기 폴리 실리콘 패턴(220)과 마주한다. 구체적으로, 상기 게이트 전극(G2)은 상기 제1 및 제2 반도체층 패턴(CL1, CL2)과 교차하는 제1 전극라인(EL1), 상기 제3 반도체층 패턴(CL3)과 교차하도록 상기 제1 전극라인(EL1)으로부터 분기된 제4 전극라인(EL4)을 포함한다.

따라서, 상기 폴리 실리콘 패턴(220)과 상기 게이트 전극(G2)은 제1 지점(O1), 제4 지점(O4) 및 제5 지점(O5)에서 오버랩된다. 구체적으로, 상기 제1 지점(O1)에서는 상기 제1 반도체층 패턴(CL1)과 상기 제1 전극라인(EL1)이 오버랩되고, 상기 제4 지점(O4)에서는 상기 제2 반도체층 패턴(CL2)과 상기 제1 전극라인(EL1)이 오버랩된다. 또한, 상기 제5 지점(O5)에서는 상기 제3 반도체층 패턴(CL3)과 상기 제4 전극라인(EL4)이 오버랩된다.

따라서, 상기 구동 트랜지스터(Tr)의 전체 채널길이는 상기 제1 지점(O1), 제4 지점(O4) 및 제5 지점(O5) 각각에서의 제1 채널길이(Ch1), 제4 채널길이(Ch4) 및 제5 채널길이(Ch5)의 총합으로 이루어진다.

한편, 도 4에 도시된 제1 및 제2 콘택 포인트(Ct1, Ct2)는 소오스 및 드레인 전극(S2, D2, 도 2에 도시됨)과 각각 연결되는 지점을 나타낸다.

도 5 및 도 6은 본 발명의 또 다른 실시예에 따른 구동 트랜지스터의 채널 구조를 나타낸 도면이다.

도 5를 참조하면, 본 발명의 또 다른 실시예에 따른 구동 트랜지스터는 서로 소정 간격 이격된 제1 및 제2 반도체층 패턴(CL1, CL2)과 상기 제1 및 제2 반도체층 패턴(CL1, CL2)을 연결하는 제3 반도체층 패턴(CL3)으로 이루어진 폴리 실리콘 패턴(220)을 포함한다.

상기 구동 트랜지스터(Tr2)의 게이트 전극(G2)은 게이트 절연막(230, 도 2에 도시됨)을 사이에 두고 상기 폴리 실리콘 패턴(220)과 마주한다. 구체적으로, 상기 게이트 전극(G2)은 상기 제1 반도체층 패턴(CL1)과 마주하는 제5 전극라인(EL5), 제2 반도체층 패턴(CL2)과 마주하는 제6 전극라인(EL6) 및 상기 제3 반도체층 패턴(CL3)과 마주하고 상기 제5 전극라인(EL5)과 상기 제6 전극라인(EL6)을 연결하는 제7 전극라인(EL7)을 포함한다.

이처럼, 상기 게이트 전극(G2)은 상기 폴리 실리콘 패턴(220)과 서로 동일한 형상으로 이루어져, 상기 제5 내지 제7 전극라인(EL5 ~ EL7)은 상기 제1 내지 제3 반도체층 패턴(CL1 ~ CL3)과 각각 오버랩된다. 이로써, 상기 구동 트랜지스터(Tr2)의 채널의 전체길이는 상기 제5 전극라인(EL5)과 상기 제1 반도체층 패턴(CL1)이 오버랩된 영역에서의 제6 채널길이(Ch6), 상기 제2 반도체층 패턴(CL2)과 상기 제6 전극라인(EL6)이 오버랩된 영역에서의 제7 채널길이(Ch7) 및 상기 제3 반도체층 패턴(CL3)과 상기 제7 전극라인(EL7)이 오버랩된 영역에서의 제8 채널길이(Ch8)의 총합으로 이루어진다.

한편, 도 5에서 제1 및 제2 콘택 포인트(Ct1, Ct2)는 소오스 및 드레인 전극(S2, D2, 도 2에 도시됨)과 각각 연결되는 지점을 나타낸다.

도 6에 도시된 바와 같이, 상기 게이트 전극(G2)은 상기 제1 내지 제3 반도체층 패턴(CL1 ~ CL3)과 모두 오버랩되는 사각 플레이트 형상으로 이루어진다. 여기서, 상기 구동 트랜지스터(Tr2)의 채널의 전체길이는 상기 제1 내지 제3 반도체층 패턴(CL1 ~ CL3)과 상기 사각 플레이트의 상기 게이트 전극(G2)이 오버랩된 영역에서의 제6 내지 제8 채널길이(Ch6 ~ Ch8)의 총합으로 이루어진다.

도 7은 본 발명의 또 다른 실시예에 따른 구동 트랜지스터의 채널 구조를 나타낸 도면이다.

도 7을 참조하면, 본 발명의 또 다른 실시예에 따른 구동 트랜지스터(Tr2, 도 2에 도시됨)는 서로 소정의 간격으로 이격되어 서로 평행한 제4 내지 제6 반도체층 패턴(CL4, CL5, CL6), 상기 제4 및 제5 반도체층 패턴(CL4, CL5)을 연결하는 제1 연결라인(CL7) 및 제5 및 제6 반도체층 패턴(CL5, CL6)을 연결하는 제2 연결라인(CL8)을 포함한다. 한편, 상기 구동 트랜지스터(Tr2)의 게이트 전극(G2)은 상기 제4 내지 제6 반도체층 패턴(CL4 ~ CL6)과 마주하도록 사각 플레이트 형상으로 이루어진다.

여기서, 상기 구동 트랜지스터(Tr2)의 채널의 전체길이는 상기 제4 내지 제6 반도체층 패턴(CL4 ~ CL6)과 상기 사각 플레이트의 상기 게이트 전극(G2)이 오버랩된 영역에서의 제9 내지 제11 채널길이(Ch9, Ch10, Ch11)의 총합으로 이루어진다.

한편, 도 7에서 제1 및 제2 콘택 포인트(Ct1, Ct2)는 소오스 및 드레인 전극(S2, D2, 도 2에 도시됨)과 각각 연결되는 지점을 나타낸다.

상술한 바와 같이, 상기 폴리 실리콘 패턴(220)과 상기 구동 트랜지스터(Tr2)의 게이트 전극(G2)의 오버랩된 면적이 증가함으로써, 상기 구동 트랜지스터(Tr2)의 채널길이가 전체적으로 증가하여 상기 구동 트랜지스터(Tr2)의 구동 특성이 향상된다. 또한, 채널길이가 증가함에 따라서 채널 영역에 존재하는 그레인의 개수가 증가하여 상기 구동 트랜지스터(Tr2)의 전류 특성이 균일해진다.

도 1 내지 도 7을 참조하여, 본 발명의 실시예로써 후면 발광 구조를 제시하였다. 그러나, 본 발명은 후면 발광 구조에 한정되지 않으며 전면 발광 구조에서도 적용될 수 있다. 일반적으로, 후면 발광 구조와는 다르게 전면 발광 구조는 유기 발광층의 하부에 금속전극이 형성되고, 유기 발광층의 상부에 투명전극이 형성된 구조이다.

발명의 효과

이와 같은 유기전계발광 표시장치에 따르면, 구동 트랜지스터의 채널 길이가 증가함으로써,채널영역에 존재하는 그레인의 개수가 30개 이상의 증가된다. 이로써, 화소 각각의 전류 특성을 균일화할 수 있으면서, 구동 트랜지스터의 구동 능력을 향상시킬 수 있다.

이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

기판;

상기 기판 상에 형성되고, 외부로부터의 신호에 응답하여 구동신호를 출력하는 구동 트랜지스터; 및

상기 구동 트랜지스터로부터의 상기 구동신호에 응답하여 광을 발생하는 유기전계발광소자를 포함하고,

상기 구동 트랜지스터는,

다결정으로 이루어져 서로 다른 방향으로 연장된 다수의 반도체층 패턴을 포함하는 반도체층;

상기 반도체층 상에 형성되고, 상기 다수의 반도체층 패턴과 마주하는 게이트 전극;

상기 게이트 전극의 상부에 구비된 소오스 전극; 및

상기 게이트 전극의 상부에서 상기 소오스 전극과 소정의 간격으로 이격된 드레인 전극을 포함하는 것을 특징으로 하는 표시장치.

청구항 2.

제1항에 있어서, 상기 반도체층은 서로 소정 간격 이격된 제1 및 제2 반도체층 패턴과 상기 제1 및 제2 반도체층 패턴을 연결하는 제3 반도체층 패턴을 포함하는 것을 특징으로 하는 표시장치.

청구항 3.

제2항에 있어서, 상기 게이트 전극은 상기 제1 및 제2 반도체층 패턴과 교차하는 제1 전극라인 및 상기 제1 전극라인으로부터 분기되어 상기 제3 반도체층 패턴과 교차하는 제2 전극라인을 포함하는 것을 특징으로 하는 표시장치.

청구항 4.

제2항에 있어서, 상기 게이트 전극은 상기 반도체층과 동일한 형상으로 이루어져 상기 제1 내지 제3 반도체층 패턴과 마주하는 것을 특징으로 하는 표시장치.

청구항 5.

제1항에 있어서, 상기 반도체층은 서로 소정의 간격으로 이격된 제1, 제2 및 제3 반도체층 패턴, 상기 제1 및 제2 반도체층 패턴을 연결하는 제1 연결라인 및 제2 및 제3 반도체층 패턴을 연결하는 제2 연결라인을 포함하는 것을 특징으로 하는 표시장치.

청구항 6.

제5항에 있어서, 상기 게이트 전극은 상기 제1 내지 제3 반도체층 패턴과 마주하도록 사각 플레이트 형상으로 이루어진 것을 특징으로 하는 표시장치.

청구항 7.

제1항에 있어서, 상기 유기발광소자는,

상기 드레인 전극과 전기적으로 연결된 제1 전극;

상기 제1 전극과 마주하는 제2 전극; 및

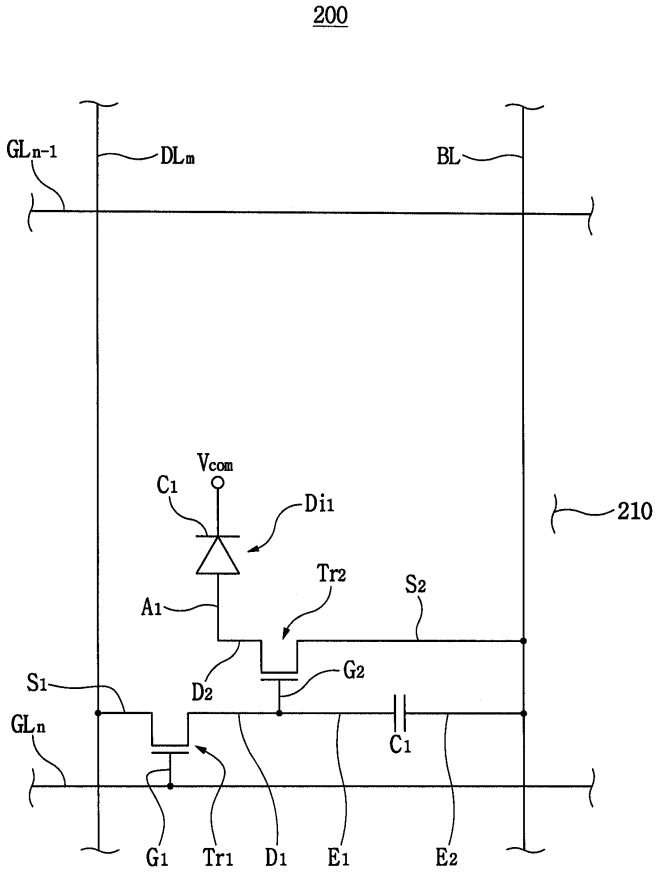
상기 제1 및 제2 전극과의 사이에 개재되고 유기물질로 이루어진 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 8.

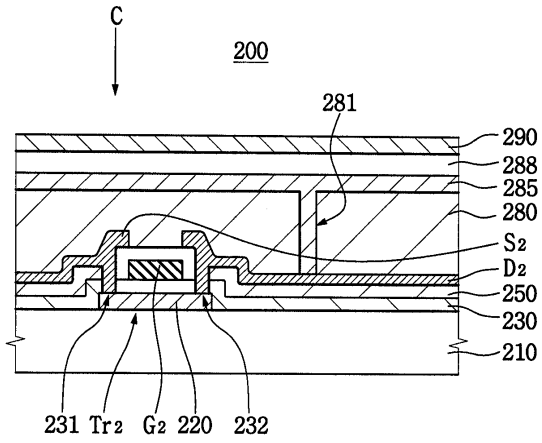
제1항에 있어서, 상기 표시장치는 상기 구동 트랜지스터와 전기적으로 연결되어 상기 외부로부터의 신호를 상기 구동 트랜지스터로 전달 또는 차단하는 스위칭 트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

도면

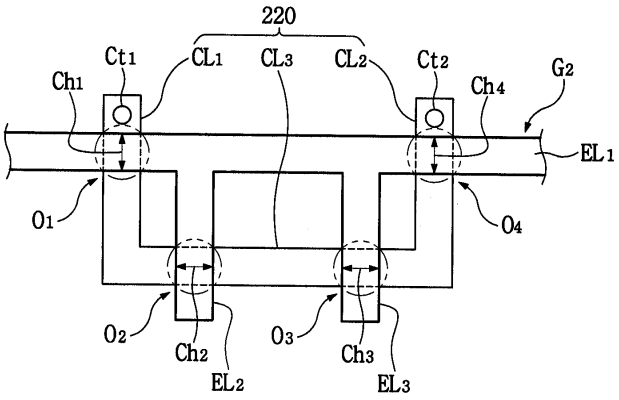
도면1


200
GLn-1
DLm
BL
Vcom
C1
Di1
210
Tr2
S2
A1
D2
G2
S1
GLn
C1
G1
Tr1
D1
E1
E2

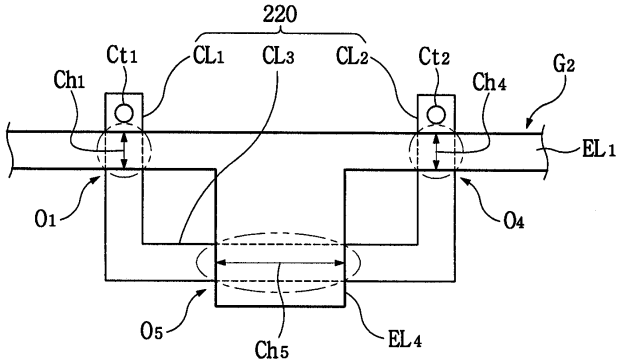
도면2


C
200
281
290
288
285
280
S2
D2
250
230
210
231
Tr2
G2
220
232

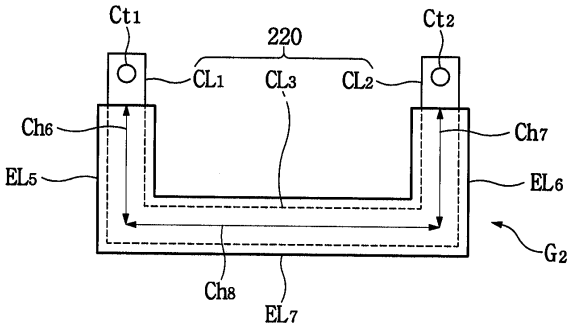
도면3



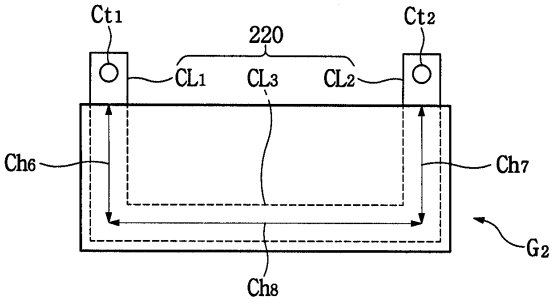
도면4



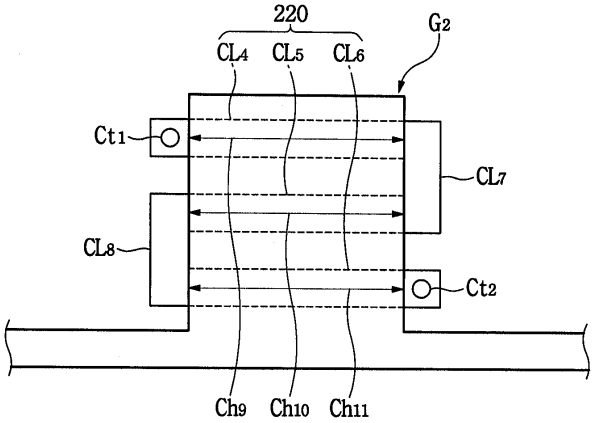
도면5



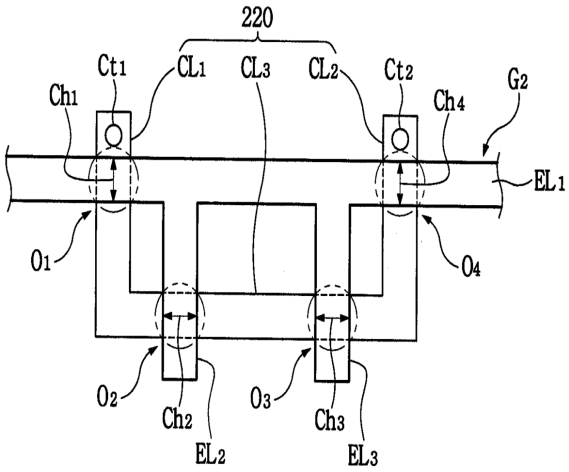
도면6



도면7



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020050119719A	公开(公告)日	2005-12-22
申请号	KR1020040044791	申请日	2004-06-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	CHO SUNGHWAN		
发明人	CHO,SUNGHWAN		
IPC分类号	H05B33/08 H05B33/00		
代理人(译)	PARK，YOUNG WOO		
外部链接	Espacenet		

摘要(译)

在显示装置中，驱动晶体管连接到开关元件和有机电致发光器件。响应于从有机电致发光器件中的开关元件施加的电压，授权驱动电流。驱动晶体管包括栅电极，栅电极，栅电极形成在不同层中，电压从多晶半导体膜输入形成沟道区的源电极与部分重叠，并且开关元件和漏电极连接到有机电致发光器件并输出驱动电流。此时，栅电极和多晶半导体膜中的任何一个或每个都具有至少一个分支到不同方向并延伸的图案。因此，显示装置可以在使像素的每个电流特性均匀的同时提高薄膜晶体管的驱动强度。