

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) 。 Int. Cl.⁷
H05B 33/00(11) 공개번호 10-2005-0075221
(43) 공개일자 2005년07월20일(21) 출원번호 10-2004-0003435
(22) 출원일자 2004년01월16일(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575(72) 발명자 구재본
경기도용인시수지읍풍덕천리풍림아파트105동504호

(74) 대리인 박상수

심사청구 : 있음

(54) 표시장치용 박막트랜지스터 및 상기 박막트랜지스터를구비하는 평판표시장치

요약

본 발명은 표시장치용 박막트랜지스터 및 상기 박막트랜지스터를 구비하는 평판표시장치를 제공한다. 상기 평판표시장치는 소오스/드레인 영역들 및 상기 소오스/드레인 영역들 사이에 개재된 채널 영역을 구비하는 반도체층, 상기 반도체층의 상부 또는 하부에 상기 채널 영역과 대응되도록 위치하는 게이트 전극 및 상기 반도체층을 사이에 두고 상기 게이트 전극과 마주보도록 위치하고, 적어도 상기 채널 영역의 길이 이상 상기 반도체층의 길이 이하의 폭을 갖는 광차단막(light shielding layer) 패턴을 구비하는 박막트랜지스터; 및 상기 박막트랜지스터의 소오스/드레인 영역들 중 어느 하나와 전기적으로 연결된 화소전극을 포함한다.

대표도

도 4

색인어

박막트랜지스터, 광누설 전류, 평판표시장치, 유기전계발광표시장치

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시예에 따른 박막트랜지스터를 설명하기 위한 평면도이다.

도 2a 및 2b는 도 1의 절단선 I-I' 및 II-II'를 따라 각각 취해진 본 발명의 실시예에 따른 박막트랜지스터 및 그의 제조방법을 설명하기 위한 단면도들이다.

도 3은 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 단위화소구동회로를 나타낸 회로도이다.

도 4는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다.

도 5는 광차단막을 구비하는 박막트랜지스터와 상기 광차단막을 구비하지 않는 박막트랜지스터 각각에 광을 조사하였을 때 게이트 전압변화에 따른 전류전달특성을 나타낸 그래프이다.

(도면의 주요 부위에 대한 부호의 설명)

10 : 기판 20 : 광차단막

30 : 반도체층 40 : 게이트 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터 및 상기 박막트랜지스터를 구비하는 평판표시장치에 관한 것으로 더욱 자세하게는, 광차단막 패턴을 갖는 표시장치용 박막트랜지스터 및 상기 박막트랜지스터를 구비하는 평판표시장치에 관한 것이다.

평판표시장치는 수동 매트릭스(passive matrix)타입과 능동 매트릭스(active matrix)타입으로 나뉘어진다. 이중 상기 능동 매트릭스 평판표시장치는 상기 수동 매트릭스 평판표시장치에 비해 전력소모가 적어 대면적 구현에 적합하며 고해상도를 갖는 장점이 있다.

상기 능동 매트릭스 평판표시장치에 있어, 복수개의 주사선과 복수개의 데이터선의 교차에 의해 매트릭스 형태로 배치된 단위화소영역들이 정의되고, 상기 단위화소영역에는 적어도 하나의 박막트랜지스터가 위치한다. 상기 박막트랜지스터는 채널영역을 갖는 반도체층, 게이트 전극 및 소오스/드레인 전극들을 구비한다. 상기 표시장치의 구동에 있어 상기 채널영역은 외부 입사광 또는 표시장치의 신호광에 노출될 수 있는데, 이 경우 상기 채널영역에는 전자-정공 쌍(electron-hole pair)이 발생되고, 상기 발생된 전자와 정공은 광여기 누설전류(light induced off current)를 생성시킬 수 있다. 이러한 광여기 누설전류는 표시장치의 화질에 치명적인 영향을 미칠 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 광여기 누설전류가 억제된 표시장치용 박막트랜지스터를 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 화질이 개선된 평판표시장치를 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명의 실시예는 표시장치용 박막트랜지스터를 제공한다. 상기 박막트랜지스터는 소오스/드레인 영역들 및 상기 소오스/드레인 영역들 사이에 개재된 채널 영역을 구비하는 반도체층, 상기 반도체층의 상부 또는 하부에 상기 채널 영역과 대응되도록 위치하는 게이트 전극 및 상기 반도체층을 사이에 두고 상기 게이트 전극과 마주보도록 위치하고, 적어도 상기 채널 영역의 길이 이상 상기 반도체층의 길이 이하의 폭을 갖는 광차단막(light shielding layer) 패턴을 포함한다.

상기 다른 기술적 과제를 이루기 위하여 본 발명의 다른 실시예는 평판표시장치를 제공한다. 상기 평판표시장치는 소오스/드레인 영역들 및 상기 소오스/드레인 영역들 사이에 개재된 채널 영역을 구비하는 반도체층, 상기 반도체층의 상부 또는 하부에 상기 채널 영역과 대응되도록 위치하는 게이트 전극 및 상기 반도체층을 사이에 두고 상기 게이트 전극과 마주보도록 위치하고, 적어도 상기 채널 영역의 길이 이상 상기 반도체층의 길이 이하의 폭을 갖는 광차단막(light shielding layer) 패턴을 구비하는 박막트랜지스터; 및 상기 박막트랜지스터의 소오스/드레인 영역들 중 어느 하나와 전기적으로 연결된 화소전극을 포함한다. 상기 화소전극은 투명전극인 것이 바람직하다.

본 발명의 일실시예 및 다른 실시예에 있어서, 상기 광차단막 패턴은 불투명한 절연물질, MIHL(Metal Insulator Hybrid Layer) 또는 금속물질로 이루어질 수 있다. 상기 불투명한 절연물질은 산화크롬(CrOx) 또는 몰리브덴 산화막(MoOx)인 것이 바람직하다. 상기 MIHL은 그의 두께에 따라 투명물질성분과 금속성분이 반비례적 조성비를 갖는 막으로서, 상기 금속성분의 조성비는 상기 반도체층과 가까워질수록 증가하는 것이 바람직하다. 상기 투명물질성분은 산화실리콘, 질화실리콘 및 ITO로 이루어진 군에서 선택되는 하나 이상인 것이 바람직하다. 한편, 상기 금속성분은 알루미늄, 크롬, 몰리브덴, 텅스텐, 티타늄, 은 및 구리로 이루어진 군에서 선택되는 하나 이상인 것이 바람직하다. 상기 광차단막 패턴이 상기 금속물질로 이루어지는 경우, 상기 금속물질은 알루미늄, 텅스텐, 티타늄, 탄탈륨, 크롬, 크롬 합금, 몰리브덴 및 몰리브덴 합금으로 이루어진 군에서 선택되는 하나인 것이 바람직하다.

본 발명의 일실시예 및 다른 실시예에 있어서, 상기 게이트 전극 및 상기 광차단막 패턴은 서로 전기적으로 연결될 수 있다. 이 경우, 상기 광차단막 패턴은 상기 채널 영역의 길이와 같은 폭을 갖는 것이 바람직하다. 이 경우, 상기 박막트랜지스터는 상기 광차단막 패턴과 상기 반도체층 사이에 개재되고, 500Å 내지 3000Å의 두께를 갖는 제 1 절연막을 더욱 포함하는 것이 바람직하다. 또한, 이 경우 상기 광차단막 패턴은 크롬, 크롬 합금, 몰리브덴 및 몰리브덴 합금으로 이루어진 군에서 선택되는 하나로 이루어진 것이 바람직하다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예들을 첨부된 도면들을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

도 1은 본 발명의 제 1 실시예에 따른 박막트랜지스터를 설명하기 위한 평면도이고, 도 2a 및 2b는 도 1의 절단선 I-I' 및 II-II'를 따라 각각 취해진 본 발명의 실시예에 따른 박막트랜지스터 및 그의 제조방법을 설명하기 위한 단면도들이다.

도 1, 도 2a 및 2b를 참조하면, 유리 또는 투명 플라스틱으로 이루어진 기판(10)을 제공하고, 상기 제공된 기판(10) 상에 완충막(15)을 형성한다. 상기 완충막(15)은 상기 기판(10)에서 유출되는 불순물로부터 박막트랜지스터를 보호하는 역할을 한다. 상기 완충막(15) 상에 광차단막을 형성하고, 상기 광차단막을 패터닝하여 광차단막 패턴(20)을 형성한다. 상기 광차단막 패턴(20)은 상기 기판(10)을 통해 들어오는 외부 입사광을 차단할 수 있는 물질로 형성한다. 상기 광차단막 패턴(20)은 불투명한 절연물질, MIHL(Metal Insulator Hybrid Layer) 또는 금속물질을 사용하여 형성할 수 있다.

상기 불투명한 절연물질은 상기 입사광을 흡수할 수 있는 물질로 산화크롬(CrOx) 또는 몰리브덴 산화막(MoOx)일 수 있다.

상기 MIHL은 그의 두께에 따라 투명물질성분과 금속성분이 반비례적 조성비를 가짐으로써, 입사광의 진행방향에 따라 흡수계수가 증가할 수 있다. 본 실시예에 있어서, 상기 MIHL을 사용하여 형성된 광차단막 패턴(20)은 입사광의 진행방향에 따라 상기 금속성분의 조성비가 점차적으로 증가하도록 형성하는 것이 바람직하다. 즉, 상기 광차단막 패턴(20)에 있어, 상기 금속성분의 조성비는 후속하는 공정에서 형성되는 반도체층과 가까워질수록 점차적으로 증가하는 것이 바람직하다. 이로써, 상기 입사광을 충분히 흡수할 수 있다. 상기 광차단막 패턴(20)을 상기 MIHL로 형성하는 것은 상기 투명물질성분과 상기 금속성분을 코스퍼터링(co-sputtering) 또는 코이베포레이션(co-evaporation)함으로써 수행할 수 있다. 상기 투명물질성분은 산화 실리콘(SiO₂), 질화 실리콘(SiN_x) 또는 ITO(Indium Tin Oxide)인 것이 바람직하다. 또한, 상기 금속성분은 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 은(Ag) 및 구리(Cu)로 이루어진 군에서 선택되는 하나인 것이 바람직하다.

상기 광차단막 패턴(20)을 형성하는 금속물질은 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy)으로 이루어진 군에서 선택되는 하나일 수 있으나, 이에 한정되는 것은 아니다. 즉, 어떤 금속이라도 광을 차단할 수 있는 두께로 형성한다면 상기 광차단막 패턴(20)을 형성하는 물질로 사용할 수 있다. 이로써, 상기 광차단막 패턴(20)은 상기 입사광을 차단할 뿐 아니라 도전성을 가질 수 있다.

이어서, 상기 광차단막 패턴(20)을 포함하는 기판 전면에서 제 1 절연막(25)을 형성한다. 상기 제 1 절연막(25)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막일 수 있다. 상기 제 1 절연막(25) 상에 비정질 실리콘막을 형성하고 이를 패터닝하여 반도체층(30)을 형성한다. 상기 반도체층(30)은 상기 광차단막 패턴(20)을 가로지르도록 형성된다.

상기 비정질 실리콘막을 패터닝하기 전에 상기 비정질 실리콘막을 결정화하여 다결정 실리콘막을 형성할 수 있다. 또는 상기 비정질 실리콘막을 패터닝한 후에 상기 비정질 실리콘으로 이루어진 반도체층(30)을 결정화하여 다결정 실리콘으로 이루어진 반도체층(30)을 형성할 수 있다. 상기 결정화는 엑시머 레이저 어닐링(eximer laser annealing; ELA법), 연속측면고상화(sequential lateral solidification; SLS)법, 금속유도결정화법(metal induced crystallization; MIC) 또는 금속유도측면결정화법(metal induced lateral crystallization; MILC)을 사용하여 수행할 수 있다. 상기 결정화를 상기 엑시머 레이저 어닐링법을 사용하여 수행하는 경우, 상기 비정질 실리콘막 또는 상기 비정질 실리콘으로 이루어진 반도체층(30)에 엑시머 레이저 빔을 조사한다. 상기 조사된 레이저 빔의 광에너지는 열에너지로 변환되어 상기 비정질 실리콘을 용융시키고, 상기 용융된 비정질 실리콘은 냉각되면서 재결정화됨으로써 다결정 실리콘을 형성하게 된다. 이 때, 상기 광차단막 패턴(20)은 상기 용융된 비정질 실리콘에서 열을 흡수함으로써, 상기 다결정 실리콘의 결정립의 크기를 작게 할 수 있다. 이로써, 기판 전체에 균일한 특성을 갖는 다결정 실리콘 반도체층(30)을 형성할 수 있다.

이어서, 상기 반도체층(30)을 갖는 기판(10) 전면에서 제 2 절연막(35)을 형성한다. 상기 제 2 절연막(35)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막일 수 있다. 상기 제 2 절연막(35) 상에 게이트 도전막을 형성하고 이를 패터닝함으로써, 게이트 전극(40)을 형성한다. 상기 게이트 전극(40)은 상기 반도체층(30)을 가로지르도록 형성한다. 이로써, 상기 반도체층(30)을 사이에 두고 상기 게이트 전극(40)과 상기 광차단막 패턴(20)은 마주본다. 상기 게이트 전극(40)은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy)으로 이루어진 군에서 선택되는 하나를 사용하여 형성할 수 있다. 이어서, 상기 게이트 전극(40)을 마스크로 하여 상기 반도체층(30)에 이온을 주입함으로써, 소오스/드레인 영역들(30a)을 형성한다. 이와 동시에 상기 소오스/드레인 영역들(30a) 사이에 개재되고, 상기 게이트 전극(40)에 대응하여 위치하는 채널 영역(30b)이 정의된다.

한편, 상기 광차단막 패턴(20)을 형성함에 있어, 상기 광차단막 패턴(20)은 상기 채널 영역(30b)의 길이(Lc) 이상 상기 반도체층(30)의 길이(Ls) 이하의 폭(W)을 갖도록 형성한다. 상기 광차단막 패턴(20)을 상기 채널 영역(30b)의 길이(Lc) 이상의 폭(W)을 갖도록 형성함으로써, 상기 기판(10) 하부로부터 들어오는 입사광이 상기 채널 영역(30b)에 도달하지 못하도록 할 수 있다. 또한, 상기 광차단막 패턴(20)을 상기 반도체층(30)의 길이(Ls) 이하의 폭(W)을 갖도록 형성함으로써, 표시장치에 있어 상기 기판(10)의 상부 또는 하부로부터 들어오는 신호광을 상기 광차단막 패턴(20)이 불필요하게 차단하지 않도록 한다. 상기 기판(10)의 상부로부터 들어오는 신호광은 배면 또는 양면발광 유기전계발광표시장치에 있어서 유기발광층으로부터 나오는 광일 수 있다. 이와 더불어, 상기 게이트 전극(40)은 상기 기판(10) 상부로부터 들어오는 입사광이 상기 채널영역(30b)에 도달하지 못하도록 차단할 수 있다. 결과적으로 상기 채널 영역(30b)에서 발생할 수 있는 광여기 누설 전류를 억제할 수 있다. 또한, 광여기 누설전류가 억제된 박막트랜지스터를 채용하는 표시장치의 화질의 개선을 이룰 수 있다. 본 명세서에 있어, 입사광이라 함은 외부광과 상기 신호광을 포함한다.

상기 광차단막 패턴(20)과 상기 게이트 전극(40)은 서로 그 위치를 바꾸어 형성할 수도 있다. 즉, 상기 게이트 전극(40)을 상기 반도체층(30)을 형성하기 전에 형성하여 상기 반도체층(30) 하부에 배치하고, 상기 광차단막 패턴(20)을 상기 반도체층(30)을 형성한 후 형성하여 상기 반도체층(30) 상부에 배치시킬 수 있다.

이어서, 상기 게이트 전극(40)을 덮는 제 3 절연막(45)을 형성한다. 상기 제 3 절연막(45)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막으로 형성할 수 있다. 상기 제 3 절연막(45) 내에 상기 반도체층(30)의 소오스/드레인 영역들(30a)을 각각 노출시키는 소오스/드레인 콘택홀들(45a)을 형성한다. 상기 소오스/드레인 콘택홀들(45a)을 형성함과 동시에 도 3b에 나타난 바와 같이 상기 제 3 절연막(45) 내에 상기 광차단막 패턴(20) 및 상기 게이트 전극(40)을 각각 노출시키는 제 1 연결 콘택홀(45b) 및 제 2 연결 콘택홀(45c)을 형성할 수 있다. 상기 소오스/드레인 콘택홀들(45a) 및 상기 연결 콘택홀들(45b, 45c)을 갖는 기판(10) 상에 소오스/드레인 도전막을 형성하고, 상기 소오스/드레인 도전막을 패터닝하여 소오스/드

레인 전극들(50) 및 연결배선(51)을 형성한다. 상기 연결배선(51)은 상기 제 1 연결 콘택홀(45b) 및 상기 제 2 연결 콘택홀(45c)을 통해 상기 광차단막(20) 및 상기 게이트 전극(40)에 동시에 접하여 상기 게이트 전극(40) 및 상기 광차단막(20)을 서로 전기적으로 연결한다. 이로써, 상기 광차단막(20)은 상기 게이트 전극(40)과 더불어 상기 반도체층(30)에 대해 게이트 전극으로 작용할 수 있다. 결과적으로 상기 광차단막(20)과 상기 게이트 전극(40)은 더블 게이트(double gate)를 형성한다. 상기 더블 게이트를 갖는 박막트랜지스터는 온 전류(on-current)가 큰 특성을 가질 뿐 아니라 기판 전체에 있어 균일한 특성을 나타낼 수 있다.

상기 더블 게이트(double gate)를 형성하는 경우, 상기 광차단막 패턴(20)은 상기 채널영역(30b)의 길이(Lc)와 같은 폭(W)을 갖도록 형성하는 것이 바람직하다. 또한, 상기 광차단막 패턴(20)은 크롬(Cr), 크롬 합금(Cr alloy), 몰리브덴(Mo) 및 몰리브덴 합금(Mo alloy)으로 이루어진 군에서 선택되는 하나를 사용하여 형성하는 것이 바람직하다. 한편, 이 경우 상기 제 1 절연막(25)은 상기 광차단막(20)이 게이트 전극으로서의 역할을 할 수 있도록 500Å 내지 3000Å의 두께를 갖도록 형성하는 것이 바람직하다.

도 3은 본 발명의 제 2 실시예에 따른 유기전계발광표시장치의 단위화소구조회로를 나타낸 회로도이다.

도 3을 참조하면, 일방향으로 n 번째 주사선이 위치하고 상기 주사선과 절연되면서 교차하는 m 번째 데이터선이 위치한다. 또한, 상기 주사선과 서로 절연되면서 교차하고, 상기 데이터선에 서로 이격되어 공통전원선이 위치한다.

상기 주사선과 상기 데이터선이 교차하는 곳에 스위칭 박막트랜지스터(M1)가 위치한다. 상기 스위칭 박막트랜지스터(M1)는 상기 주사선에 인가된 신호에 따라 상기 데이터선에 인가된 데이터 신호를 스위칭한다. 상기 스위칭 박막트랜지스터(M1)는 구동 박막트랜지스터(M2)의 게이트와 연결되어 상기 구동 박막트랜지스터(M2)의 게이트에 상기 스위칭된 데이터 신호를 인가한다. 이 때, 인가되는 데이터 신호를 일정기간 저장하기 위한 저장콘덴서(Cst)가 상기 구동 박막트랜지스터(M2)의 게이트와 드레인 사이에 연결되어 위치한다. 상기 저장콘덴서(Cst)에 저장된 데이터 신호는 상기 스위칭 박막트랜지스터가 오픈된 상태에서 상기 구동 박막트랜지스터(M2)의 게이트에 일정한 데이터 신호를 인가할 수 있게 한다. 상기 구동 박막트랜지스터(M2)의 게이트에 인가된 데이터 신호는 상기 구동 박막트랜지스터(M2)에 전류를 흐르게 하고, 상기 구동 박막트랜지스터(M2)에 흐르는 전류는 상기 구동 박막트랜지스터(M2)와 연결된 유기발광다이오드(D)에 공급되어 상기 유기발광다이오드(D)의 발광을 유도한다.

상기 스위칭 박막트랜지스터(M1) 및/또는 상기 구동 박막트랜지스터(M2)는 채널 영역에 들어오는 입사광을 차단하는 광차단막(미도시)을 구비한다. 상기 광차단막을 구비하는 박막트랜지스터(들)은 상기 입사광에 의한 광여기 누설전류(LK1, LK2)의 발생이 억제된다. 결과적으로 상기 스위칭 박막트랜지스터(M1)에 있어서의 광여기 누설전류(LK1)의 발생이 억제됨으로써, 상기 저장콘덴서(Cst)에 저장된 데이터 신호의 손실을 억제할 수 있다. 또한, 상기 구동박막트랜지스터(M2)에 있어서의 광여기 누설전류(LK2)의 발생이 억제됨으로써, 상기 유기발광다이오드(D)가 블랙을 구현함에 있어서의 오류를 막을 수 있다. 이로써, 유기전계발광표시장치의 화질개선을 이룰 수 있다.

도 4는 본 발명의 제 2 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도로서, 도 3의 스위칭 박막트랜지스터(M1), 구동 박막트랜지스터(M2) 및 유기발광다이오드(D)에 한정하여 나타낸 도면이다.

도 4를 참조하면, 유리 또는 투명 플라스틱으로 이루어진 기판(10)을 제공하고, 상기 기판(10) 상의 소정영역에 광차단막(20), 반도체층(30), 게이트 전극(40) 및 소오스/드레인 전극들(50)을 구비하는 구동 박막트랜지스터(M2) 및 스위칭 박막트랜지스터(M1)를 형성한다. 상기 구동 박막트랜지스터(M2) 및 스위칭 박막트랜지스터(M1)는 도 2a 및 도 2b를 참조하여 설명한 박막트랜지스터와 동일하게 형성된다.

상기 박막트랜지스터들을 갖는 기판(10) 전면에 제 4 절연막(55)을 형성할 수 있다. 상기 제 4 절연막(55)은 유기막 또는 무기막으로 형성하거나 이들의 복합막으로 형성할 수 있다. 상기 유기막은 BCB(benzocyclobutene)막 일 수 있고, 상기 무기막은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 제 4 절연막(55) 내에 상기 구동 박막트랜지스터(M2)의 소오스/드레인 전극들(50) 중 어느 하나를 노출시키는 비아홀(55a)을 형성한다. 상기 비아홀(55a)을 갖는 기판 상에 화소전극 물질을 적층하고, 이를 패터닝함으로써 화소전극(60)을 형성한다. 상기 화소전극(60)은 투명도전물질을 사용하여 형성하는 것이 바람직하다. 상기 투명도전물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)인 것이 바람직하다. 또한, 상기 화소전극(60)은 상기 박막트랜지스터들(M1, M2) 상부에도 형성하는 것이 바람직하다.

이어서, 상기 화소전극(60) 상에 상기 화소전극(60) 표면의 소정부분을 노출시키는 제 5 절연막(65)을 형성할 수 있다. 상기 제 5 절연막(65)은 BCB(benzocyclobutene), 아크릴계 고분자 및 이미드계 고분자로 이루어진 군에서 선택되는 하나를 사용하여 형성할 수 있다. 상기 노출된 화소전극(60) 상에 적어도 유기발광층을 구비하는 유기기능막(70)을 형성한다. 상기 유기기능막(70) 상에 대향전극(80)을 형성한다. 상기 대향전극(80) 또한 상기 투명도전물질을 사용하여 형성하는 것이 바람직하다. 상기 화소전극(60), 상기 유기기능막(70) 및 상기 대향전극(80)은 유기발광다이오드(D)를 구성한다.

상기 화소전극(60) 및 상기 대향전극(80)을 모두 투명도전물질을 사용하여 형성함으로써, 상기 유기전계발광표시장치는 상기 기판방향 및 상기 기판 반대방향 즉, 양면으로 신호광을 방출할 수 있다. 이 경우, 상기 기판(10) 하부 및 상기 기판 상부로부터 외부광 또한 들어올 수 있다.

이 때, 상기 유기기능막(80)에 포함된 유기발광층으로부터 상기 기판방향으로 방출되는 광은 게이트 전극에 의해 차단되어 상기 채널영역(30b)으로 입사되는 것이 억제된다. 또한, 상기 기판의 상부 및 하부로부터 들어오는 외부 입사광은 상기 광차단막(20) 및 상기 게이트 전극(40)에 의해 차단되어 상기 채널영역(30b)으로 입사되는 것이 억제된다. 또한, 상기 광차단막(20)을 상기 반도체층(30)의 길이 이하의 폭을 갖도록 형성함으로써, 상기 유기발광층으로부터 방출되고 상기 기판(10)을 통해 외부로 나가는 신호광을 불필요하게 차단하지 않을 수 있다. 따라서, 개구율의 향상을 도모할 수 있다.

상술한 바와 같이 본 발명의 제 2 실시예는 유기전계발광표시장치를 예로 들어 본 발명을 설명했으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 액정표시장치에도 적용가능함을 인식할 수 있을 것이다.

도 5는 본 발명의 제 1 실시예에 따른 박막트랜지스터와 종래기술에 따른 박막트랜지스터 각각에 광을 조사하였을 때 게이트 전압변화에 따른 전류전달특성을 나타낸 그래프이다.

도 5를 참조하면, 제 1 실시예에 따른 박막트랜지스터 즉, 광차단막을 구비하는 박막트랜지스터(P)는 종래기술에 따른 박막트랜지스터 즉, 광차단막을 구비하지 않은 박막트랜지스터(Q)에 비해 낮은 광여기 누설전류를 나타내는 것을 알 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 광여기 누설전류의 발생이 억제된 박막트랜지스터를 얻을 수 있다. 또한, 상기 광여기 누설전류의 발생이 억제된 박막트랜지스터를 채용함으로써, 화질이 개선된 평판표시장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

소오스/드레인 영역들 및 상기 소오스/드레인 영역들 사이에 개재된 채널 영역을 구비하는 반도체층;

상기 반도체층의 상부 또는 하부에 상기 채널 영역과 대응되도록 위치하는 게이트 전극; 및

상기 반도체층을 사이에 두고 상기 게이트 전극과 마주보도록 위치하고, 적어도 상기 채널 영역의 길이 이상 상기 반도체층의 길이 이하의 폭을 갖는 광차단막(light shielding layer) 패턴을 포함하는 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 2.

제 1 항에 있어서,

상기 광차단막 패턴은 불투명한 절연물질로 이루어진 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 3.

제 2 항에 있어서,

상기 불투명한 절연물질은 산화크롬(CrOx) 또는 몰리브덴 산화막(MoOx)인 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 4.

제 1 항에 있어서,

상기 광차단막 패턴은 그의 두께에 따라 투명물질성분과 금속성분이 반비례적 조성비를 갖는 MIHL(Metal Insulator Hybrid Layer)인 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 5.

제 4 항에 있어서,

상기 광차단막 패턴에 있어서, 상기 금속성분의 조성비는 상기 반도체층과 가까워질수록 증가하는 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 6.

제 4 항에 있어서,

상기 투명물질성분은 산화실리콘, 질화실리콘 및 ITO(indium tin oxide)로 이루어진 군에서 선택되는 하나 이상인 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 7.

제 4 항에 있어서,

상기 금속성분은 알루미늄, 크롬, 몰리브덴, 텅스텐, 티타늄, 은 및 구리로 이루어진 군에서 선택되는 하나 이상인 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 8.

제 1 항에 있어서,

상기 광차단막 패턴은 금속물질로 이루어진 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 9.

제 8 항에 있어서,

상기 금속물질은 알루미늄, 텅스텐, 티타늄, 탄탈륨, 크롬, 크롬 합금, 몰리브덴 및 몰리브덴 합금으로 이루어진 군에서 선택되는 하나인 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 10.

제 1 항에 있어서,

상기 게이트 전극 및 상기 광차단막 패턴은 전기적으로 연결되는 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 11.

제 10 항에 있어서,

상기 광차단막 패턴은 상기 채널 영역의 길이와 같은 폭을 갖는 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 12.

제 10 항에 있어서,

상기 광차단막 패턴과 상기 반도체층 사이에 개재되고, 500Å 내지 3000Å의 두께를 갖는 제 1 절연막을 더욱 포함하는 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 13.

제 10 항에 있어서,

상기 광차단막 패턴은 크롬, 크롬 합금, 몰리브덴 및 몰리브덴 합금으로 이루어진 군에서 선택되는 하나로 이루어진 것을 특징으로 하는 표시장치용 박막트랜지스터.

청구항 14.

소오스/드레인 영역들 및 상기 소오스/드레인 영역들 사이에 개재된 채널 영역을 구비하는 반도체층, 상기 반도체층의 상부 또는 하부에 상기 채널 영역과 대응되도록 위치하는 게이트 전극 및 상기 반도체층을 사이에 두고 상기 게이트 전극과 마주보도록 위치하고, 적어도 상기 채널 영역의 길이 이상 상기 반도체층의 길이 이하의 폭을 갖는 광차단막(light shielding layer) 패턴을 구비하는 박막트랜지스터; 및

상기 박막트랜지스터의 소오스/드레인 영역들 중 어느 하나와 전기적으로 연결된 화소전극을 포함하는 것을 특징으로 하는 평판표시장치.

청구항 15.

제 14 항에 있어서,

상기 화소전극은 투명전극인 것을 특징으로 하는 평판표시장치.

청구항 16.

제 14 항에 있어서,

상기 광차단막 패턴은 불투명한 절연물질로 이루어진 것을 특징으로 하는 평판표시장치.

청구항 17.

제 16 항에 있어서,

상기 불투명한 절연물질은 산화크롬(CrOx) 또는 몰리브덴 산화막(MoOx)인 것을 특징으로 하는 평판표시장치.

청구항 18.

제 14 항에 있어서,

상기 광차단막 패턴은 그의 두께에 따라 투명물질성분과 금속성분이 반비례적 조성비를 갖되, 상기 금속성분의 조성비는 상기 반도체층에서 가까워질수록 증가하는 것을 특징으로 하는 평판표시장치.

청구항 19.

제 18 항에 있어서,

상기 투명물질성분은 산화실리콘, 질화실리콘 및 ITO로 이루어진 군에서 선택되는 하나 이상이고,

상기 금속성분은 알루미늄, 크롬, 몰리브덴, 텅스텐, 티타늄, 은 및 구리로 이루어진 군에서 선택되는 하나 이상인 것을 특징으로 하는 평판표시장치.

청구항 20.

제 14 항에 있어서,

상기 광차단막 패턴은 금속물질로 이루어진 것을 특징으로 하는 평판표시장치.

청구항 21.

제 20 항에 있어서,

상기 금속물질은 알루미늄, 텅스텐, 티타늄, 탄탈륨, 크롬, 크롬 합금, 몰리브덴 및 몰리브덴 합금으로 이루어진 군에서 선택되는 하나인 것을 특징으로 하는 평판표시장치.

청구항 22.

제 14 항에 있어서,

상기 게이트 전극 및 상기 광차단막 패턴은 서로 전기적으로 연결되는 것을 특징으로 하는 평판표시장치.

청구항 23.

제 22 항에 있어서,

상기 광차단막 패턴은 상기 채널 영역의 길이와 같은 폭을 갖는 것을 특징으로 하는 평판표시장치.

청구항 24.

제 22 항에 있어서,

상기 광차단막 패턴과 상기 반도체층 사이에 개재되고, 500Å 내지 3000Å의 두께를 갖는 제 1 절연막을 더욱 포함하는 것을 특징으로 하는 평판표시장치.

청구항 25.

제 22 항에 있어서,

상기 광차단막 패턴은 크롬, 크롬 합금, 몰리브덴 및 몰리브덴 합금으로 이루어진 군에서 선택되는 하나로 이루어진 것을 특징으로 하는 평판표시장치.

청구항 26.

제 25 항에 있어서,

상기 평판표시장치는 유기전계발광표시장치인 것을 특징으로 하는 평판표시장치.

청구항 27.

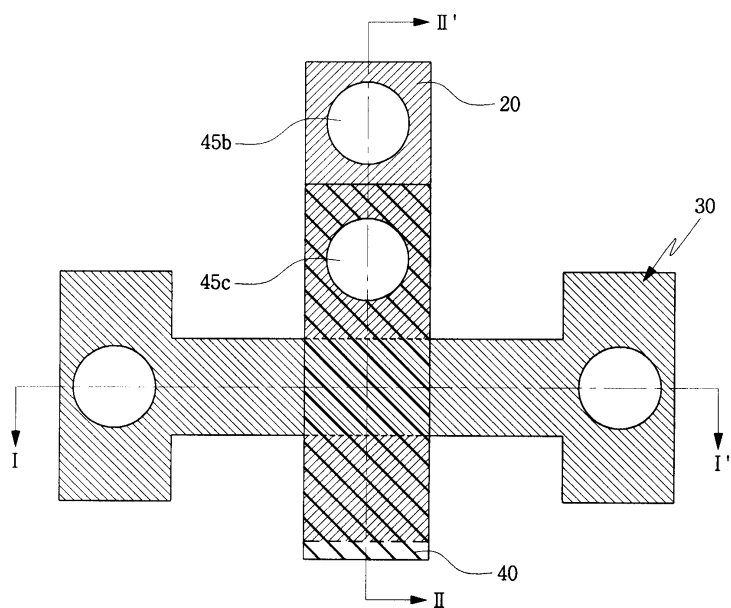
제 26 항에 있어서,

투명전극인 대향전극 및

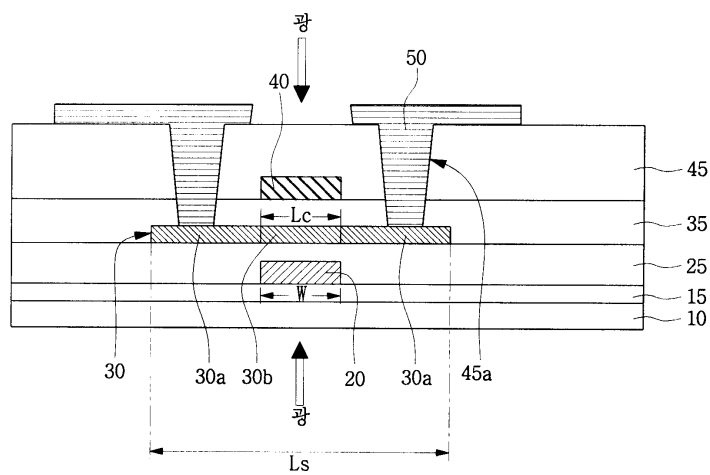
상기 화소전극과 상기 대향전극 사이에 개재된 유기발광층을 더욱 포함하는 것을 특징으로 하는 평판표시장치.

도면

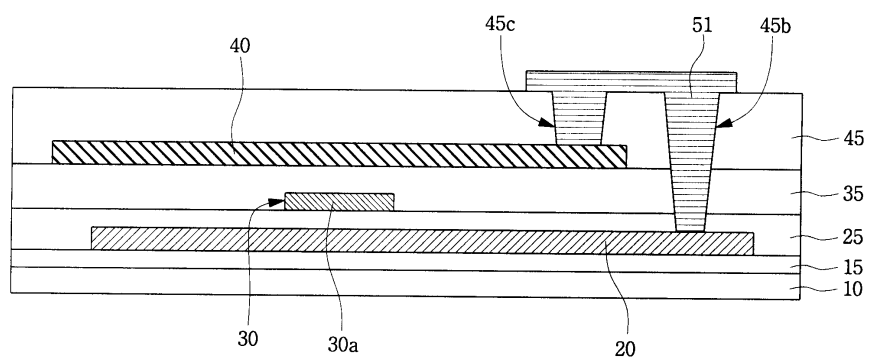
도면1



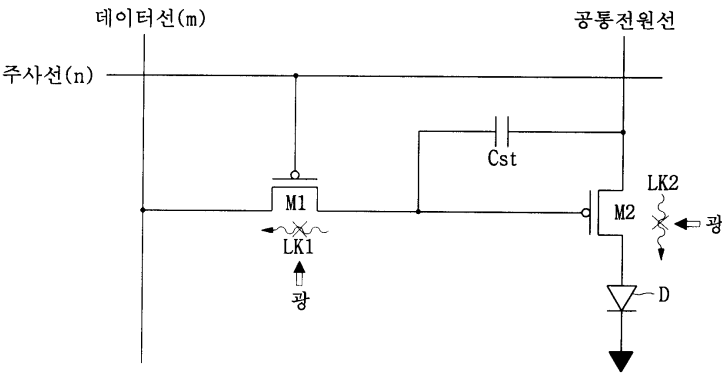
도면2a



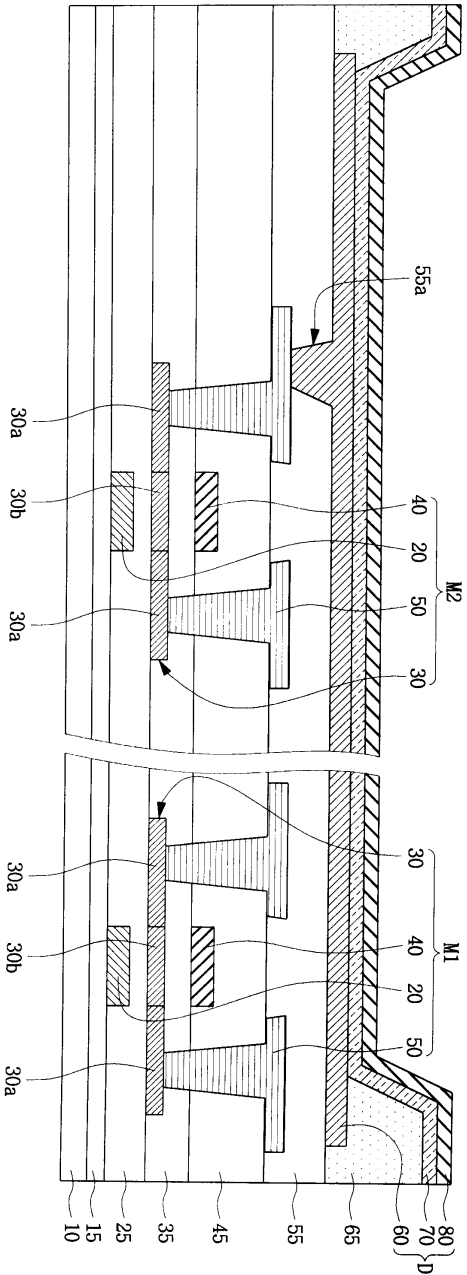
도면2b



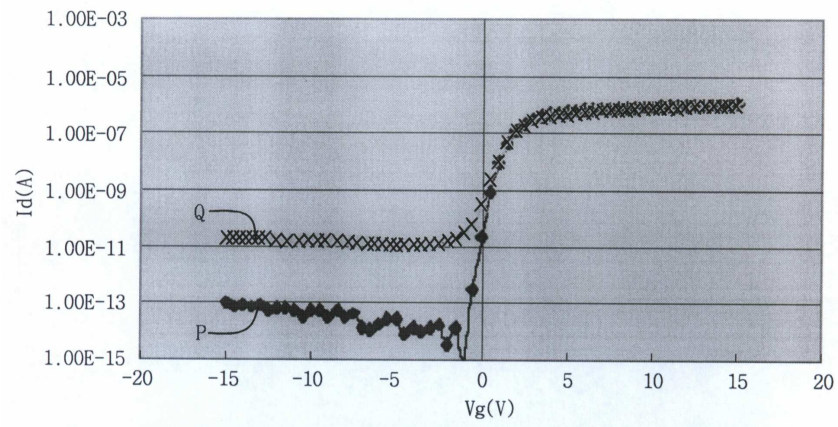
도면3



도면4



도면5



专利名称(译)	一种用于显示装置的薄膜晶体管和包括该薄膜晶体管的平板显示装置		
公开(公告)号	KR1020050075221A	公开(公告)日	2005-07-20
申请号	KR1020040003435	申请日	2004-01-16
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KOO JAEON		
发明人	KOO, JAEON		
IPC分类号	H05B33/00		
代理人(译)	PARK, 常树		
其他公开文献	KR100560794B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种用于显示装置的薄膜晶体管和包括该薄膜晶体管的平板显示装置。平板显示装置包括：半导体层，具有源/漏区和插入在源/漏区之间的沟道区；栅电极，位于半导体层的上方或下方，以对应于沟道区，一种薄膜晶体管，其具有光屏蔽层图案，所述光屏蔽层图案被定位成面对所述栅电极，其间具有层，所述光屏蔽层图案的宽度至少等于或长于所述沟道区的长度；并且像素电极电连接到薄膜晶体管的源/漏区之一。4

指数方面 薄膜晶体管，漏光电流，平板显示器，有机发光显示器

