

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H05B 33/22

(11) 공개번호 10-2005-0051058
(43) 공개일자 2005년06월01일

(21) 출원번호 10-2003-0084746
(22) 출원일자 2003년11월26일

(71) 출원인 삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자 김무현
경기도수원시팔달구영통동신나무실풍림아파트601동1501호
진병두
경기도성남시분당구미금동까치마을1단지롯데아파트111동402호
송명원
경기도수원시권선구고등동46번지6호27통1반
이성택
경기도수원시팔달구영통동황골마을풍림아파트233동1002호

(74) 대리인 박상수

심사청구 : 있음

(54) 평판표시장치

요약

본 발명은 기관표면의 테이퍼 각도를 감소시켜 소자의 불량을 방지하고 화질을 개선할 수 있는 유기전계 발광표시장치에 관한 것이다.

본 발명의 평판표시장치는 절연기관과; 상기 절연기관상에 형성되고, 상기 기관의 표면에 대하여 제1단차 및 제1테이퍼 각을 갖는 하부 박막과; 상기 절연기관상에 형성되고, 상기 하부박막의 테이퍼각을 완화시켜 주기위한 상부 박막을 구비하며, 상기 상부 박막은 상기 하부 박막의 제1테이퍼각보다 작은 제2테이퍼각을 갖는다

상기 상부 박막은 습식코팅가능한 전하수송능력을 갖는 도전성 박막으로서, 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자유기막과, PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자유기막으로부터 선택된다.

대표도

도 4

명세서

도면의 간단한 설명

- 도 1a는 종래의 유기전계 발광표시장치의 단면도,
- 도 1b는 도 1a에 도시된 유기전계 발광표시장치에 있어서, 하나의 화소의 발광영역의 단면구조를 도시한 도면,
- 도 2는 종래의 화소분리막을 구비한 유기전계 발광표시장치의 단면도,
- 도 3은 종래의 에지부분이 테이퍼진 패시베이션막을 구비한 유기전계 발광표시장치의 단면도,
- 도 4는 본 발명의 테이퍼 완화막이 적용된 유기전계 발광표시장치의 단면도,
- 도 5a는 테이퍼 완화막이 적용되지 않은 유기전계 발광표시장치에 있어서, 테이퍼 각도와 불량발생율을 보여주는 도면,

도 5b는 도 3의 유기전계 발광표시장치에 있어서, 테이퍼 완화막의 두께와 테이퍼각도와와의 관계를 나타낸 도면

도 6a는 본 발명의 제1실시예에 따른 배면발광형 액티브 매트릭스 유기전계 발광표시장치의 단면도,

도 6b는 도 6a에 도시된 배면발광형 액티브 매트릭스 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 발광영역의 단면구조도,

도 6c는 도 6a에 도시된 배면발광형 액티브 매트릭스 유기전계 발광표시장치에 있어서, 하나의 화소에 대한 발광영역의 또 다른 단면구조도,

도 7a는 도 6a의 유기전계 발광표시장치에 있어서, 테이퍼 완화막에 의해 테이퍼 각도가 감소된 것을 보여주는 도면,

도 7b는 도 6a의 유기전계 발광표시장치에 있어서, 암점 불량이 발생되지 않은 화소를 보여주는 도면,

도 7c는 종래의 배면발광형 유기전계 발광표시장치에 있어서, 테이퍼 완화막이 적용되지 않은 경우에 화소에 불량이 발생된 것을 보여주는 도면,

도 8은 본 발명의 제2실시예에 따른 화소분리층을 구비한 배면발광형 액티브 매트릭스 유기전계 발광표시장치의 단면도,

도 9a는 도 8의 유기전계 발광표시장치에 있어서, 테이퍼 완화막에 의해 테이퍼각도가 감소된 것을 보여주는 도면,

도 9b는 도 8의 유기전계 발광표시장치에 있어서, 암점 불량이 발생되지 않은 화소를 보여주는 도면,

도 9c는 종래의 화소분리막을 구비한 유기전계 발광표시장치에 있어서, 암점 불량이 발생된 화소를 보여주는 도면,

도 10은 본 발명의 제3실시예에 따른 전면발광형 액티브 매트릭스 유기전계 발광표시장치의 단면구조도,

도 11은 본 발명의 제4실시예에 따른 화소분리막을 구비한 전면발광용 액티브 매트릭스 유기전계 발광표시장치의 단면구조도,

도 12는 본 발명의 제5실시예에 따른 액티브 매트릭스 유기전계 발광표시장치의 단면구조도,

* 도면의 주요 부분에 대한 부호의 설명 *

40, 400, 500, 600, 700, 800 : 절연기판

410, 510, 610, 710, 810 : 반도체층

411, 511, 611, 711, 811 : 소오스 영역

415, 515, 615, 715, 815 : 드레인 영역

420, 520, 620, 720, 820 : 게이트절연막

425, 525, 625, 725, 825 : 게이트전극

430, 530, 630, 730, 830 : 층간 절연막

431, 531, 631, 731, 831 : 소오스 전극

435, 535, 635, 735, 835 : 드레인 전극

450, 550, 650, 750, 850 : 층간 절연막

431, 435, 531, 535, 631, 635, 731, 735, 831, 835 : 콘택홀

455, 555, 655, 755 : 비어홀, 475, 575, 675, 775, 875 : 개구부

660, 760 : 평탄화막 470, 570, 670, 770, 870 : 애노드전극

43, 480, 580, 680, 780, 880 : 테이퍼완화막

565, 765 : 화소분리막 485, 585, 686, 785, 885 : 유기 EL층

490, 590, 690, 790, 890 : 캐소드전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판표시장치에 관한 것으로서, 보다 구체적으로는 기관표면의 테이퍼각도를 완화시켜 소자의 불량 방지하고 화질을 개선할 수 있는 액티브 매트릭스 유기전계 발광표시장치에 관한 것이다.

일반적으로, 액티브 매트릭스 유기전계 발광표시장치(AMOLED, active matrix organic light emitting diode)는 기관상에 다수의 화소가 매트릭스형태로 배열되고, 각 화소는 애노드전극, 유기박막층 및 캐소드전극이 적층된 EL 소자와, 상기 EL 소자에 연결되어 상기 EL 소자를 구동하기 위한 액티브소자로서 TFT를 구비한다.

도 1a는 종래의 배면발광형 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 1a를 참조하면, 절연기관(100)상에 버퍼층(105)이 형성되고, 버퍼층(105)상에 소오스/드레인 영역(111, 115)을 구비하는 반도체층(110)이 형성된다. 게이트 절연막(120)상에 게이트(125)가 형성되며, 층간 절연막(130)상에 콘택홀(131, 135)을 통해 소오스/드레인영역(111, 115)과 각각 연결되는 소오스/드레인 전극(141, 145)이 형성된다. 이로써, TFT가 제조된다. 이때, 층간 절연막(130)상에 데이터라인 또는 전원공급라인 등과 같은 배선(147)이 형성된다.

패시베이션막(150)상에 비어홀(155)을 통해 상기 소오스/드레인 전극(141, 145)중 드레인전극(145)에 연결되는 하부전극인 애노드전극(170)이 형성되고, 기관상에 유기박막층(185) 및 상부전극인 캐소드전극(190)이 형성된다. 이로써, 유기 EL 소자를 제조한다.

도 1b는 도 1a의 유기전계 발광표시장치에 있어서, R 화소의 발광영역에 한정하여 R EL 소자의 상세 단면구조를 도시한 것이다. 도 1b를 참조하여 EL 소자의 제조방법을 상세히 설명하면 다음과 같다. 비어홀(155)을 통해 박막 트랜지스터의 상기 드레인전극에 연결되는 애노드전극(170)을 형성한 다음, 세정공정을 진행한다. 이어서, 진공증착법을 이용하여 기관상에 정공주입층(185a)으로 CuPc를 600Å의 두께로 형성하고, 정공수송층(185b)으로 NPB를 300Å의 두께로 정공주입층(185a)상에 형성한다. 정공수송층(185b)상에 Alq+ DCM을 200Å의 두께로 증착하여 적색(R) 발광층(185c)을 형성하고, Alq3 을 적색 발광층(185c)상에 200Å의 두께로 형성하여 전자수송층(185d)를 형성하여 유기박막층(185)을 형성한다. 마지막으로, 캐소드전극(190)으로 LiF/Al 을 저항가열법에 의해 증착한다. 도면에는 도시되지 않았으나, 상기 적색발광층(185c)과 전자수송층(185d)사이에 정공억제층을 형성하거나 또는 전자수송층(185d)상에 전자주입층을 형성할 수도 있다.

도 1b와 같이 애노드전극(170)상에 유기박막층(185) 및 캐소드전극(190)을 형성한 다음, 도면상에는 도시되지 않았으나, 외부로부터 산소와 수분 등의 침투를 방지하기 위하여 절연기관(100)상에 실란트를 도포하여 봉지기관을 접착시켜 종래의 유기전계 발광표시장치를 제조한다.

상기한 바와 같은 구조를 갖는 종래의 유기전계 발광표시장치는 콘택홀(141, 145) 부근, 비어홀(155) 부근 및 애노드전극(160)의 단차진 부분에서 휘발불량이 발생되거나 또는 애노드전극과 캐소드전극의 단락불량이 발생하는 문제점이 있었다. 또한, 콘택홀 및 비어홀부근과 애노드전극의 단차진 부분에서 유기발광층이 증착되지 않는 부분이 발생되거나 또는 균일하게 증착되지 않아 다른 부분보다 얇게 증착된다. 그러므로, 애노드전극과 캐소드전극사이에 큰 전압이 인가되면, 유기발광층이 증착되지 않은 부분 또는 얇게 증착된 부분에서 전류밀도가 집중되어 구형의 암점(dark spot)이 발생되었다. 따라서, 암점의 발생에 따라 발광영역이 축소되어 화질이 저하되는 문제점이 있었다.

한편, 기관전면에 증착되는 캐소드전극은 단차진 부분에서는 조밀하게 성막되지 않게 되므로, 캐소드전극의 조밀하게 성막되지 않은 부분을 통해 외부로부터 산소 또는 수분 등이 용이하게 유입된다. 그러므로, 애노드전극과 캐소드전극간에 높은 전압이 인가되면, 조밀하게 성막되지 않은 부분에서 전류밀도가 집중되어 전자이동현상(electromigration)에 의해 캐소드전극에 공극이 발생되며, 외부산소 유입에 의한 저항증가로 인하여 많은 열이 발생된다. 따라서, 상기 부분에서는 시간이 경과함에 따라 구형의 암점이 발생하게 되는 문제점이 있었다.

이러한 단락 또는 암점과 같은 불량을 방지하기 위해서는 콘택홀 또는 비어홀이 낮은 테이퍼각을 갖도록 형성하는 것이 바람직하지만, 고해상도의 평판표시장치의 경우 디자인룰과 공정상의 어려움으로 콘택홀과 비어홀의 테이퍼각도를 감소시키는 데에는 한계가 있었다.

한편, 미국특허 5,684,365에는 애노드전극의 일부분을 노출시키는 개구부의 에지부분에서 패시베이션막의 테이퍼각도를 제한하는 기술이 개시되었다. 도 2는 종래의 배면발광형 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 2를 참조하면, 절연기관(200)상에 버퍼층(205)이 형성되고, 버퍼층(205)상에 소오스/드레인 영역(211, 215)을 구비하는 반도체층(210)이 형성된다. 게이트 절연막(220)상에 게이트(225)가 형성되며, 층간 절연막(230)상에 콘택홀(231, 235)을 통해 소오스/드레인영역(211, 215)과 각각 연결되는 소오스/드레인 전극(241, 245)이 형성된다. 이때, 층간 절연막(230)상에 드레인전극(245)에 연결되는 하부전극인 애노드전극(270)이 형성된다.

실리콘 질화막과 같은 절연막으로 된 패시베이션막(250)을 0.5 내지 1.0μm의 두께로 기관상에 증착한 다음, 패시베이션막(250)을 식각하여 상기 애노드전극(270)의 일부분을 노출시키는 개구부(275)를 형성한다. 이때, 패시베이션막(250)은

개구부(275)의 에지부분에서 애노드전극에 대하여 10 내지 30°의 테이퍼각을 갖도록 형성된다. 기판상에 유기박막층(285) 및 상부전극인 캐소드전극(290)이 형성된다. 이때, 상기 유기박막층(285)은 도 1b에서와 같이 홀주입층, 홀수송층, R, G, 또는 B 발광층, 홀장벽층, 전자수송층, 또는 전자주입층중 적어도 하나를 구비한다.

또한, 미국특허 6,246,179에는 비어홀 및 콘택홀 부근 및 단차진 부분에서의 불량을 방지하기 위하여 평탄화기능을 갖는 유기절연층을 사용하는 기술이 개시되었다. 도 3은 종래의 전면발광구조를 갖는 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 3을 참조하면, 절연기판(300)상에 버퍼층(305)이 형성되고, 버퍼층(305)상에 소오스/드레인 영역(311, 315)을 구비하는 반도체층(310)이 형성된다. 게이트 절연막(320)상에 게이트(325)가 형성되며, 층간 절연막(330)상에 콘택홀(331, 335)을 통해 상기 소오스/드레인영역(311, 315)에 각각 연결되는 소오스/드레인 전극(341, 345)이 형성된다. 이때, 층간 절연막(330)상에 소오스/드레인 전극(341, 345)이 형성될 때 데이터라인 또는 전원공급라인 등과 같은 배선(347)이 동시에 형성된다.

패시베이션막(350)상에 평탄화막(360)이 형성되고, 평탄화막(360)상에 비어홀(365)을 통해 상기 소오스/드레인 전극(341, 345)중 하나, 예를 들어 드레인전극(345)에 연결되는 하부전극인 애노드전극(370)이 형성된다. 상기 애노드전극(370)의 일부분을 노출시키는 개구부(375)를 구비한 화소분리막(380)이 형성되고, 애노드전극(370)과 화소분리막(380)상에 유기박막층(385) 및 상부전극인 캐소드전극(390)이 형성된다. 상기 유기박막층(385)은 도 1b에 도시된 바와같이 홀주입층, 홀수송층, R, G, 또는 B 발광층, 홀장벽층, 전자수송층, 및 전자주입층중 적어도 하나를 구비한다.

상기한 종래의 유기전계 발광표시장치에서와 같이, 개구부내에서 애노드전극과 접하고 있는 패시베이션막의 테이퍼각을 10 내지 30°도 제한하거나, 화소분리막의 테이퍼각을 20 내지 80°로 제한하여 유기발광층의 불량을 방지하였다. 또한, 평탄화막을 사용하여 기판표면의 단차문제를 해결하여 유기발광층의 불량을 방지하였다.

그러나, 고해상도의 유기전계 발광표시장치에서는, 디자인 룰과 공정상의 어려움으로 인하여 패시베이션막이나 화소분리막의 테이퍼각을 감소시키는 데에 한계가 있었다. 또한, 화소분리막과 애노드전극사이의 테이퍼각에 따라 소자의 신뢰성이 달라지게 되는데, 테이퍼각도가 높은 경우에는 개구부의 에지부분에서 유기발광층과 캐소드전극이 쉽게 열화되고, 테이퍼각도가 낮은 경우에는, 배선에 의한 단차문제와 기생캐패시터 문제로 화소분리막의 두께와 테이퍼각도를 감소시키는 데 한계가 있었다.

게다가, 기판전면에 증착되는 캐소드전극이 콘택홀 부근, 비어홀 부근 및 단차진 부분에서 조밀하게 성장되지 않으므로, 상기에서 설명한 바와같이 암점이 발생되거나, 또는 콘택홀 부근, 비어홀부근 및 단차진 부분에서의 핀홀 또는 단락불량이 발생하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 콘택홀부분과 비어홀부분에서의 핀홀불량 및 단락 불량을 방지할 수 있는 유기전계 발광표시장치를 제공하는 데 있다.

본 발명의 다른 목적은 유기 EL층의 패턴불량을 방지하여 화질을 개선할 수 있는 유기전계 발광표시장치를 제공하는 데 있다.

본 발명의 또 다른 목적은 조밀한 캐소드전극을 형성하여 산소 또는 수분의 유입을 방지할 수 있는 유기전계 발광표시장치를 제공하는 데 있다.

본 발명의 또 다른 목적은 화소의 발광영역에서 암점의 발생을 방지할 수 있는 유기전계 발광표시장치를 제공하는 데 있다.

발명의 구성 및 작용

이와 같은 본 발명의 목적을 달성하기 위하여 본 발명은 절연기판과; 상기 절연기판상에 형성되고, 상기 기판의 표면에 대하여 제1단차 및 제1테이퍼각을 갖는 하부 박막과; 상기 절연기판상에 형성되고, 상기 하부박막의 테이퍼각을 완화시켜 주기위한 상부 박막을 구비하며, 상기 상부 박막은 상기 하부 박막의 제1테이퍼각보다 작은 제2테이퍼각을 갖는 평판표시장치를 제공한다.

상기 상부박막은 단차진 부분에서 그이외부분보다 얇게 증착되어 기판표면의 단차를 완화시켜 주며, 상기 제2테이퍼각은 60°이하이고, 상기 제2테이퍼각은 40°이하이다. 상기 상부 박막은 습식코팅가능한 전하수송능력을 갖는 도전성 유기박막으로서, 저분자 유기막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되고, 고분자 유기막은 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택된다.

상기 평판표시장치는 소오스/드레인 영역 및 소오스/드레인 전극 및 상기 소오스/드레인전극을 상기 소오스/드레인영역과 연결시켜 주기위한 콘택홀을 갖는 절연막을 구비하는 박막 트랜지스터를 더 포함하며, 상기 하부 박막은 상기 박막 트랜지스터의 절연막이고, 상기 홀은 상기 소오스/드레인 전극과 상기 소오스/드레인영역을 연결시켜 주기위한 상기 콘택홀이다.

또한, 상기 평판표시장치는 적어도 소오스/드레인전극을 구비하는 박막 트랜지스터와; 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀과; 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는 화소전극을 더 포함하며, 상기 하부박막은 상기 절연막이고, 상기 홀은 상기 노출된 하나의 전극과 화소전극을 연결시켜 주기위한 상기 비어홀이다.

상기 평판표시장치는 하부전극, 상기 하부전극의 일부분을 노출시키는 화소분리막, 유기박막층 및 상부전극을 더 포함하며, 상기 하부박막은 화소분리막이고, 상기 개구부는 상기 하부전극의 일부분을 노출시켜주는 개구부이다. 상기 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층, 전자주입층으로부터 선택되는 적어도 하나의 박막층을 구비하며, 상기 상부박막은 상기 하부전극과 발광층 사이에 형성되며, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 형성된 유기박막층으로부터 선택된다.

상기 하부전극은 투명전극이고 상기 상부전극은 반사전극이면 상기 발광층으로부터 발광된 광이 상기 절연기판방향으로 방출되고, 상기 하부전극은 반사전극이고 상기 상부전극은 투명전극이면 발광층으로부터 발광된 광이 상기 절연기판과 반대방향으로 방출되며, 상기 하부전극과 상부전극은 모두 투명전극이면 발광층으로부터 발광된 광이 상기 절연기판방향으로 방출됨과 동시에 절연기판과 반대방향으로 방출된다.

상기 하부전극이 애노드전극인 경우 상기 상부박막은 정공수송능력을 갖으며, HOMO는 4.5eV 이상이고, 전하이동도는 10^{-8} cm²/Vs 이상인 유기박막이며, 상기 하부전극이 캐소드전극인 경우 상기 상부박막은 전자수송능력을 갖으며, LUMO는 3.5eV 이상이고, 전하이동도는 10^{-8} cm²/Vs 이상인 유기박막이다.

또한, 본 발명은 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과; 상기 절연기판상에 형성되고, 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀을 구비한 절연막과; 상기 절연막상에 형성되어 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는, 하부전극, 유기박막층 및 상부전극을 구비하는 유기 EL소자와; 상기 하부전극상부에 형성된 테이퍼완화막을 포함하며, 상기 비어홀에서의 상기 테이퍼완화막의 테이퍼각은 상기 비어홀의 테이퍼각보다 작은 제1테이퍼각을 갖으며, 상기 하부전극의 에지부분에서의 상기 테이퍼완화막은 상기 하부전극의 에지부분의 테이퍼각보다 작은 제2테이퍼각을 갖는 평판표시장치를 제공한다.

또한, 본 발명은 적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과; 상기 절연기판상에 형성되고, 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀을 구비한 제1절연막과; 상기 제1절연막상에 형성되고, 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는 하부전극과; 상기 하부전극의 일부분을 노출시키는 개구부를 구비한 제2절연막과; 상기 제2절연막과 개구부상에 형성된 유기박막층과; 상기 유기박막층상에 형성된 상부전극과; 상기 하부전극상부에 형성된 테이퍼완화막을 포함하며, 상기 테이퍼완화막은 상기 개구부에서의 제2절연막의 테이퍼각보다 작은 테이퍼각을 갖는 평판표시장치를 제공한다.

또한, 본 발명은 소오스/드레인영역을 구비한 반도체층, 상기 소오스/드레인영역의 일부분을 노출시키는 콘택홀을 구비한 제1절연막, 상기 콘택홀을 통해 상기 소오스/드레인영역에 연결되는 소오스/드레인전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과; 상기 절연기판상에 형성되고, 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀을 구비한 제2절연막과; 상기 제2절연막상에 형성되어 상기 비어홀을 통해 상기 박막 트랜지스터의 하나의 전극에 연결되는, 하부전극, 유기박막층 및 상부전극을 구비하는 EL소자와; 상기 하부전극상부에 형성된 테이퍼완화막을 포함하며, 상기 콘택홀에서의 상기 테이퍼완화막의 테이퍼각은 콘택홀의 테이퍼각보다 작은 제1테이퍼각을 갖으며, 상기 비어홀에서의 상기 테이퍼완화막의 테이퍼각은 비어홀의 테이퍼각보다 작은 제2테이퍼각을 갖으며, 상기 하부전극의 에지부분에서의 상기 테이퍼완화막의 테이퍼각은 상기 하부전극의 에지부분의 테이퍼각보다 작은 제3테이퍼각을 갖는 평판표시장치를 제공한다.

또한, 본 발명은 소오스/드레인영역을 구비한 반도체층, 상기 소오스/드레인영역의 일부분을 노출시키는 콘택홀을 구비한 제1절연막, 상기 콘택홀을 통해 상기 소오스/드레인영역에 연결되는 소오스/드레인전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과; 상기 절연기판상에 형성되어 상기 소오스/드레인전극중 하나를 노출시키는 비어홀을 구비한 제2절연막과; 제2절연막상에 형성되고, 상기 소오스/드레인 전극중 노출된 하나의 전극에 연결되는 하부전극과; 상기 하부전극의 일부분을 노출시키는 개구부를 구비한 제3절연막과; 상기 제3절연막과 개구부상에 형성된 유기박막층과; 상기 유기박막층상에 형성된 상부전극과; 상기 하부전극상부에 형성된 테이퍼완화막을 포함하며, 상기 개구부에서의 상기 테이퍼완화막의 테이퍼각은 상기 개구부의 테이퍼각보다 작은 평판표시장치를 제공한다.

또한, 본 발명은 소오스/드레인영역을 구비한 반도체층, 상기 소오스/드레인영역의 일부분을 노출시키는 콘택홀을 구비한 제1절연막, 상기 콘택홀을 통해 상기 소오스/드레인영역에 연결되는 소오스/드레인전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과; 상기 소오스/드레인 전극과 동일하게 제1절연막상에 형성되고, 상기 소오스/드레인전극중 하나에 연결되는 하부전극과; 상기 하부전극의 일부분을 노출시키는 개구부를 구비하는 제2절연막과; 상기 제2절연막과 개구부상에 형성된 유기박막층과; 상기 유기박막층상에 형성된 상부전극과; 상기 하부전극상부에 형성된 테이퍼완화막을 포함하며, 상기 콘택홀에서의 상기 테이퍼완화막의 테이퍼각은 콘택홀의 테이퍼각보다 작은 제1테이퍼각을 갖으며, 상기 개구부에서의 상기 테이퍼완화막은 상기 개구부의 테이퍼각보다 작은 제2테이퍼각을 갖는 평판표시장치를 제공한다.

또한, 본 발명은 절연기판과; 상기 절연기판상에 형성되고, 상기 기판의 표면에 대하여 제1단차 및 제1테이퍼각을 갖는 하부 박막과; 상기 절연기판상에 형성되고, 상기 기판의 표면에 대하여 제2테이퍼각을 갖는 상기 하부박막의 제1테이퍼각을 완화시켜 주기위한 상부박막을 포함하며, 상기 하부박막의 제1테이퍼각보다 작은 원하는 제2테이퍼각을 얻기 위한 상기 상부박막의 증착두께중 상기 하부박막의 단차진 부분에 형성되는 부분의 증착두께 d1 과 그이외 부분에 형성되는 부분의 증착두께 d2 및 상기 상부박막의 테이퍼각 θ_2 는 하기의 식으로부터 구해지는 평판표시장치를 제공한다.

$$\tan\theta_2 = (1 - d_2/(d_1-d_0)) \tan\theta_1$$

$$d_1 = (d_1-d_0) (1 - \tan\theta_2/\tan\theta_1)$$

$$d_2 = d_1 (1 - \tan\theta_2/\tan\theta_1)$$

여기서, θ_1 은 하부박막의 제1테이퍼각이고, d1은 상부박막의 제2테이퍼각이 0°가 될 때의 상부박막의 증착두께이다.

이하, 본 발명의 실시예를 첨부 도면을 참조하여 설명하면 다음과 같다.

도 4는 본 발명의 테이퍼 완화막의 적용에 의해 테이퍼각도가 완화된 유기전계 발광표시장치의 단면구조를 도시한 것이다. 도 4를 참조하면, 절연기관(40)은 상기 절연기관(40)의 일부분을 노출시키는 개구부(42)를 구비한 하부막(41)을 구비한다. 상기 하부막(41)은 개구부(42)의 에지부분에서 기관의 상면에 대하여 소정의 테이퍼각(θ1)을 갖는다. 또한, 하부막(41)은 기관의 상면에 대하여 소정의 단차(d0)를 갖는다.

개구부(42) 및 하부막(41)상에 테이퍼각(θ2)을 갖는 테이퍼 완화막(43)이 형성된다. 이때, 테이퍼완화막(43)은 테이퍼 완화막이 증착될 기관표면의 단차에 따라 그의 증착두께가 다르다. 즉, 기관표면의 단차가 높은 부분에 증착되는 테이퍼완화막이 기관표면의 단차가 낮은 부분에 증착되는 테이퍼완화막보다 얇게 증착된다. 따라서, 테이퍼완화막(43)은 단차 d0를 갖는 하부막상에는 d2의 두께로 증착되고, 기관을 노출시키는 개구부(42)상에서는 d0보다는 두껍게 d3의 두께로 증착된다. 또한, 테이퍼완화막(43)이 기관표면의 단차에 따라 증착두께가 달라지게 되므로, 테이퍼완화막(43)은 그의 하부에 형성된 하부막(41)보다 테이퍼각이 감소된다. 따라서, 테이퍼완화막(43)은 하부막(41)의 테이퍼각(θ1)보다 작은 테이퍼각(θ2)을 갖는다.

본 발명의 유기전계 발광표시장치에 있어서, 상기 하부막(41)을 층간 절연막 및 게이트 절연막과 같은 절연막이라 한다면, 상기 개구부(42)는 소오스/드레인 영역의 일부분을 노출시키는 콘택홀로 작용한다. 따라서, 콘택홀의 테이퍼각은 θ1이 되고, 콘택홀에 의해 기관표면에 대하여 상기 절연막에 형성된 단차는 d0가 된다.

상기 하부막(41)을 패시베이션막이라 한다면, 상기 개구부(42)는 소오스/드레인 전극의 일부분을 노출시키는 비어홀로 작용한다. 따라서, 비어홀의 테이퍼각은 θ1이 되고, 비어홀에 의해 기관표면에 대하여 패시베이션막에 형성된 단차는 d0가 된다. 한편, 상기 하부막(41)을 화소분리막이라 한다면, 상기 개구부(42)는 화소전극의 일부분을 노출시키는 개구부로 작용한다. 따라서, 개구부의 에지부분에서 화소분리막의 테이퍼각은 θ1이 되고, 개구부에 의해 기관표면에 대하여 화소분리막에 형성된 단차는 d0가 된다.

상기 테이퍼 완화막(43)은 콘택홀, 비어홀 또는 화소전극의 개구부내에 형성되는 경우, 테이퍼완화막(43)의 상, 하부에도 전막이 형성되므로 테이퍼 완화막(43)은 도전성물질로 이루어지는 것이 바람직하다. 바람직하게는 테이퍼완화막(43)은 습식코팅이 가능한 전하수송능력을 갖는 유기막을 사용한다. 테이퍼완화막(43)은 고분자 유기막과 저분자 유기막중 선택되는 적어도 하나의 유기막으로 이루어진다. 테이퍼완화막(43)을 위한 저분자 유기막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되고, 고분자 유기막은 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택된다.

상기한 바와같은 구조를 갖는 유기전계 발광표시장치에 있어서, 테이퍼 완화막에 의해 테이퍼각이 완화되는 원리를 설명하면 다음과 같다.

상기 하부막(41)은 콘택홀, 비어홀 또는 화소분리막의 개구영역 등과 같은 개구부(42)를 갖으며, 기관표면에 대하여 θ1의 테이퍼각과 d0의 단차를 갖으며, tanθ1의 선형 기울기를 갖는다고 가정한다. 상기 테이퍼완화막(43)은 하부막(41)상에서는 d2의 두께로 형성되고 개구부(42)에서는 d3의 두께로 형성되며, 기관표면에 대하여 θ2의 테이퍼각을 갖으며, tanθ2의 선형기울기를 갖는다고 가정한다. 또한, 기관표면을 평탄화하는데 필요한 테이퍼완화막의 최소두께, 즉 기관표면에 대해 테이퍼완화막(43)의 테이퍼각도(θ2)가 0°로 되기 위하여 필요한 테이퍼완화막(43)의 최소두께를 d1이라 가정한다.

따라서, 테이퍼완화막(43)에 의해 평탄화된 테이퍼각도는 개구부(42)에서의 테이퍼완화막(43)의 테이퍼각인 θ2가 되고, 평탄화되기 전의 테이퍼각도는 개구부(42)에서의 하부막(41)의 테이퍼각인 θ1이 된다. 상기 하부막(41)의 테이퍼각(θ1)에 의해 형성되는 tanθ1의 기울기를 갖는 직선을 L1이라 하고, 테이퍼완화막(43)의 테이퍼각(θ2)에 의해 형성되는 tanθ2의 기울기를 갖는 직선을 L2라 하면, L1과 L2는 하기의 식(1)과 같이 표현된다. 이때, 기관표면과 직선 L1이 만나는 점 즉, 개구부(42)의 에지부분을 원점(O)이라 하고, 기관의 길이방향을 x 축방향이라 하며 기관의 높이방향을 y 축방향이라 한다.

$$L1 : y1 = \tan\theta1x$$

$$L2 : y2 = \tan\theta2x + d3 \dots (1)$$

직선 L1은 x 축방향의 위치 x0에서 d0를 지나고, L2는 x 축방향의 위치 x0에서 d0 + d2를 지난다. 또한, 직선 L1과 L2는 x 축방향의 위치 x1에서 모두 d1을 지난다.

그러므로, 함수 y1과 y2에 상기 x 축방향과 y 축방향의 값을 식(1)에 대입하면 하기의 식과 같이 된다.

$$L1 : d0 = \tan\theta1x0$$

$$L2 : d0 + d2 = \tan\theta2x0 + d3$$

그러므로, d0 + d2는 하기의 식(2)으로 표현된다.

$$d0 + d2 = (\tan\theta2/\tan\theta1)d0 + d3 \dots (2)$$

로 된다. 또한,

$$L1 : d1 = \tan\theta_1 x_1$$

$$L2 : d1 = \tan\theta_2 x_1 + d3$$

그러므로, d1는 하기의 식(3)으로 표현된다.

$$d1 = (\tan\theta_2/\tan\theta_1)d1 + d3 \dots (3)$$

상기의 식(2)와 (3)으로부터 테이퍼완화막(43)의 테이퍼각(θ2)에 대한 관계식이 하기의 식(4)과 같이 얻어지고, 하부막(41)상에 증착되는 테이퍼완화막(43)의 두께(d2)와 개구부(42)에 증착되는 테이퍼완화막(43)의 두께(d3)은 하기의 식(5) 및 (6)과 같이 얻어진다. 이때, 테이퍼 완화막(43)중 하부막(41)상에 형성된 부분의 두께 d2는, 하부막(41)의 표면으로부터 기관표면이 평탄화되었을 때까지의 두께 즉 d1-d0 까지 선형적으로 증가한다고 가정하고, 테이퍼완화막(43)중 개구부(42)내에 형성된 부분의 두께 d3가 개구부(42)내의 기관표면으로부터 평탄화되었을 때까지의 두께 d1 까지 선형적으로 증가한다고 가정한다. 기관표면을 평탄화시키는 데 필요한 테이퍼완화막(43)의 최소두께 d1 은 테이퍼완화막으로 사용되는 유기막의 평탄화능력에 따라 결정되는 값으로서, 용액의 점도와 휘발도, 코팅공정의 변수 등에 따라 달라지는 값으로서, 실험적으로 구해진다.

$$\tan\theta_2 = (1 - d2/(d1 - d0)) \tan\theta_1 \dots (4)$$

$$d2 = (d1 - d0) (1 - \tan\theta_2/\tan\theta_1) = (d1 - d0) (1 - a) \dots (5)$$

$$d3 = d1(1 - \tan\theta_2/\tan\theta_1) = d1(1 - a) \dots (6)$$

여기서, a는 기관상에 하부막만 형성되어 있는 경우의 기관표면의 평탄화정도에 대한 기관상에 테이퍼완화막이 형성되어 있는 경우의 기관표면의 평탄화정도에 대한 비를 나타내는 것으로서, 상대평탄화도라 정의되며, $a = \tan\theta_2/\tan\theta_1$ 로 표현된다.

예를 들어, 상기 하부막(41)이 개구부(42)로서 비어홀을 구비한 절연막이고, 그의 두께(d0)가 6000Å 이며, 비어홀에서의 테이퍼각도(θ1)가 75° 인 경우, 상기 비어홀을 완전히 평탄화하는데 필요한 테이퍼완화막(43)의 최소두께(d1)가 8000Å임을 실험적으로 알았다고 가정하면, 테이퍼완화막(43)이 하부막(41)상에서 1000Å의 두께(d2)를 갖도록 증착될 때, 테이퍼완화막(43)에 의해 기관표면이 평탄화되는 각도(θ2)와 비어홀에서의 테이퍼완화막(43)의 두께(d3)는 상기 식(4)과 (6)으로부터 다음과 같이 계산된다.

$$\tan\theta_2 = (1 - 1000/2000) \tan 75$$

$$= 0.5 * 3.73 = 1.87 \text{ 가 된다.}$$

비어홀에서의 테이퍼완화막(43)의 테이퍼각도(θ2)는

$$\theta_2 = \tan^{-1} (1.87) = 62^\circ \text{ 가 된다.}$$

또한, 비어홀에서의 테이퍼완화막(43)의 두께(d3)는

$$d3 = d1(1 - \tan\theta_2/\tan\theta_1) = d1 * d2 / (d1 - d0)$$

$$= 8000 * 1000 / 2000 = 4000 \text{ 가 된다.}$$

그러므로, 비어홀의 테이퍼각도가 75°이고, 하부막(41)상에 형성되는 테이퍼 완화막(43)의 두께가 1000Å일 때, 비어홀내에 형성되는 테이퍼완화막(43)의 두께(d3)는 4000Å 가 된다.

한편, 테이퍼완화막(43)에 의해 평탄화되는 각도 즉, 비어홀내에서 테이퍼완화막(43)의 테이퍼각(θ2)이 40° 이하로 되도록 테이퍼완화막(43)을 증착하고자 하는 경우, 하부막(41)상에 형성된 테이퍼완화막의 두께 d2 와 비어홀내에 형성되는 테이퍼완화막의 두께 d3 은 상기 식(5)와 (6)으로부터 다음과 같이 구해진다.

$$d2 = 2000 (1 - \tan 40 / \tan 75)$$

$$= 2000 (1 - 0.23) = 1540 \text{ 가 된다.}$$

$$d3 = 8000 (1 - \tan 40 / \tan 75)$$

$$= 8000 (1 - 0.23) = 6160 \text{ 가 된다.}$$

즉, 비어홀에서의 테이퍼완화막(43)이 40°의 테이퍼각(θ_2)을 갖도록 형성되는 경우, 테이퍼완화막(43)이 하부막(41)상에서는 1540Å의 두께로 형성되고, 비어홀내에서는 6160Å 두께로 형성됨을 산술적으로 구할 수 있다.

도 5a는 비어홀 또는 콘택홀의 테이퍼각도에 따른 결함 개수를 나타낸 것이다. 도 5a를 참조하면, 비어홀 또는 콘택홀의 테이퍼각도가 감소할수록 소자의 결함이 감소하는데, 콘택홀 또는 비어홀의 테이퍼각도가 60°이하로 될 때부터 초기불량이 현저히 감소하여 신뢰성있는 소자의 제작이 가능함을 알 수 있다. 여기서, 초기불량이라 함은 유기전계 발광표시장치의 구동전에 발생된 다크픽셀(dark pixel)과 같은 불량을 의미한다. 이때, 비어홀 또는 콘택홀의 테이퍼각도(θ_2)가 60°도인 경우 테이퍼완화막(43)은 상기의 식(5)와 (6)으로부터 하부막(41)상에 형성되는 부분의 두께(d_2)는 1000Å이 되고, 개구부내에 형성되는 부분의 두께(d_3)는 4000Å가 된다.

도 5b는 기관상에 형성된 하부막(41)이 소정의 테이퍼각(θ_1)과 단차(d_1)를 갖는 경우, 개구부내에 형성되는 테이퍼완화막의 두께(d_3)와 테이퍼완화막의 테이퍼각(θ_2)과의 관계를 나타낸 그래프이다. 도 5b를 참조하면, 하부막(41)이 75°의 테이퍼각을 갖고 6000Å의 두께(d_1)로 형성되고, 기관표면이 평탄화되기 위하여 테이퍼완화막(43)이 최소한 8000Å의 두께(d_1)로 형성되는 때, 화소분리막이 없는 경우 콘택홀 또는 비어홀의 테이퍼각도(θ_2)가 60°이하인 경우, 화소분리막이 있는 경우에는 개구부의 테이퍼각도(θ_2)가 40°이하가 되어야한 신뢰성있는 소자의 제작이 가능하다.

한편, 평탄화특성을 갖는 유기막인 테이퍼완화막의 테이퍼각도를 감소시킴과 동시에 테이퍼완화막의 사용에 따른 발광 특성의 저하를 방지하기 위해서는, 하부막(41)상에 테이퍼완화막(43)이 1000 - 2000Å의 두께(d_2)로 형성될 때 구동전압의 커다란 상승이 없어야 한다. 따라서, 본 발명에서 사용되는 테이퍼완화막은 평탄화특성, 정공 또는 전자를 수송하는 전자수송능력과 적당한 HOMO(최고 점유 분자 오비탈; highest occupied molecular orbital)과 LUMO(최저 비점유 분자 오비탈; lowest unfilled molecular orbital) 값을 구비하여, 테이퍼완화막의 증착두께의 증가에 따른 소자의 구동전압을 상승시키지 않는 것이 바람직하다.

따라서, 통상적으로 애노드전극상부와 발광층하부에 테이퍼완화막이 형성되는 배면발광 또는 전면발광구조의 유기전계 발광표시장치의 경우, 상기 테이퍼완화막은 정공수송능력을 갖으며, HOMO는 4.5eV이상, 전하이동도는 10^{-8} cm²/Vs 이상인 유기막을 사용하는 것이 바람직하다. 한편, 캐소드전극상부와 발광층하부에 테이퍼완화막이 형성되는 인버티드 구조의 유기전계 발광표시장치의 경우, 상기 테이퍼완화막은 전자수송능력을 갖으며, LUMO는 3.5eV이하, 전하이동도는 10^{-8} cm²/Vs 이상인 유기막을 사용하는 것이 바람직하다.

도 4a에서, 테이퍼완화막을 개구부를 구비하는 절연막에 적용하여 테이퍼각을 완화시키는 것을 설명하였으나, 증착막의 단차진 부분에서도 테이퍼완화막에 의해 테이퍼각이 완화되어 소자의 불량을 방지할 수도 있다.

도 6a는 본 발명의 제1실시예에 따른 테이퍼완화막을 구비한 배면발광구조의 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 6a를 참조하면, 절연기관(400)상에 버퍼층(405)이 형성되고, 버퍼층(405)상에 소오스/드레인 영역(411, 415)을 구비하는 반도체층(410)이 형성된다. 게이트 절연막(420)상에 게이트(425)가 형성되며, 층간 절연막(430)상에 콘택홀(431, 435)을 통해 상기 소오스/드레인영역(411, 415)에 형성되는 소오스/드레인 전극(441, 445)이 형성된다. 층간 절연막(430)상에 소오스/드레인 전극(441, 445)이 형성될 때 데이터라인 또는 전원공급라인등과 같은 배선(447)이 동시에 형성된다. 상기 콘택홀(631, 635)은 75°의 테이퍼각과 5000Å의 깊이를 갖도록 형성된다.

패시베이션막(450)상에 비어홀(455)을 통해 상기 소오스/드레인 전극(441, 445)중 하나, 예를 들어 드레인전극(445)에 연결되는 하부전극인 애노드전극(470)이 형성된다. 이때, 비어홀(455)은 85°의 테이퍼각도와 5000Å의 깊이를 갖으며, 애노드전극(470)은 1000Å의 두께로 형성된다. 애노드전극(470)을 형성한 다음, 세정공정을 수행한다. 이어서, 기관상에 테이퍼완화막(480), 유기박막층(485) 및 캐소드전극(490)을 순차 형성한다.

도 6b는 본 발명의 제1실시예에 따른 유기전계 발광표시장치에 있어서, R 화소의 발광영역에 한정된 단면구조의 일례를 도시한 것이다. 도 6b를 참조하면, 애노드전극(470)상에 테이퍼완화막(480)이 형성되고, 테이퍼완화막(480)상부에 발광층(485c)이 형성되는 구조를 갖는다.

구체적으로 말하면, 애노드 전극(470)상에 스펀코팅법으로 정공수송능력을 갖는 고분자 유기막, 예를 들어 PEDOT을 1000Å의 두께로 형성하고, 200°C에서 5분동안 핫플레이트를 이용하여 어닐링공정을 수행하여 테이퍼완화막(480)을 형성한다. 이때, 테이퍼완화막(480)의 증착두께는 테이퍼완화막의 테이퍼각과, 그하부의 콘택홀 및 비어홀의 깊이 및 테이퍼각도 그리고 화소전극의 두께 및 화소전극의 에지에서의 테이퍼각에 따라 결정된다.

다음, 진공증착법을 이용하여 테이퍼완화막(480)상에 정공주입층(485a)으로 CuPc를 600Å의 두께로, 정공수송층(485b)으로 NPB를 300Å의 두께로 순차 형성한다. 정공수송층(485b)상에 적색발광층(485c)으로 Alq+ DCM을 200Å의 두께로 증착하고, 전자수송층(485d)으로 Alq3 을(485d)상에 200Å의 두께로 증착하여 유기박막층(485)을 형성한다. 본 발명의 실시예에서, 상기 유기박막층(485c)과 전자수송층(485d)사이에 정공억제층과 전자수송층(485d)상에 전자주입층을 형성할 수도 있다. 마지막으로, 캐소드전극(490)으로 LiF/Al 을 저항가열법에 의해 증착한다.

도 6b에 도시된 바와같이, 유기박막층(485) 및 캐소드전극(490)을 형성한 다음, 도면상에는 도시되지 않았으나, 외부로부터 산소와 수분 등의 침투를 방지하기 위하여 절연기관(400)상에 실란트를 도포하여 봉지기판을 접착시켜 본 발명의 제1실시예에 따른 유기전계 발광표시장치를 제조한다.

도 6c는 본 발명의 제1실시예에 따른 유기전계 발광표시장치에 있어서, R 화소의 발광영역에 한정된 단면구조의 다른 예 를 도시한 것이다. 도 6c를 참조하면, 테이퍼완화막(480)이 유기박막층(485)의 정공수송층(485b)와 발광층(485c)사이에 형성된다.

구체적으로 말하면, 절연기관(400)의 애노드전극(470)이 형성되고, 애노드전극(470)상에 유기박막층(485)중 정공주입층(485a) 및 정공수송층(485b)이 순차 형성된다. 정공수송층(485b)상에 테이퍼완화막(480)이 형성되고, 그위에 유기발광층(485)으로 R 발광층(485c)과 전자수송층(485d)이 순차 형성되며, 전자수송층(485d)상에 캐소드전극(490)이 형성된다.

테이퍼완화막(480)이 도 6b 및 도 6c에 도시된 바와같이, 애노드전극(470) 바로 상부 그리고 발광층(485c) 바로 하부에 형성될 수 있을 뿐만 아니라 상기 테이퍼완화막(480)은 애노드전극(470)과 유기박막층(485)의 발광층(485c)사이에만 형성하면 된다. 또한, 유기박막층(485)은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층 및 전자주입층중 적어도 하나의 유기막을 구비한다.

제1실시예에서는 테이퍼 완화막(480)의 형성전에는 콘택홀은 75°의 테이퍼각(θ_{41})을 갖으며, 비어홀은 85°의 테이퍼각(θ_{42})을 갖는다. 테이퍼완화막(480)의 형성후에는 기관표면에 대해 테이퍼각이 완화되어 콘택홀의 테이퍼각(θ_{43})과 비어홀의 테이퍼각(θ_{44})은 60°이하의 테이퍼각을 갖으며, 애노드전극은 에지부분에서 40°이하의 테이퍼각을 갖는다. 또한, 콘택홀 및 비어홀부근 및 배선(447)부근에도 테이퍼완화막의 형성에 따라 테이퍼각(θ_{46})을 완하시켜 줄 수 있다.

한편, 테이퍼완화막(480)의 증착두께는 테이퍼완화막의 테이퍼각, 그하부의 콘택홀 및 비어홀의 깊이 및 테이퍼각도 그리고 화소전극의 두께 및 화소전극의 에지에서의 테이퍼각에 따라 결정된다. 다시 말하면, 비어홀 또는 콘택홀의 테이퍼각이 60°이하가 되도록 테이퍼 완화막을 증착하는 경우에는 도 4a 및 식(4) - (6)으로부터, 콘택홀이 형성되는 절연막, 예를 들면 층간 절연막과 게이트 절연막의 두께와 콘택홀의 테이퍼각에 따라 테이퍼완화막의 증착두께가 결정되며, 또한 비어홀이 형성되는 절연막, 예를 들어 패시베이션막의 두께와 비어홀의 테이퍼각에 따라 테이퍼완화막의 증착두께가 결정된다. 한편, 화소전극의 에지부분에서 테이퍼각이 40°이하로 되도록 테이퍼완화막을 증착하는 경우에는, 도 4a 및 식(4) - (6)으로부터, 화소전극의 두께 및 화소전극의 에지부분에서의 테이퍼각에 따라 테이퍼완화막의 증착두께가 결정된다.

도 7a는 제1실시예에 따른 유기전계 발광표시장치에 있어서, 비어홀부근의 SEM사진이다. 도 7a를 참조하면, 테이퍼완화막이 단차를 갖는 절연막상부의 애노드전극상에 형성되는 부분의 두께(d72)보다 비어홀내의 애노드전극상에 형성되는 부분의 두께(d73)이 더 두껍게 증착되어, 비어홀에서의 테이퍼각이 50°로 완화된 것을 보여준다. 도 7b는 제1실시예의 유기전계 발광표시장치 구동시 발광영역에서의 에지불량여부를 보여주는 현미경사진이다. 도 7b를 참조하면, 테이퍼완화막에 의해 기관표면이 평탄화되어 픽셀의 에지부분에서의 테이퍼각이 감소된 경우, 발광영역의 에지부분에서 불량이 발생되지 않았음을 보여준다. 도 7c는 도 1a 및 도 1b와 같은 구조를 갖는 유기전계 발광표시장치를 구동시켰을 때, 발광영역의 에지부분에서의 불량여부를 보여주는 현미경사진이다. 도 7c를 참조하면, 테이퍼완화막을 사용하지 않은 경우 발광영역의 에지부분에서 많은 암점이 발생되었음을 보여준다. 이때, 도면부호 71은 비어홀부근에서 발생한 암점을 나타내고, 72는 콘택홀부근에서 발생한 암점을 나타낸다.

도 8은 본 발명의 제2실시예에 따른 배면발광형 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 8을 참조하면, 절연기관(500)상에 버퍼층(505)이 형성되고, 버퍼층(505)상에 소오스/드레인 영역(511, 515)을 구비하는 반도체층(510)이 형성된다. 게이트 절연막(520)상에 게이트(525)가 형성되며, 층간 절연막(530)상에 콘택홀(531, 535)을 통해 소오스/드레인 전극(541, 545)이 형성된다. 이때, 층간 절연막(530)상에 소오스/드레인 전극(541, 545)이 형성될 때 테이퍼라인(547)도 동시에 형성된다.

패시베이션막(550)상에 비어홀(555)을 통해 상기 소오스/드레인 전극(541, 545)중 하나, 예를 들어 드레인전극(545)에 연결되는 하부전극인 애노드전극(570)이 형성된다. 기관표면에 화소분리막(565)을 5000Å의 두께로 증착한 다음, 60°의 테이퍼각도를 갖도록 식각하여 개구부(575)를 형성한다. 화소분리막(565)형성한 다음, 습식코팅가능한 정공수송능력을 갖는 유기막으로 PEDOT을 기관상에 증착하여 테이퍼완화막(580)을 형성한다. 이때, 상기 테이퍼 완화막(580)은 개구부(575)의 테이퍼각(θ_{51})이 40°이하로 되도록 형성되는 것이 바람직하며, 상기 테이퍼완화막(580)의 증착두께는 테이퍼완화막의 테이퍼각과 화소분리막(585)의 두께 및 개구부(575)의 테이퍼각도에 따라 결정된다.

테이퍼완화막(580)상에 도 7b의 제1실시예에서와 같은 방법으로 유기박막층(585)을 증착하고, 유기박막층(585)상에 캐소드전극(590)으로 LiF/Al을 저항가열법에 의해 증착하며, 도면상에는 도시되지 않았으나, 봉지기관으로 봉지하여 제2실시예에 따른 유기전계 발광표시장치를 제조한다.

도 9a는 제2실시예에 따른 유기전계 발광표시장치에 있어서, 발광영역부근의 SEM 사진을 각각 도시한 것이다. 도 9a를 참조하면, 테이퍼완화막의 형성에 따라 개구부의 에지부분에서의 테이퍼각이 화소분리막의 테이퍼각보다 40°로 완화된 것을 보여준다. 도 9b는 제2실시예에 따른 테이퍼완화막이 적용된 유기전계 발광표시장치를 구동시켰을 때, 발광영역의 에지부분의 현미경사진이다. 도 9b를 참조하면, 화소분리막상에 테이퍼완화막을 형성함으로써, 발광영역의 에지부분에서의 암점과 같은 불량이 발생되지 않음을 보여준다. 도 9c는 종래의 테이퍼완화막이 적용된, 화소분리막을 구비한 유기전계 발광표시장치를 구동시켰을 때, 발광영역의 에지부분의 현미경사진이다. 도 9c를 참조하면, 화소분리막을 적용하는 경우에도 개구부의 에지부분에서 테이퍼각이 큰 경우 암점이 발생되었음을 보여준다.

도 10은 본 발명의 제3실시예에 따른 전면발광구조를 갖는 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 10을 참조하면, 절연기관(600)상에 버퍼층(605)이 형성되고, 버퍼층(605)상에 소오스/드레인 영역(611, 615)을 구비하는 반도체층(610)이 형성된다. 게이트 절연막(620)상에 게이트(625)가 형성되며, 층간 절연막(630)상에 콘택홀(631, 635)을 통해 소오스/드레인 전극(641, 645)이 형성된다. 이때, 층간 절연막(630)상에 소오스/드레인 전극(641, 645)이 형성될 때 테이퍼라인 또는 전원공급라인과 같은 배선(647)이 동시에 형성된다.

패시베이션막(650)상에 평탄화막(660)이 형성되고, 평탄화막(660)상에 비어홀(655)을 통해 상기 소오스/드레인 전극(641, 645)중 하나, 예를 들어 드레인전극(645)에 연결되는 하부전극인 애노드전극(670)이 형성된다. 기관상에 습식코팅가능한 정공수송능력을 갖는 유기막으로 PEDOT을 증착하여 테이퍼완화막(680)을 형성한다. 이때, 상기 테이퍼완화막(680)은 상기 비어홀에서의 테이퍼각이 60°이하로 되도록 형성되는 것이 바람직하며, 상기 테이퍼완화막(680)의 증착두께는 테이퍼완화막의 테이퍼각, 상기 평탄화막(660)의 두께와 비어홀의 테이퍼각에 따라 결정된다.

테이퍼완화막(680)상에 제1실시예에서와 마찬가지로 방법으로 유기박막층(685) 및 상부전극인 캐소드전극(690)이 형성되고, 봉지기판(도면상에 도시되지 않음)으로 봉지하여 제3실시예에 따른 유기전계 발광표시장치를 제조한다.

도 11은 본 발명의 제4실시예에 따른 전면발광구조를 갖는 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 11를 참조하면, 절연기관(700)상에 버퍼층(705)이 형성되고, 버퍼층(705)상에 소오스/드레인 영역(711, 715)을 구비하는 반도체층(710)이 형성된다. 게이트 절연막(720)상에 게이트(725)가 형성되며, 층간 절연막(730)상에 콘택홀(731, 735)을 통해 소오스/드레인 전극(741, 745)이 형성된다. 이때, 층간 절연막(730)상에 소오스/드레인 전극(741, 745)이 형성될 때 데이터라인 또는 전원공급라인과 같은 배선(747)이 동시에 형성된다.

패시베이션막(750)상에 평탄화막(760)이 형성되고, 평탄화막(760)상에 비어홀(755)을 통해 상기 소오스/드레인 전극(741, 745)중 하나, 예를 들어 드레인전극(745)에 연결되는 하부전극인 애노드전극(770)이 형성된다. 상기 애노드전극(770)의 일부분을 노출시키는 개구부(775)를 구비한 화소분리막(765)이 형성된다. 기관상에 습식코팅가능한 정공수송능력을 갖는 유기막으로 PEDOT을 증착하여 테이퍼완화막(780)을 형성한다. 이때, 테이퍼완화막(780)은 개구부(775)에서의 테이퍼각이 40°이하로 되도록 증착되는 것이 바람직하며, 테이퍼완화막(780)의 증착두께는 테이퍼완화막의 테이퍼각, 화소분리막의 두께와 화소분리막의 테이퍼각에 따라 결정된다. 테이퍼완화막(780)상에 제1실시예에서와 같은 방법으로 유기박막층(785) 및 상부전극인 캐소드전극(790)이 형성되고, 봉지기판(도면상에 도시되지 않음)으로 봉지하여 제4실시예에 따른 유기전계 발광표시장치를 제조한다.

도 12는 본 발명의 제5실시예에 따른 배면발광구조를 갖는 유기전계 발광표시장치의 단면도를 도시한 것이다. 도 12를 참조하면, 절연기관(800)상에 버퍼층(805)이 형성되고, 버퍼층(805)상에 소오스/드레인 영역(811, 815)을 구비하는 반도체층(810)이 형성된다. 게이트 절연막(820)상에 게이트(825)가 형성되며, 층간 절연막(830)상에 콘택홀(831, 835)을 통해 소오스/드레인 전극(841, 845)이 형성된다. 이때, 층간 절연막(830)상에 소오스/드레인 전극(841, 845)중 하나, 예를 들어 드레인전극(845)에 연결되는 애노드전극(870)이 형성된다.

기관상에 상기 애노드전극(870)의 일부분을 노출시키는 개구부(875)를 노출시키는 패시베이션막(850)이 형성되고, 개구부(875) 및 패시베이션막(850)상에 습식코팅가능한 도전성 유기막, 예를 들어 PEDOT 으로 된 테이퍼완화막(880)이 형성된다. 상기 테이퍼완화막(880)은 상기 개구부에서 테이퍼각이 40°이하로 되도록 증착되는 것이 바람직하며, 테이퍼완화막(880)의 두께는 상기 테이퍼완화막(880)의 테이퍼각, 상기 패시베이션막(850)의 두께와 개구부의 테이퍼각에 따라 결정된다. 테이퍼완화막(780)상에 제1실시예에서와 같은 방법으로 유기박막층(885) 및 상부전극인 캐소드전극(890)이 형성되고, 봉지기판(도면상에 도시되지 않음)으로 봉지하여 제5실시예에 따른 유기전계 발광표시장치를 제조한다.

본 발명의 실시예에서는 유기박막층이 정공주입층, 정공수송층, R, G, 또는 B 유기 발광층 및 전자수송층으로 구성되는 것을 예시하였으나, 정공주입층, 정공수송층, R, G, 또는 B 유기 발광층, 정공억제층, 전자수송층 및 전자수입층중 적어도 하나 이상의 유기박막으로 구성된다.

본 발명의 실시예에서는 애노드전극상에 유기발광층이 증착되는 배면발광구조 및 전면발광구조를 갖는 유기전계 발광표시장치에서 상기 테이퍼완화막으로 정공수송능력을 갖는 유기막을 사용하는 것을 예시하였으나, 캐소드전극상에 유기발광층이 증착되는 인버티드구조를 갖는 유기전계 발광표시장치에서 상기 테이퍼완화막으로 전자수송능력을 갖는 유기막을 적용하는 것도 가능하다.

또한, 본 발명의 실시예에서는 테이퍼완화막이 애노드전극과 유기박막층사이에 형성되는 것을 예시하였으나, 전면 및 배면발광구조에서는 애노드전극과 유기박막층의 발광층사이에 존재하는 박막층중 임의 층상에 형성하는 것이 가능하고, 인버티드구조에서는 캐소드전극과 유기박막층의 발광층사이에 존재하는 박막층중 임의 층상에 형성하는 것이 가능하다.

또한, 본 발명의 테이퍼완화막을 적용하여 기관표면의 테이퍼각을 완화시켜 주는 방법은 증착법, 잉크젯방식 또는 레이저 열전사법 등과 같은 다양한 방법을 이용하여 유기발광층을 형성하는 유기전계 발광표시장치에 모두 적용가능하다.

발명의 효과

이상에서 상세하게 설명한 바와같은 본 발명에 따르면, 하부전극과 유기발광층사이에 테이퍼각을 완화시켜 줄 수 있는 유기박막을 형성하여 좁으로써, 콘택홀 및 비어홀부근과 하부전극의 단차진 부분에서의 불량 및 유기발광층의 불량을 방지할 수 있으므로, 신뢰성 및 수율을 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

절연기관과;

상기 절연기관상에 형성되고, 상기 기관의 표면에 대하여 제1단차 및 제1테이퍼각을 갖는 하부 박막과;

상기 절연기관상에 형성되고, 상기 하부막의 테이퍼각을 완화시켜 주기위한 상부 박막을 구비하며,

상기 상부 박막은 상기 하부 박막의 제1테이퍼각보다 작은 제2테이퍼각을 갖는 것을 특징으로 하는 평판표시장치.

청구항 2.

제1항에 있어서, 상기 상부박막은 단차진 부분에서 그이외부분보다 얇게 증착되어 기관표면의 단차를 완화시켜 주는 것을 특징으로 하는 평판표시장치.

청구항 3.

제1항에 있어서, 상기 상부 박막은 습식코팅가능한 전하수송능력을 갖는 도전성 박막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 4.

제3항에 있어서, 상기 상부박막은 고분자 유기막과 저분자 유기막으로부터 선택되는 적어도 하나의 박막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 5.

제4항에 있어서, 상기 상부박막의 저분자 유기막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되고, 고분자 유기막은 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 것을 특징으로 하는 평판표시장치.

청구항 6.

제1항에 있어서, 상기 하부박막은 상기 기관의 일부분을 노출시키는 홀을 더 구비하며, 상기 제1테이퍼각은 기관표면에 대하여 상기 홀의 측면이 이루는 각도이며, 상기 제2테이퍼각은 상기 홀에서 기관표면에 대하여 상기 상부박막이 이루는 각도인 것을 특징으로 하는 평판표시장치.

청구항 7.

제6항에 있어서, 소오스/드레인 영역 및 소오스/드레인 전극 및 상기 소오스/드레인전극을 상기 소오스/드레인영역과 연결시켜 주기위한 콘택홀을 갖는 절연막을 구비하는 박막 트랜지스터를 더 포함하며,

상기 하부 박막은 상기 박막 트랜지스터의 절연막이고, 상기 홀은 상기 소오스/드레인 전극과 상기 소오스/드레인영역을 연결시켜 주기위한 상기 콘택홀인 것을 특징으로 하는 평판표시장치.

청구항 8.

제6항에 있어서, 적어도 소오스/드레인전극을 구비하는 박막 트랜지스터와; 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀과; 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는 화소전극을 더 포함하며,

상기 하부박막은 상기 절연막이고, 상기 홀은 상기 노출된 하나의 전극과 화소전극을 연결시켜 주기위한 상기 비어홀인 것을 특징으로 하는 평판표시장치.

청구항 9.

제6항에 있어서, 상기 제2테이퍼각은 60°이하인 것을 특징으로 하는 평판표시장치.

청구항 10.

제1항에 있어서, 상기 하부박막은 상기 기관의 일부분을 노출시키는 개구부를 더 구비하며, 상기 제1테이퍼각은 기관표면에 대하여 상기 개구부의 측면이 이루는 각도이며, 상기 제2테이퍼각은 상기 개구부에서 기관표면에 대하여 상기 상부박막이 이루는 각도인 것을 특징으로 하는 평판표시장치.

청구항 11.

제10항에 있어서, 상기 제2테이퍼각은 40°이하인 것을 특징으로 하는 평판표시장치.

청구항 12.

제10항에 있어서, 하부전극, 상기 하부전극의 일부분을 노출시키는 화소분리막, 유기박막층 및 상부전극을 더 포함하며,

상기 하부박막은 화소분리막이고, 상기 개구부는 상기 하부전극의 일부분을 노출시켜주는 것을 특징으로 하는 평판표시장치.

청구항 13.

제12항에 있어서, 상기 상부박막은 습식코팅가능한 전하수송능력을 갖는 도전성 박막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 14.

제13항에 있어서, 상기 상부박막은 고분자 유기막과 저분자 유기막으로부터 선택되는 적어도 하나의 박막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 15.

제14항에 있어서, 상기 상부박막의 저분자 유기막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되고, 고분자 유기막은 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 것을 특징으로 하는 평판표시장치.

청구항 16.

제12항에 있어서, 상기 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층, 전자주입층으로부터 선택되는 적어도 하나의 박막층을 구비하는 것을 특징으로 하는 평판표시장치.

청구항 17.

제16항에 있어서, 상기 상부박막은 상기 하부전극과 발광층사이에 형성되는 것을 특징으로 하는 평판표시장치.

청구항 18.

제17항에 있어서, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 형성된 유기박막층으로부터 선택되는 것을 특징으로 하는 평판표시장치.

청구항 19.

제17항에 있어서, 상기 하부전극은 투명전극이고, 상기 상부전극은 반사전극으로서, 상기 발광층으로부터 발광된 광이 상기 절연기관방향으로 방출되는 것을 특징하는 평판표시장치.

청구항 20.

제17항에 있어서, 상기 하부전극은 반사전극이고, 상기 상부전극은 투명전극으로서, 발광층으로부터 발광된 광이 상기 절연기판과 반대방향으로 방출되는 것을 특징하는 평판표시장치.

청구항 21.

제17항에 있어서, 상기 하부전극과 상부전극은 모두 투명전극으로서, 발광층으로부터 발광된 광이 상기 절연기판방향으로 방출됨과 동시에 절연기판과 반대방향으로 방출되는 것을 특징하는 평판표시장치.

청구항 22.

제12항에 있어서, 상기 하부전극이 애노드전극인 경우, 상기 상부박막은 정공수송능력을 갖으며, HOMO는 4.5eV이상이고, 전하이동도는 10^{-8} cm²/Vs 이상인 유기박막인 것을 특징으로 하는 평판표시장치.

청구항 23.

제12항에 있어서, 상기 하부전극이 캐소드전극인 경우, 상기 상부박막은 전자수송능력을 갖으며, LUMO는 3.5eV이상이고, 전하이동도는 10^{-8} cm²/Vs 이상인 것을 특징으로 하는 평판표시장치.

청구항 24.

적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과;

상기 절연기판상에 형성되고, 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀을 구비한 절연막과;

상기 절연막상에 형성되어 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는, 하부전극, 유기박막층 및 상부전극을 구비하는 유기 EL소자와;

상기 하부전극상부에 형성된 테이퍼완화막을 포함하며,

상기 비어홀에서의 상기 테이퍼완화막의 테이퍼각은 상기 비어홀의 테이퍼각보다 작은 제1테이퍼각을 갖으며,

상기 하부전극의 에지부분에서의 상기 테이퍼완화막은 상기 하부전극의 에지부분의 테이퍼각보다 작은 제2테이퍼각을 갖는 것을 특징으로 하는 평판표시장치.

청구항 25.

제24항에 있어서, 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층 및 전자주입층으로부터 선택되는 하나이상의 유기막으로 이루어지고, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 형성된 유기박막층으로부터 선택되는 하나의 유기박막층인 것을 특징으로 하는 평판표시장치.

청구항 26.

제25항에 있어서, 상기 테이퍼완화막은 습식코팅가능한 전하수송능력을 갖는 도전성 유기막으로서, 상기 상부전극과 상기 발광층사이에 형성되는 것을 특징으로 하는 평판표시장치.

청구항 27.

제26항에 있어서, 상기 테이퍼완화막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자유기막과 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자유기막으로부터 선택되는 적어도 하나의 유기막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 28.

제24항에 있어서, 상기 테이퍼완화막의 제1테이퍼각은 60도이하이고, 테이퍼완화막의 제2테이퍼각은 40도이하인 것을 특징으로 하는 평판표시장치.

청구항 29.

제28항에 있어서, 절연막은 패시베이션막과 평탄화막으로부터 선택되는 적어도 하나의 막으로 이루어지고, 상기 테이퍼완화막의 증착두께는 상기 테이퍼완화막의 제1 및 제2테이퍼각, 상기 패시베이션막과 평탄화막의 두께, 상기 비어홀의 테이퍼각 및 애노드전극의 에지부분의 테이퍼각에 따라 결정되는 것을 특징으로 하는 평판표시장치.

청구항 30.

제24항에 있어서, 상기 하부전극은 반사전극이고 상기 상부전극은 투명전극으로서 발광층으로부터 발광된 광이 상기 절연기판과 반대방향으로 방출되며, 상기 하부전극이 애노드전극인 경우 상기 테이퍼완화막은 정공수송능력을 갖으며 HOMO는 4.5eV이상, 전하이동도는 10^{-8} cm²/Vs 이상이고, 상기 하부전극이 캐소드전극인 경우 테이퍼완화막은 전자수송능력을 갖으며 LUMO는 3.5eV이상이고 전하이동도는 10^{-8} cm²/Vs 이상인 것을 특징으로 하는 평판표시장치.

청구항 31.

적어도 소오스/드레인 전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과;

상기 절연기판상에 형성되고, 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀을 구비한 제1절연막과;

상기 제1절연막상에 형성되고, 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는 하부전극과;

상기 하부전극의 일부분을 노출시키는 개구부를 구비한 제2절연막과;

상기 제2절연막과 개구부상에 형성된 유기박막층과;

상기 유기박막층상에 형성된 상부전극과;

상기 하부전극상부에 형성된 테이퍼완화막을 포함하며,

상기 테이퍼완화막은 상기 개구부에서의 제2절연막의 테이퍼각보다 작은 테이퍼각을 갖는 것을 특징으로 하는 평판표시장치.

청구항 32.

제31항에 있어서, 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층 및 전자주입층으로부터 선택되는 하나이상의 유기막으로 이루어지고, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 형성된 유기박막층으로부터 선택되는 하나의 유기박막층인 것을 특징으로 하는 평판표시장치.

청구항 33.

제32항에 있어서, 상기 테이퍼완화막은 습식코팅가능한 전자수송능력을 갖는 도전성 유기막으로서, 상기 상부전극과 상기 발광층사이에 형성되는 것을 특징으로 하는 평판표시장치.

청구항 34.

제33항에 있어서, 상기 테이퍼완화막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자유기막과 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자유기막으로부터 선택되는 적어도 하나의 유기막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 35.

제31항에 있어서, 상기 테이퍼완화막의 테이퍼각은 40도이하인 것을 특징으로 하는 평판표시장치.

청구항 36.

제31항에 있어서, 제1절연막은 패시베이션막과 평탄화막으로부터 선택되는 적어도 하나의 막으로 이루어지고, 제2절연막은 화소분리막으로 이루어지며, 상기 테이퍼완화막의 증착두께는 상기 테이퍼완화막의 테이퍼각, 상기 화소분리막의 두께와 테이퍼각에 따라 결정되는 것을 특징으로 하는 평판표시장치.

청구항 37.

제31항에 있어서, 상기 하부전극은 반사전극이고 상기 상부전극은 투명전극으로서 발광층으로부터 발광된 광이 상기 절연기판과 반대방향으로 방출되며, 상기 하부전극이 애노드전극인 경우 상기 테이퍼완화막은 정공수송능력을 갖으며 HOMO는 4.5eV이상, 전하이동도는 10^{-8} cm²/Vs 이상이고, 상기 하부전극이 캐소드전극인 경우 테이퍼 완화막은 전자수송능력을 갖으며 LUMO는 3.5eV이상이고 전하이동도는 10^{-8} cm²/Vs 이상인 것을 특징으로 하는 평판표시장치.

청구항 38.

소오스/드레인영역을 구비한 반도체층, 상기 소오스/드레인영역의 일부분을 노출시키는 콘택홀을 구비한 제1절연막, 상기 콘택홀을 통해 상기 소오스/드레인영역에 연결되는 소오스/드레인전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과;

상기 절연기판상에 형성되고, 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀을 구비한 제2절연막과;

상기 제2절연막상에 형성되어 상기 비어홀을 통해 상기 박막 트랜지스터의 하나의 전극에 연결되는, 하부전극, 유기박막층 및 상부전극을 구비하는 EL소자와;

상기 하부전극상부에 형성된 테이퍼완화막을 포함하며,

상기 콘택홀에서의 상기 테이퍼완화막의 테이퍼각은 콘택홀의 테이퍼각보다 작은 제1테이퍼각을 갖으며,

상기 비어홀에서의 상기 테이퍼완화막의 테이퍼각은 비어홀의 테이퍼각보다 작은 제2테이퍼각을 갖으며,

상기 하부전극의 에지부분에서의 상기 테이퍼완화막의 테이퍼각은 상기 하부전극의 에지부분의 테이퍼각보다 작은 제3테이퍼각을 갖는 것을 특징으로 하는 평판표시장치.

청구항 39.

제38항에 있어서, 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층 및 전자주입층으로부터 선택되는 하나이상의 유기막으로 이루어지고, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 증착된 유기박막층으로부터 선택되는 하나의 유기박막층인 것을 특징으로 하는 평판표시장치.

청구항 40.

제39항에 있어서, 상기 테이퍼완화막은 습식코팅가능한 전하수송능력을 갖는 도전성 유기막으로서, 상기 상부전극과 상기 발광층사이에 형성되는 것을 특징으로 하는 평판표시장치.

청구항 41.

제40항에 있어서, 상기 테이퍼완화막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자유기막과 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자유기막으로부터 선택되는 적어도 하나의 유기막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 42.

제38항에 있어서, 상기 테이퍼완화막의 제1 테이퍼각은 60°이하이고, 제2 테이퍼각은 60°이하이며, 제3 테이퍼각은 40°이하인 것을 특징으로 하는 평판표시장치.

청구항 43.

제38항에 있어서, 절연막은 패시베이션막과 평탄화막으로부터 선택되는 적어도 하나의 막으로 이루어지고, 상기 테이퍼완화막의 증착두께는 상기 테이퍼완화막의 제1 내지 제3 테이퍼각, 상기 절연막의 두께와 비어홀 및 콘택홀의 테이퍼각 그리고 애노드전극의 두께 및 애노드전극의 에지부분에서의 테이퍼각에 따라 결정되는 것을 특징으로 하는 평판표시장치.

청구항 44.

제38항에 있어서, 상기 하부전극은 투명전극이고 상기 상부전극은 반사전극으로서 발광층으로부터 발광된 광이 상기 절연기관방향으로 방출되며, 상기 하부전극이 애노드전극인 경우 상기 테이퍼완화막은 정공수송능력을 갖으며 HOMO는 4.5eV 이상, 전하이동도는 10^{-8} cm²/Vs 이상이고, 상기 하부전극이 캐소드전극인 경우 테이퍼완화막은 전자수송능력을 갖으며 LUMO는 3.5eV 이상이고 전하이동도는 10^{-8} cm²/Vs 이상인 것을 특징으로 하는 평판표시장치.

청구항 45.

소오스/드레인영역을 구비한 반도체층, 상기 소오스/드레인영역의 일부분을 노출시키는 콘택홀을 구비한 제1 절연막, 상기 콘택홀을 통해 상기 소오스/드레인영역에 연결되는 소오스/드레인전극을 구비하는 박막 트랜지스터를 포함하는 절연기관과;

상기 절연기관상에 형성되어 상기 소오스/드레인전극중 하나를 노출시키는 비어홀을 구비한 제2 절연막과;

제2 절연막상에 형성되고, 상기 소오스/드레인 전극중 노출된 하나의 전극에 연결되는 하부전극과;

상기 하부전극의 일부분을 노출시키는 개구부를 구비한 제3 절연막과;

상기 제3 절연막과 개구부상에 형성된 유기박막층과;

상기 유기박막층상에 형성된 상부전극과;

상기 하부전극상부에 형성된 테이퍼완화막을 포함하며,

상기 개구부에서의 상기 테이퍼완화막의 테이퍼각은 상기 개구부의 테이퍼각보다 작은 것을 특징으로 하는 평판표시장치.

청구항 46.

제45항에 있어서, 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층 및 전자주입층으로부터 선택되는 하나 이상의 유기막으로 이루어지고, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 형성된 유기박막층으로부터 선택되는 하나의 유기박막층인 것을 특징으로 하는 평판표시장치.

청구항 47.

제46항에 있어서, 상기 테이퍼완화막은 습식코팅가능한 전하수송능력을 갖는 도전성 유기막으로서, 상기 상부전극과 상기 발광층사이에 형성되는 것을 특징으로 하는 평판표시장치.

청구항 48.

제47항에 있어서, 상기 테이퍼완화막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자유기막과 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자유기막으로부터 선택되는 적어도 하나의 유기막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 49.

제45항에 있어서, 상기 테이퍼완화막의 테이퍼각은 40도이하인 것을 특징으로 하는 평판표시장치.

청구항 50.

제45항에 있어서, 제1절연막은 층간 절연막이며, 제2절연막은 패시베이션막과 평탄화막으로부터 선택되는 적어도 하나의 막으로 이루어지고, 제3절연막은 화소분리막으로 이루어지며, 상기 테이퍼완화막의 증착두께는 상기 테이퍼완화막의 테이퍼각, 상기 화소분리막의 두께와 테이퍼각에 따라 결정되는 것을 특징으로 하는 평판표시장치.

청구항 51.

제45항에 있어서, 상기 하부전극은 투명전극이고 상기 상부전극은 반사전극으로서 발광층으로부터 발광된 광이 상기 절연기판방향으로 방출되며, 상기 하부전극이 애노드전극인 경우 상기 테이퍼완화막은 정공수송능력을 갖으며 HOMO는 4.5eV이상, 전하이동도는 10^{-8} cm²/Vs 이상이고, 상기 하부전극이 캐소드전극인 경우 테이퍼 완화막은 전자수송능력을 갖으며 LUMO는 3.5eV이상이고 전하이동도는 10^{-8} cm²/Vs 이상인 것을 특징으로 하는 평판표시장치.

청구항 52.

소오스/드레인영역을 구비한 반도체층, 상기 소오스/드레인영역의 일부분을 노출시키는 콘택홀을 구비한 제1절연막, 상기 콘택홀을 통해 상기 소오스/드레인영역에 연결되는 소오스/드레인전극을 구비하는 박막 트랜지스터를 포함하는 절연기판과;

상기 소오스/드레인 전극과 동일하게 제1절연막상에 형성되고, 상기 소오스/드레인전극중 하나에 연결되는 하부전극과;

상기 하부전극의 일부분을 노출시키는 개구부를 구비하는 제2절연막과;

상기 제2절연막과 개구부상에 형성된 유기박막층과;

상기 유기박막층상에 형성된 상부전극과;

상기 하부전극상부에 형성된 테이퍼완화막을 포함하며,

상기 콘택홀에서의 상기 테이퍼완화막의 테이퍼각은 콘택홀의 테이퍼각보다 작은 제1테이퍼각을 갖으며, 상기 개구부에서의 상기 테이퍼완화막은 상기 개구부의 테이퍼각보다 작은 제2테이퍼각을 갖는 것을 특징으로 하는 평판표시장치.

청구항 53.

제52항에 있어서, 유기박막층은 정공주입층, 정공수송층, 발광층, 정공억제층, 전자수송층 및 전자주입층으로부터 선택되는 하나이상의 유기막으로 이루어지고, 상기 발광층은 레이저열전사법에 의해 형성된 유기박막층, 잉크젯방식에 의해 형성된 유기박막층 및 증착법에 의해 형성된 유기박막층으로부터 선택되는 하나의 유기박막층인 것을 특징으로 하는 평판표시장치.

청구항 54.

제53항에 있어서, 상기 테이퍼완화막은 습식코팅가능한 전하수송능력을 갖는 도전성 유기막으로서, 상기 상부전극과 상기 발광층사이에 형성되는 것을 특징으로 하는 평판표시장치.

청구항 55.

제54항에 있어서, 상기 테이퍼완화막은 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자유기막과 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자유기막으로부터 선택되는 적어도 하나의 유기막으로 이루어지는 것을 특징으로 하는 평판표시장치.

청구항 56.

제52항에 있어서, 상기 테이퍼완화막의 제1테이퍼각은 60°이고, 제2테이퍼각은 40°이하인 것을 특징으로 하는 평판표시장치.

청구항 57.

제52항에 있어서, 제1절연막은 층간 절연막이며, 제2절연막은 패시베이션막이고, 상기 테이퍼완화막의 증착두께는 상기 테이퍼완화막의 제1 및 제2테이퍼각, 상기 층간절연막과 패시베이션막의 두께와 콘택홀 및 개구부의 테이퍼각에 따라 결정되는 것을 특징으로 하는 평판표시장치.

청구항 58.

제52항에 있어서, 상기 하부전극은 투명전극이고 상기 상부전극은 반사전극으로서 발광층으로부터 발광된 광이 상기 절연기판방향으로 방출되며, 상기 하부전극이 애노드전극인 경우 상기 테이퍼완화막은 정공수송능력을 갖으며 HOMO는 4.5eV이상, 전하이동도는 10⁻⁸ cm²/Vs 이상이고, 상기 하부전극이 캐소드전극인 경우 테이퍼 완화막은 전자수송능력을 갖으며 LUMO는 3.5eV이상이고 전하이동도는 10⁻⁸ cm²/Vs 이상인 것을 특징으로 하는 평판표시장치.

청구항 59.

절연기판과;

상기 절연기판상에 형성되고, 상기 기판의 표면에 대하여 제1단차 및 제1테이퍼각을 갖는 하부 박막과;

상기 절연기판상에 형성되고, 상기 기판의 표면에 대하여 제2테이퍼각을 갖는 상기 하부박막의 제1테이퍼각을 완화시켜 주기위한 상부박막을 포함하며,

상기 하부박막의 제1테이퍼각보다 작은 원하는 제2테이퍼각을 얻기 위한 상기 상부박막의 증착두께중 상기 하부박막의 단차진 부분에 형성되는 부분의 증착두께 d1 과 그이외 부분에 형성되는 부분의 증착두께 d2 및 상기 상부박막의 테이퍼각 θ2 는 하기의 식으로부터 구해지는 것을 특징으로 하는 평판표시장치.

$$\tan\theta_2 = (1 - d_2/(d_1-d_0)) \tan\theta_1$$

$$d_1 = (d_1-d_0) (1 - \tan\theta_2/\tan\theta_1)$$

$$d_2 = d_1 (1 - \tan\theta_2/\tan\theta_1)$$

여기서, θ1 은 하부박막의 제1테이퍼각이고, d1은 상부박막의 제2테이퍼각이 0°가 될 때의 상부박막의 증착두께이다.

청구항 60.

제59항에 있어서, 소오스/드레인 영역 및 소오스/드레인 전극 및 상기 소오스/드레인전극을 상기 소오스/드레인영역과 연결시켜 주기위한 콘택홀을 갖는 절연막을 구비하는 박막 트랜지스터를 더 포함하며,

상기 하부 박막은 상기 박막 트랜지스터의 절연막이고, 상기 홀은 상기 소오스/드레인 전극과 상기 소오스/드레인영역을 연결시켜 주기위한 상기 콘택홀이며,

상기 테이퍼완화막의 증착두께는 테이퍼완화막의 테이퍼각, 콘택홀의 깊이 및 콘택홀의 테이퍼각에 따라 상기 식으로부터 구해지는 것을 특징으로 하는 평판표시장치.

청구항 61.

제59항에 있어서, 적어도 소오스/드레인전극을 구비하는 박막 트랜지스터와; 상기 소오스/드레인 전극중 하나를 노출시키는 비어홀과; 상기 비어홀을 통해 상기 노출된 하나의 전극에 연결되는 화소전극을 더 포함하며,

상기 하부박막은 상기 절연막이고, 상기 홀은 상기 노출된 하나의 전극과 화소전극을 연결시켜 주기위한 상기 비어홀이며,

상기 테이퍼완화막의 증착두께는 테이퍼완화막의 테이퍼각, 비어홀의 깊이 및 비어홀의 테이퍼각에 따라 상기 식으로부터 구해지는 것을 특징으로 하는 평판표시장치.

청구항 62.

제59항에 있어서, 하부전극, 상기 하부전극의 일부분을 노출시키는 화소분리막, 유기박막층 및 상부전극을 더 포함하며.

상기 하부박막은 화소분리막이고, 상기 개구부는 상기 하부전극의 일부분을 노출시켜주는 개구부이며,

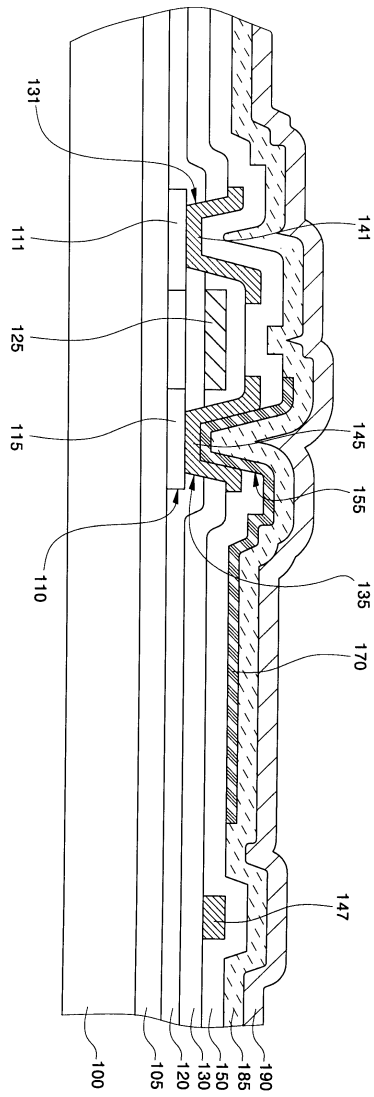
상기 테이퍼완화막의 증착두께는 테이퍼완화막의 테이퍼각, 화소분리막의 두께 및 개구부의 테이퍼각에 따라 상기 식으로부터 구해지는 것을 특징으로 하는 평판표시장치.

청구항 63.

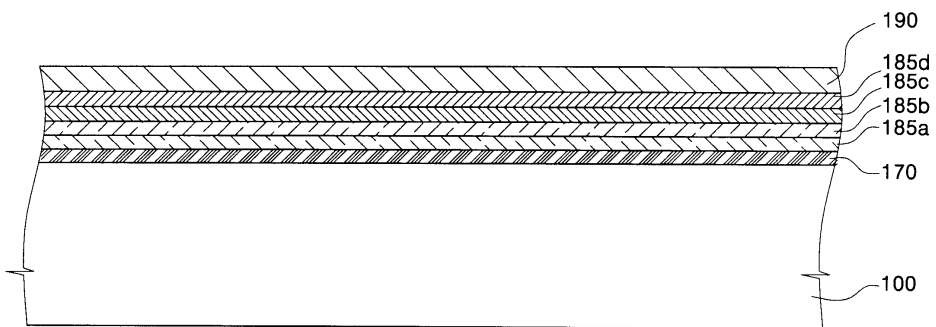
제59항에 있어서, 상기 상부박막은 습식코팅가능한 전하수송능력을 갖는 도전성 유기박막으로서, 카바졸계, 아릴아민계, 히드라존계, 스틸벤계, 스타버스트계, 옥사디아졸계, 스타버스트계 유도체로부터 선택되는 저분자 유기막과 PEDOT, PANI, 카바졸계, 아릴아민계, 페릴렌계, 피롤계, 옥사디아졸계 유도체로부터 선택되는 고분자 유기막으로부터 선택되는 것을 특징으로 하는 평판표시장치.

도면

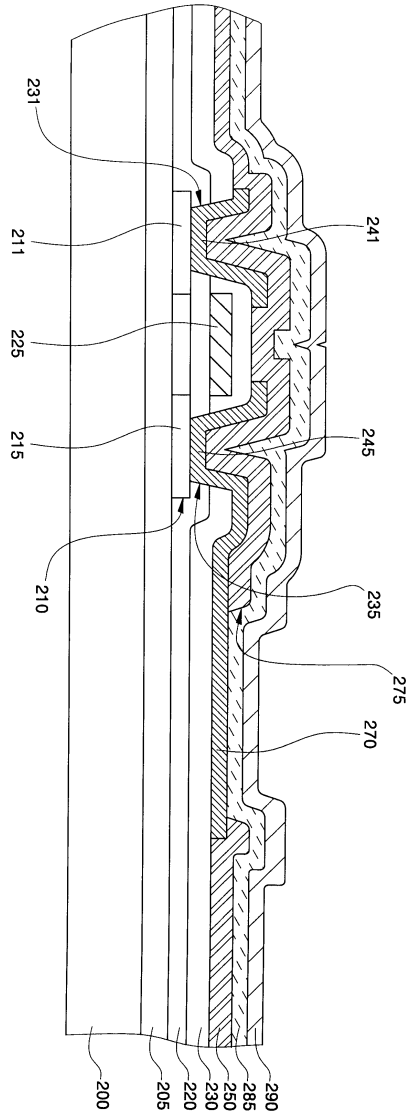
도면1a



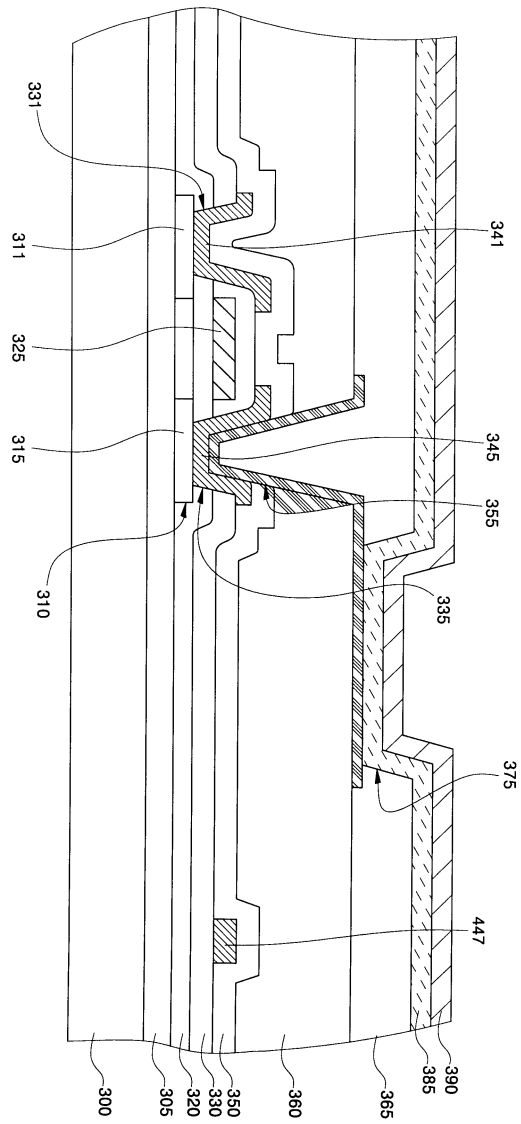
도면1b



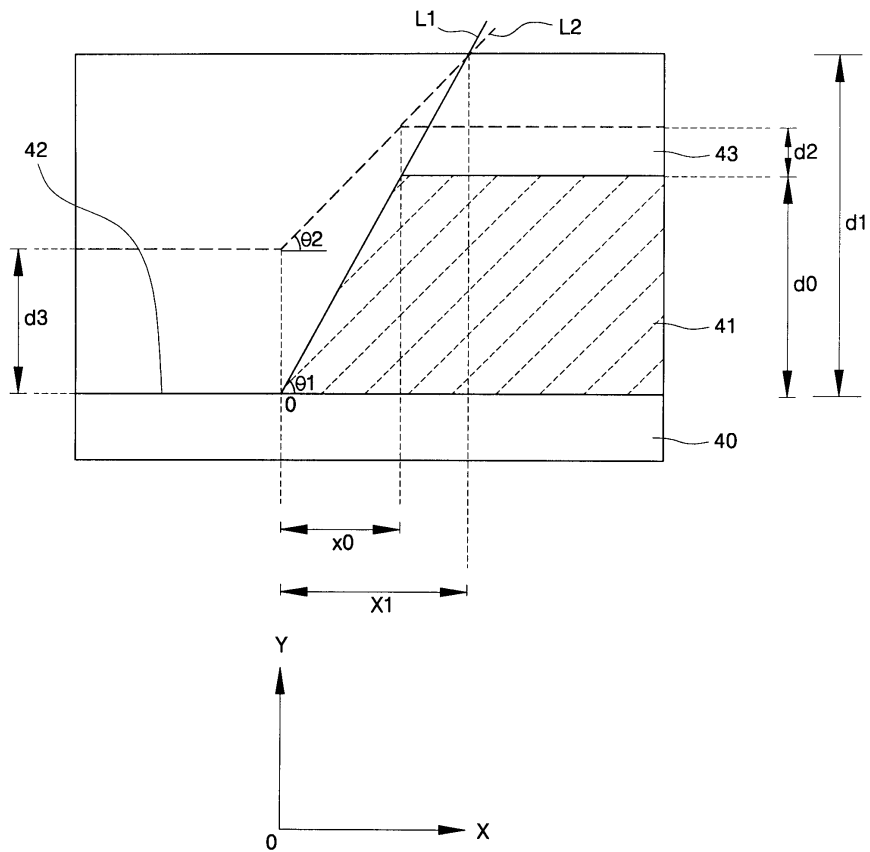
도면2



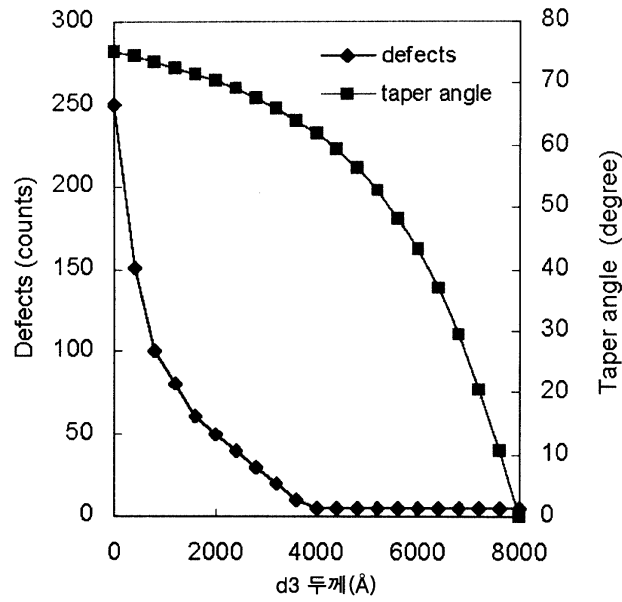
도면3



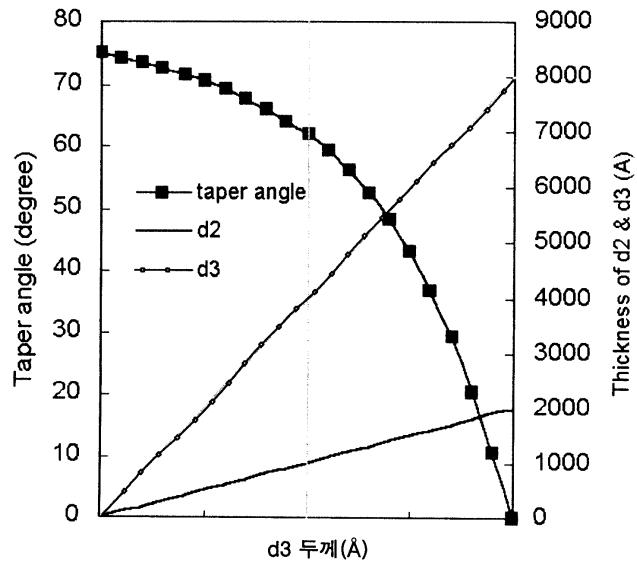
도면4



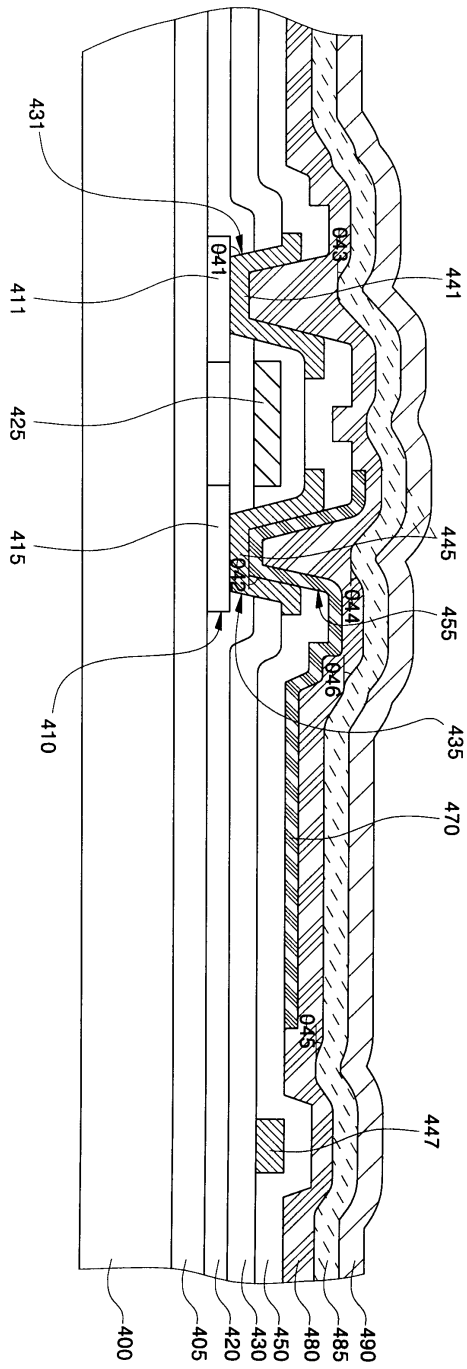
도면5a



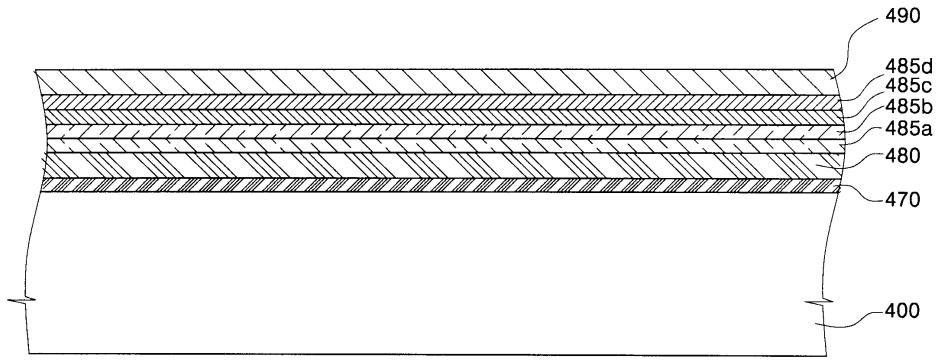
도면5b



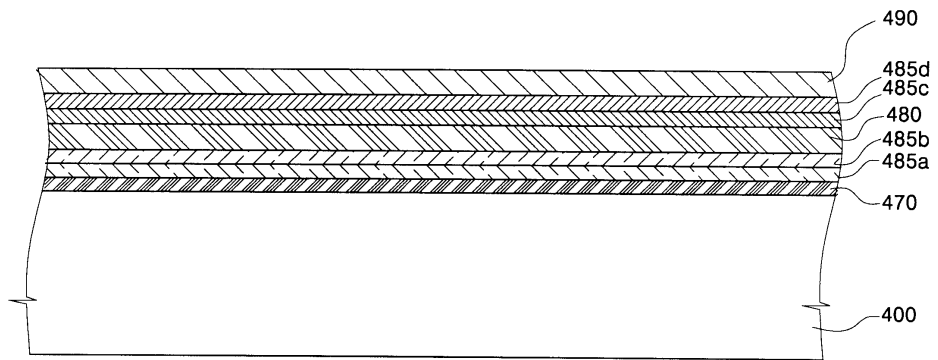
도면6a



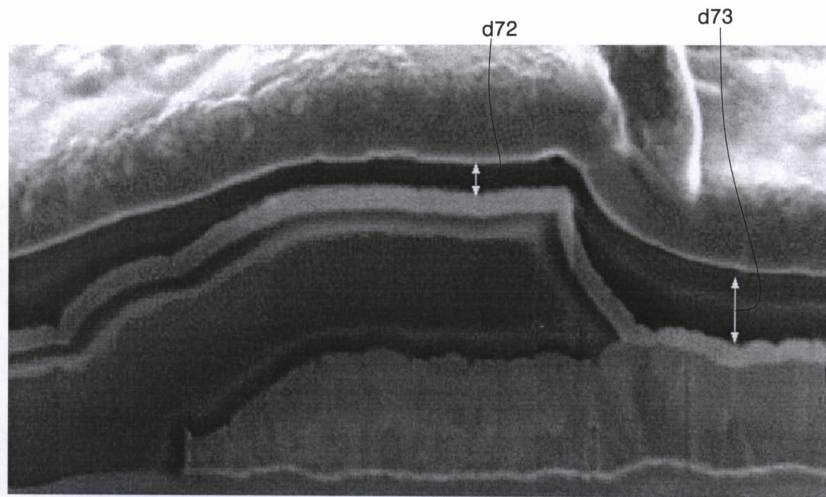
도면6b



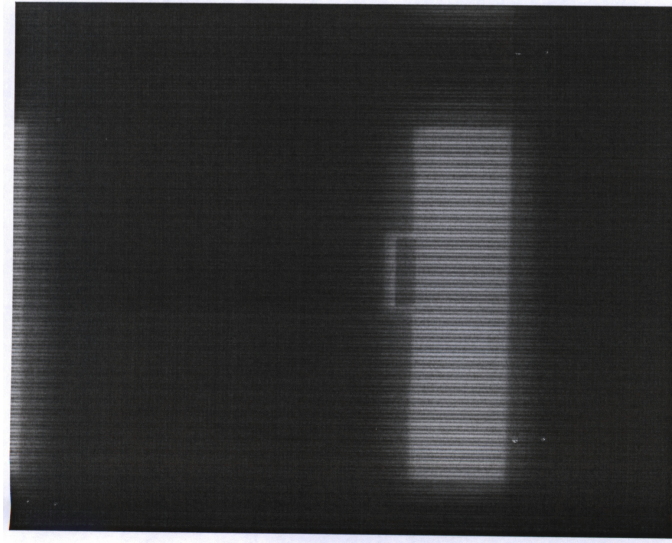
도면6c



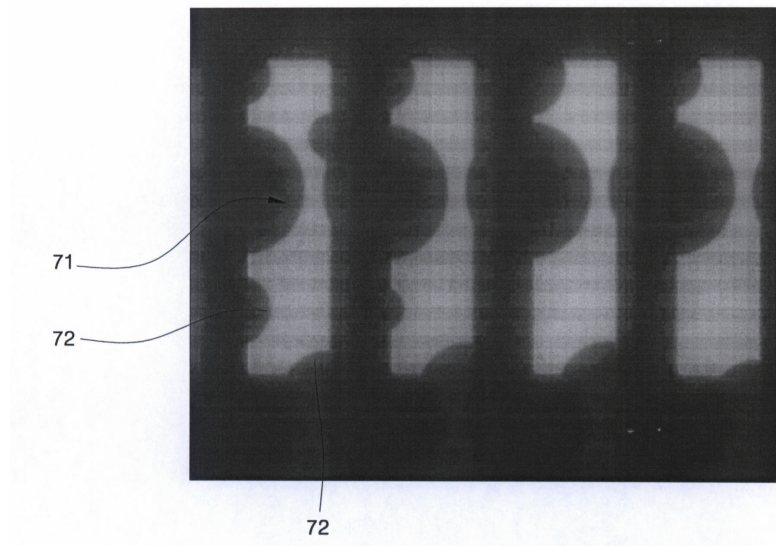
도면7a



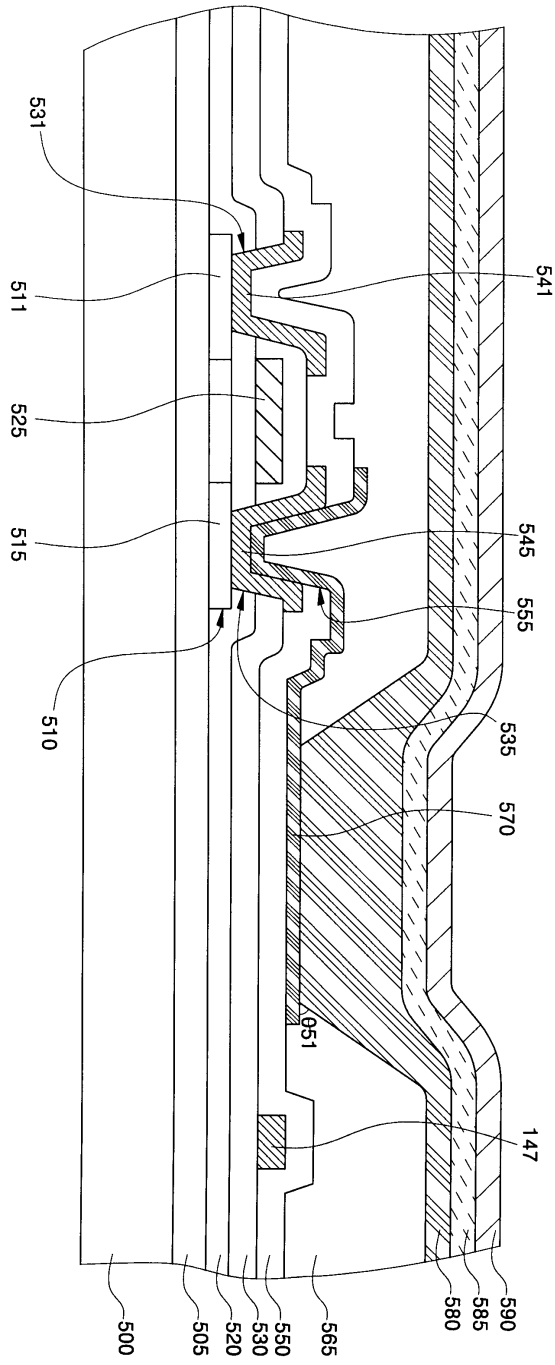
도면7b



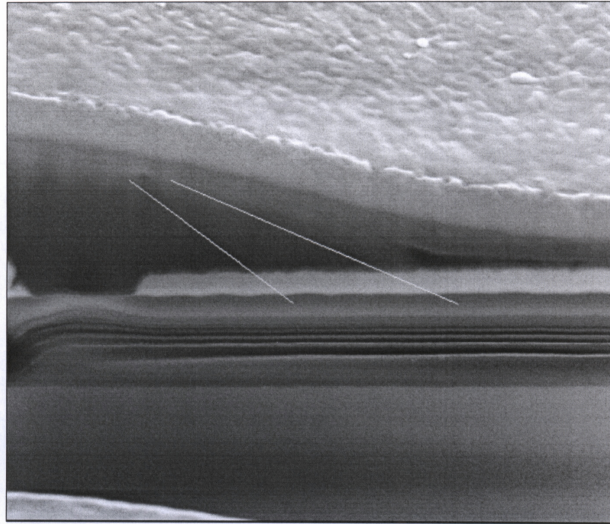
도면7c



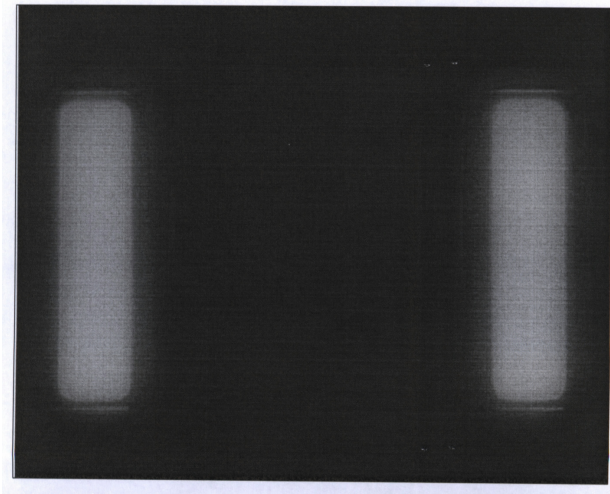
도면8



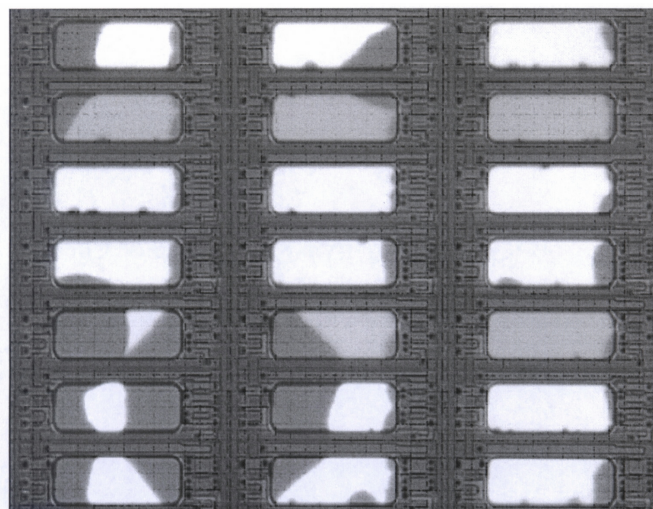
도면9a



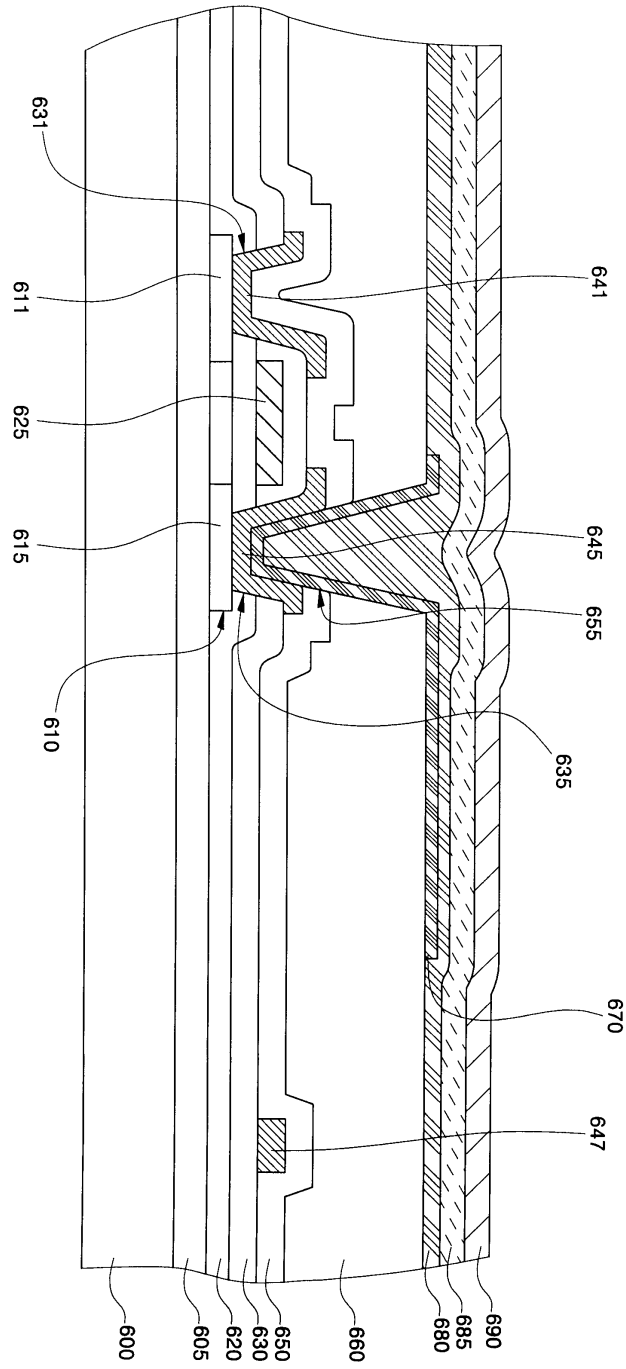
도면9b



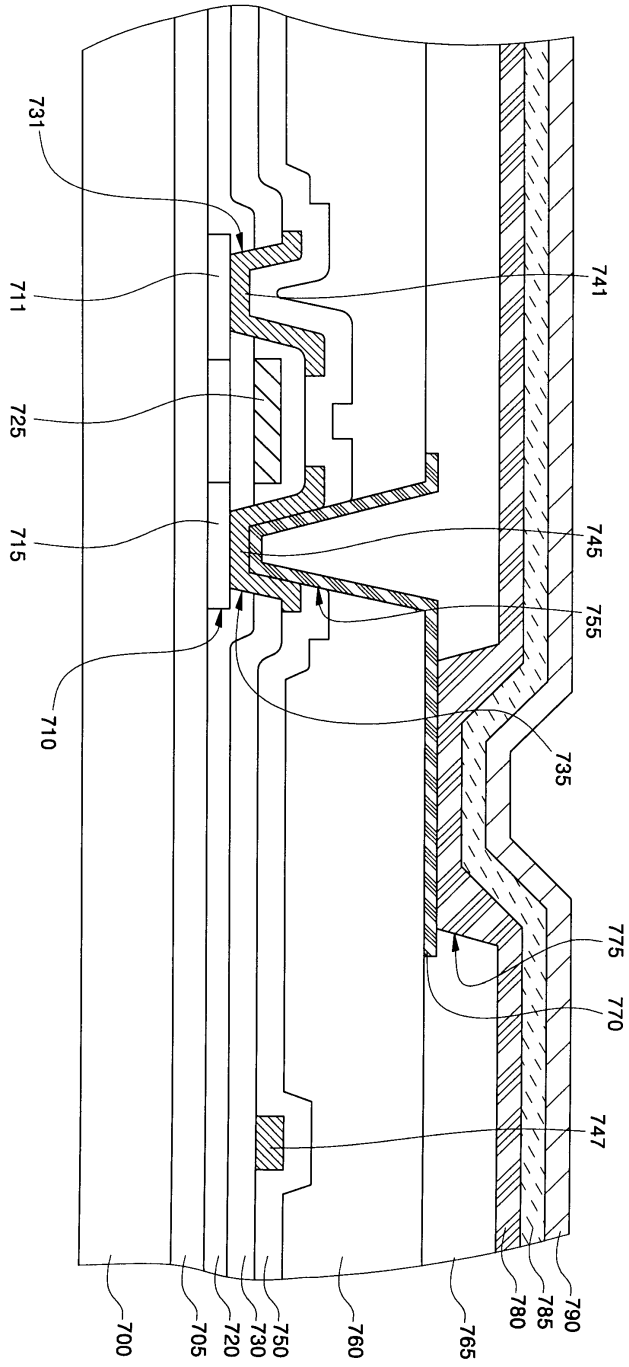
도면9c



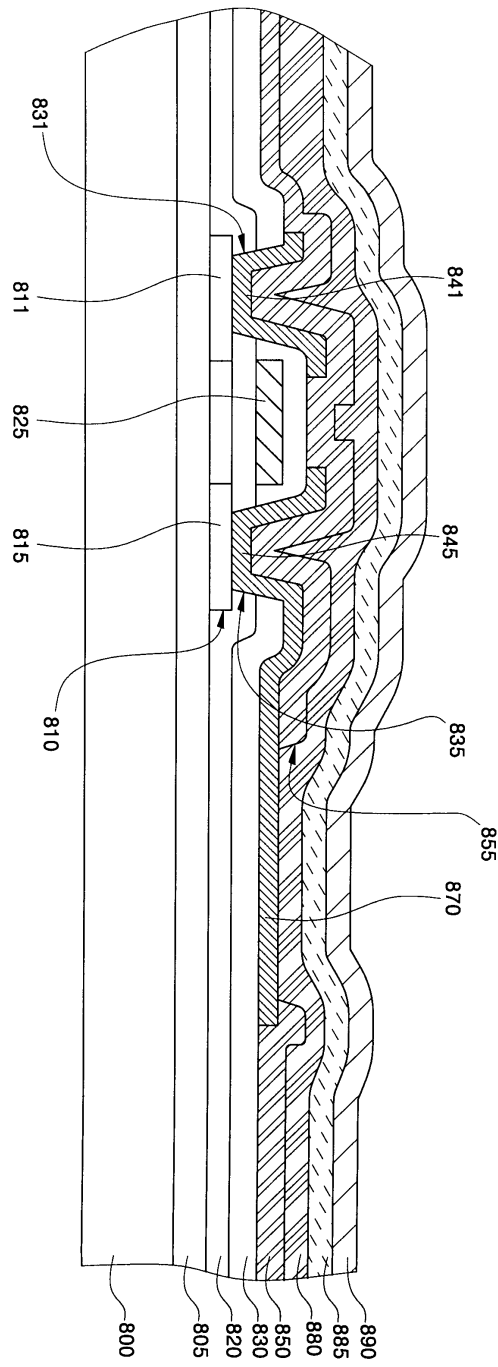
도면10



도면11



도면12



专利名称(译)	平板显示器		
公开(公告)号	KR1020050051058A	公开(公告)日	2005-06-01
申请号	KR1020030084746	申请日	2003-11-26
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KIM MUHYUN 김무현 CHIN BYUNGDOO 진병두 SONG MYUNGWON 송명원 LEE SEONGTAEK 이성택		
发明人	김무현 진병두 송명원 이성택		
IPC分类号	H01L51/50 H05B33/00 H05B33/12 H01L51/52 H05B33/20 H05B33/14 G09F9/30 H05B33/22 C09K11/06 H05B33/02 H01L27/32 H01L27/00		
CPC分类号	H01L27/3244 H01L27/3248 H01L51/52 H01L27/3246 H01L51/5203 H01L51/5048		
代理人(译)	PARK, 常树		
其他公开文献	KR100741962B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种减小基板表面锥角的有机电致发光显示装置，可以防止装置故障，提高图像质量。本发明的平板显示器包括具有基板的下薄膜，第一阶梯滑轮的在基板表面上面对的第一锥形角，基板形成在基板上，上部薄膜形成在基底上并用于减轻底层的锥角。并且，由于上部薄膜是具有电荷转移能力的导电膜，其中上部薄膜可以通过湿涂覆小的第二锥角而不是下部薄膜的第一锥角，因此选择它选自低分子有机膜的聚合物有机薄膜，PEDOT，PANI，咪唑基，芳胺类，per基，吡咯，选自咪唑基的恶二唑基衍生物，芳胺类，脞基，二苯乙烯基，星爆组，恶二唑基，星爆衍生物。

