



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년05월17일  
 (11) 등록번호 10-1736319  
 (24) 등록일자 2017년05월10일

(51) 국제특허분류(Int. Cl.)  
 H01L 51/52 (2006.01) H01L 27/02 (2006.01)  
 H01L 51/56 (2006.01)  
 (21) 출원번호 10-2010-0127856  
 (22) 출원일자 2010년12월14일  
 심사청구일자 2015년12월14일  
 (65) 공개번호 10-2012-0066491  
 (43) 공개일자 2012년06월22일  
 (56) 선행기술조사문헌  
 KR1020030054795 A\*  
 KR1020050111922 A\*  
 KR1020090120698 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**삼성디스플레이 주식회사**  
 경기도 용인시 기흥구 삼성로 1 (농서동)  
 (72) 발명자  
**이윤규**  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
**유춘기**  
 경기도 용인시 기흥구 삼성2로 95 (농서동)  
 (뒷면에 계속)  
 (74) 대리인  
**리엔목특허법인**

전체 청구항 수 : 총 20 항

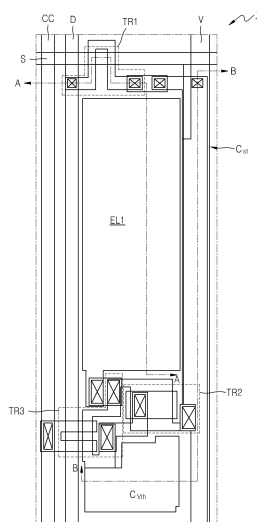
심사관 : 조성수

**(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법**

**(57) 요약**

본 발명의 일 측면에 의하면, 반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터; 상기 반도체층과 동일층에 형성된 제1전극, 상기 게이트 전극과 동일층에 형성된 제2전극, 및 상기 소스 및 드레인 전극과 동일층에 형성된 제3전극이 구비된 제1커패시터; 상기 반도체층과 동일층에 형성되고 도핑된 이온 불순물을 포함하는 제1전극, 및 상기 게이트 전극과 동일층에 형성된 제2전극이 구비된 제2커패시터; 상기 게이트 전극과 동일층에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소 전극; 상기 화소 전극 상에 위치하는 발광층; 및 상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

**대표도 - 도1**



(72) 발명자

**박선**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**박종현**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**문상호**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**김나영**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**명세서**

**청구범위**

**청구항 1**

반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터;

상기 반도체층과 동일층에 형성되고 이온 불순물이 도핑되지 않은 반도체를 포함하는 제1전극, 상기 게이트 전극과 동일층에 형성된 제2전극, 및 상기 소스 및 드레인 전극과 동일층에 형성된 제3전극이 구비된 제1커패시터;

상기 반도체층과 동일층에 형성되고 도핑된 이온 불순물을 포함하는 제1전극, 및 상기 게이트 전극과 동일층에 형성된 제2전극이 구비된 제2커패시터;

상기 게이트 전극과 동일층에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소 전극;

상기 화소 전극 상에 위치하는 발광층; 및

상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하고,

상기 제2커패시터의 제2전극은 제1층, 및 상기 제1층의 상면에 위치하고 상기 제1층의 상면 중앙부를 오픈하는 개구를 구비한 제2층을 포함하고,

상기 제2커패시터의 제1전극에 형성된 이온 불순물은 상기 개구에 대응하는 영역에 위치하는 유기 발광 표시 장치.

**청구항 2**

제 1 항에 있어서,

상기 제1커패시터는 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선과 연결되고, 상기 전원 전압 공급선과 중첩되도록 위치하는 유기 발광 표시 장치.

**청구항 3**

제 2 항에 있어서,

상기 적어도 하나의 트랜지스터는 구동 트랜지스터이고, 상기 제1커패시터는 상기 구동 트랜지스터에 전압을 인가하는 저장 커패시터인 유기 발광 표시 장치.

**청구항 4**

삭제

**청구항 5**

제 1 항에 있어서,

상기 제1커패시터의 제1전극과 제3전극은 접속홀을 통하여 연결된 유기 발광 표시 장치.

**청구항 6**

제 5 항에 있어서,

상기 제1커패시터는 상기 제1전극과 상기 제2전극 사이에 형성된 제1정전용량, 및 상기 제2전극과 상기 제3전극 사이에 형성된 제2정전용량이 병렬 연결된 유기 발광 표시 장치.

**청구항 7**

제 1 항에 있어서,

상기 제1커패시터의 제2전극은 상기 게이트 전극과 동일한 물질을 포함하는 유기 발광 표시 장치.

**청구항 8**

제 1 항에 있어서,

상기 제1커패시터의 제3전극은 상기 소스 및 드레인 전극과 동일한 물질을 포함하는 유기 발광 표시 장치.

**청구항 9**

제 8 항에 있어서,

상기 제1커패시터의 제3전극은 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선을 포함하는 유기 발광 표시 장치.

**청구항 10**

제 1 항에 있어서,

상기 제2커패시터는 구동 트랜지스터의 게이트 단자에 연결된 보상 커패시터인 유기 발광 표시 장치.

**청구항 11**

제 1 항에 있어서,

상기 제2커패시터의 제2전극은 투명도전물인 유기 발광 표시 장치.

**청구항 12**

제 1 항에 있어서,

상기 게이트 전극은 투명도전물을 포함하는 제1층, 및 금속을 포함하는 제2층으로 구비된 유기 발광 표시 장치.

**청구항 13**

제 1 항에 있어서,

상기 화소 전극은 상기 게이트 전극의 투명도전물로 구비된 유기 발광 표시 장치.

**청구항 14**

제 1 항에 있어서,

상기 반도체층은 비정질 실리콘 또는 결정질 실리콘인 유기 발광 표시 장치.

**청구항 15**

제 1 항에 있어서,

상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사 전극인 유기 발광 표시 장치.

**청구항 16**

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 트랜지스터의 반도체층, 제1 및 제2커패시터의 제1전극을 형성하는 제1마스킹 공정;

제1마스킹 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 형성하고 이를 패터닝하여, 트랜지스터의 게이트 전극, 화소 전극, 제1 및 제2커패시터의 제2전극을 형성하는 제2마스킹 공정;

제2마스킹 공정의 결과물 상에 제2절연층을 형성하고, 상기 반도체층의 소스 및 드레인 영역, 상기 화소 전극, 상기 제1커패시터의 제1전극 일부, 및 상기 제2커패시터의 제2전극을 노출시키는 콘택홀들을 형성하는 제3마스킹 공정;

제3마스킹 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접

속하는 소스 및 드레인 전극, 및 상기 제1커패시터의 제3전극을 형성하는 제4마스크 공정; 및

제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 화소 전극의 투명도전물이 노출되도록 제3절연층을 개구시키는 제5마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 17**

제 16 항에 있어서,

상기 제2마스크 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

**청구항 18**

제 16 항에 있어서,

상기 제4마스크 공정은, 상기 화소 전극 및 제2커패시터의 제2전극 상에 적층된 상기 제2금속을 제거하는 제1식각 공정, 상기 화소 전극 및 제2커패시터의 투명도전물 상에 형성된 상기 제1금속을 제거하는 제2식각 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

**청구항 19**

제 16 항에 있어서,

상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각하는 유기 발광 표시 장치의 제조 방법.

**청구항 20**

제 16 항에 있어서,

상기 제4마스크 공정 후, 상기 제2커패시터의 제1전극에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

**청구항 21**

제 16 항에 있어서,

상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 표시 장치로서 주목 받고 있다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명은 제조 공정이 단순하고, 개구율이 우수한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0004] 본 발명의 일 측면에 의하면, 반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의

트랜지스터; 상기 반도체층과 동일층에 형성된 제1전극, 상기 게이트 전극과 동일층에 형성된 제2전극, 및 상기 소스 및 드레인 전극과 동일층에 형성된 제3전극이 구비된 제1커패시터; 상기 반도체층과 동일층에 형성되고 도핑된 이온 불순물을 포함하는 제1전극, 및 상기 게이트 전극과 동일층에 형성된 제2전극이 구비된 제2커패시터; 상기 게이트 전극과 동일층에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소 전극; 상기 화소 전극 상에 위치하는 발광층; 및 상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

- [0005] 본 발명의 다른 특징에 의하면, 상기 제1커패시터는 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선과 연결되고, 상기 전원 전압 공급선과 중첩되도록 위치할 수 있다.
- [0006] 본 발명의 또 다른 특징에 의하면, 상기 적어도 하나의 트랜지스터는 구동 트랜지스터이고, 상기 제1커패시터는 상기 구동 트랜지스터에 전압을 인가하는 저장 커패시터일 수 있다.
- [0007] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제1전극은 이온 불순물이 도핑되지 않은 반도체를 포함할 수 있다.
- [0008] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제1전극과 제3전극은 접속홀을 통하여 연결될 수 있다.
- [0009] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터는 상기 제1전극과 상기 제2전극 사이에 형성된 제1정전용량, 및 상기 제2전극과 상기 제3전극 사이에 형성된 제2정전용량이 병렬 연결될 수 있다.
- [0010] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제2전극은 상기 게이트 전극과 동일한 물질을 포함할 수 있다.
- [0011] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제3전극은 상기 소스 및 드레인 전극과 동일한 물질을 포함할 수 있다.
- [0012] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제3전극은 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선을 포함할 수 있다.
- [0013] 본 발명의 또 다른 특징에 의하면, 상기 제2커패시터는 구동 트랜지스터의 게이트 단자에 연결된 보상 커패시터일 수 있다.
- [0014] 본 발명의 또 다른 특징에 의하면, 상기 제2커패시터의 제2전극은 투명도전물일 수 있다.
- [0015] 본 발명의 또 다른 특징에 의하면, 상기 게이트 전극은 투명도전물을 포함하는 제1층, 및 금속을 포함하는 제2층을 구비할 수 있다.
- [0016] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 상기 게이트 전극의 투명도전물로 구비될 수 있다.
- [0017] 본 발명의 또 다른 특징에 의하면, 상기 반도체층은 비정질 실리콘 또는 결정질 실리콘일 수 있다.
- [0018] 본 발명의 또 다른 특징에 의하면, 상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사 전극일 수 있다.
- [0019] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 트랜지스터의 반도체층, 제1 및 제2커패시터의 제1전극을 형성하는 제1마스크 공정; 제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 형성하고 이를 패터닝하여, 트랜지스터의 게이트 전극, 화소 전극, 제1 및 제2커패시터의 제2전극을 형성하는 제2마스크 공정; 제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 반도체층의 소스 및 드레인 영역, 상기 화소 전극, 상기 제1커패시터의 제1전극 일부, 및 상기 제2커패시터의 제2전극을 노출시키는 콘택홀들을 형성하는 제3마스크 공정; 제3마스크 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접속하는 소스 및 드레인 전극, 및 상기 제1커패시터의 제3전극을 형성하는 제4마스크 공정; 및 제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 화소 전극의 투명도전물이 노출되도록 제3절연층을 개구시키는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0020] 본 발명의 다른 특징에 의하면, 상기 제2마스크 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑할 수 있다.
- [0021] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정은, 상기 화소 전극 및 제2커패시터의 제2전극 상에 적층된 상기 제2금속을 제거하는 제1식각 공정, 상기 화소 전극 및 제2커패시터의 투명도전물 상에 형성된 상기

제1금속을 제거하는 제2식각 공정을 포함할 수 있다.

- [0022] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각할 수 있다.
- [0023] 본 발명의 또 다른 특징에 의하면, 상기 제4마스크 공정 후, 상기 제2커패시터의 제1전극에 이온 불순물을 도핑할 수 있다.
- [0024] 본 발명의 또 다른 특징에 의하면, 상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성할 수 있다.

**발명의 효과**

- [0025] 상기와 같은 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.
- [0026] 첫째, 저장 커패시터를 전원전압공급 라인에 중첩하여 형성함으로써, 발광 영역의 면적 증가에 따른 개구율을 향상시킬 수 있다.
- [0027] 둘째, 저장 커패시터를 병렬 연결함으로써 정전용량을 향상시킬 수 있다.
- [0028] 셋째, 보상 커패시터를 MIM CAP 구조로 형성함으로써 회로의 전압 설계 마진을 향상시킬 수 있다.
- [0029] 넷째, 5마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

**도면의 간단한 설명**

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 픽셀을 개략적으로 도시한 평면도이다.
- 도 2는 도 1의 회로도이다.
- 도 3a는 도 1의 A-A를 따라 취한 단면도이다.
- 도 3b는 도 1의 B-B를 따라 취한 단면도이다.
- 도 4는 본 발명의 비교예에 따른 유기 발광 표시 장치에 포함된 하나의 픽셀을 개략적으로 도시한 평면도이다.
- 도 5는 도 4의 회로도이다.
- 도 6a는 도 4의 A'-A'를 따라 취한 단면도이다.
- 도 6b는 도 4의 B'-B'를 따라 취한 단면도이다.
- 도 7a 내지 도 11b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)에 포함된 하나의 픽셀을 개략적으로 도시한 평면도, 도 2는 도 1의 회로도, 도 3a는 도 1의 A-A를 따라 취한 단면도, 도 3b는 도 1의 B-B를 따라 취한 단면도,
- [0033] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 픽셀 내부에는 스캔 라인(S), 데이터 라인(D), 전원전압공급 라인(V), 보상제어신호 라인(CC)과 같은 복수의 도전 라인들과, 발광 영역(EL1)을 포함하는 픽셀부(PXL1), 제1 내지 제3박막 트랜지스터(TR1, TR2, TR3), 및 제1커패시터(Cst) 및 제2커패시터(Cvt h)가 구비된다.
- [0034] 도 1은 본 발명을 설명하기 위한 일 예이며, 본 발명은 이에 한정되는 것은 아니다. 즉, 도 1에 도시된 도전 라인들 외에 다른 도전 라인들이 더 구비될 수 있으며, 보상제어신호 라인(CC)과 같은 일부 도전 라인은 모든 픽셀마다 구비되지 않을 수 있으며, 이웃하는 픽셀에 공통으로 사용될 수 있다. 또한, 박막 트랜지스터 및 커패시터의 개수도 반드시 도시된 실시예에 한정되는 것은 아니며, 화소 회로부에 따라 3 이상의 박막 트랜지스터, 2

이상의 커패시터가 조합될 수 있다.

- [0035] 도 2를 참조하면, 제1박막 트랜지스터(TR1)의 게이트 전극은 스캔 라인(S)에 연결되고, 제1박막 트랜지스터(TR1)의 제1전극은 데이터 라인(D)에 연결된다. 제2박막 트랜지스터(TR2)의 게이트 전극은 제2커패시터(Cvth)를 통하여 제1박막 트랜지스터(TR1)의 제2전극과 연결되고, 제2박막 트랜지스터(TR2)의 제1전극은 전원전압 공급 라인(V)에 연결되고, 제2전극은 OLED의 애노드에 연결된다. 제3박막 트랜지스터(TR3)의 게이트 전극은 보상제어 신호 라인(CC)에 연결되고, 제3박막 트랜지스터(TR3)의 제1전극은 제2박막 트랜지스터(TR2)의 게이트 전극에 연결되고, 제2전극은 제2박막 트랜지스터(TR2)의 제2전극에 연결된다. 이때, 제1박막 트랜지스터(TR1)는 스위칭 트랜지스터가 되고, 제2박막 트랜지스터(TR2)는 구동 트랜지스터가 되고, 제3박막 트랜지스터(TR3)는 문턱 전압(Vth)을 보상하기 위한 보상 트랜지스터가 된다. 도 3에서 제1박막 트랜지스터(TR1), 제2박막 트랜지스터(TR2), 제3박막 트랜지스터(TR3)는 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다.
- [0036] 제1커패시터(Cst)는 제1박막 트랜지스터(TR1)의 제2전극과 전원전압공급 라인(V) 사이에 연결된다. 제1커패시터(Cst)는 병렬된 연결된 2개의 커패시터(Cst1, Cst2)를 포함한다. 제2커패시터(Cvth)는 제1박막 트랜지스터(TR1)의 제2전극과 제2박막 트랜지스터(TR2)의 게이트 전극 사이에 연결된다. 제1커패시터(Cst)는 제1박막 트랜지스터(TR1)에 데이터 신호가 인가되는 동안 데이터 신호를 저장하는 저장 커패시터이고, 제2커패시터(Cvth)는 문턱 전압(Vth)의 불균일을 보상하기 위한 보상 커패시터가 된다.
- [0037] 도 3a를 참조하면, 제1박막 트랜지스터(TR1)는 기판(10) 상에 구비된 반도체층(211), 게이트 전극(213, 214), 소스 및 드레인 전극(216)을 포함한다. 상기 도면에는 제1박막 트랜지스터(TR1)의 단면 형상만 도시되어 있으나, 제2박막 트랜지스터(TR2)와 제3박막 트랜지스터(TR3)는 제1박막 트랜지스터(TR1)와 동일한 단면을 가진다.
- [0038] 기판(10) 글라스재 또는 플라스틱재와 같은 다양한 재질로 형성될 수 있다. 단, 기판(10) 측으로 화상이 구현되는 배면 발광형의 경우, 기판(10)은 투명재질로 구비되는 것이 바람직하다.
- [0039] 상기 도면에는 도시되어 있지 않으나, 기판(10)의 상부에 평활한 면을 형성하고 기판(10) 상부로 불순 원소가 침투하는 것을 차단하기 위하여 기판(10)의 상부에 버퍼층(미도시)을 더 형성할 수 있다. 버퍼층은 SiO<sub>2</sub> 및/또는 SiNx 등으로 형성할 수 있다.
- [0040] 반도체층(211)은 비정질 실리콘 또는 결정질 실리콘을 포함할 수 있으며, 채널 영역(211c)과, 채널 영역(211c) 외측에 이온 불순물이 도핑된 소스 및 드레인 영역(211a)을 포함한다. 소스 및 드레인 영역(211a)은 3족 원소로 도핑하여 p-type, 5족 원소로 도핑하여 n-type 반도체로 형성할 수 있다.
- [0041] 반도체층(211) 상에는 게이트 절연막인 제1절연층(12)을 사이에 두고 반도체층(211)의 채널 영역(211c)에 대응되는 위치에 제1게이트 전극(213), 및 제2게이트 전극(214)이 차례로 형성된다.
- [0042] 제1절연층(12)은 반도체층(211)과 제1 및 제2 게이트 전극(213, 214)을 절연하는 것으로 SiNx 및/또는 SiO<sub>2</sub>와 같은 무기막으로 형성할 수 있다.
- [0043] 제1게이트 전극(213)과 제2게이트 전극(214)는 에칭 선택비가 서로 다른 도전물로 구비될 수 있다. 예를 들어, 제1 및 제2 게이트 전극(213, 214)는, ITO와 같은 투명도전물, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 에칭 선택비가 다른 물질로 선택될 수 있다. 본 실시예에서 제1게이트 전극(213)으로 투명도전물인 ITO가 사용되었고, 제2게이트 전극(214)으로 삼중층의 Mo/Al/Mo이 사용되었다. 한편, 제1게이트 전극(213)의 투명도전물로는 ITO 이외에도 IZO, ZnO 및 In<sub>2</sub>O<sub>3</sub>로 이루어지는 군으로부터 선택될 수 있다.
- [0044] 제1 및 제2 게이트 전극(213, 214) 상에는 제2절연층(15)이 구비된다. 제2절연층(15)은 제1 및 제2게이트 전극(213, 214)과 소스 및 드레인 전극(216)을 절연하는 층간 절연막으로 기능한다.
- [0045] 제2절연층(15)은 다양한 절연 물질로 형성할 수 있다. 예를 들어 산화물, 질화물과 같은 무기물로도 형성이 가능하고 유기물로도 형성이 가능하다. 제2절연층(15)을 형성하는 무기 절연막으로는 SiO<sub>2</sub>, SiNx, SiON, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, HfO<sub>2</sub>, ZrO<sub>2</sub>, BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 또한, 제2절연층(15)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.

- [0046] 소스 및 드레인 전극(216)이 반도체층(211)의 소스 및 드레인 영역(211a)에 접촉한다. 상기 도면에는 소스 및 드레인 전극(216)이 하나의 층으로 도시되어 있으나, 본 발명은 이에 한정되지 않으며 소스 및 드레인 전극(216)은 복수의 층으로 형성될 수 있다.
- [0047] 도 3a를 참조하면, 기판(10) 상에 픽셀부(PXL1)가 구비된다. 픽셀부(PXL1)는 제1화소 전극(113), 발광층(118), 및 대향 전극(119)을 포함한다.
- [0048] 제1화소 전극(113)은 제1게이트 전극(213)과 동일층에 형성되고, 제1게이트 전극(213)과 동일한 투명도전물로 형성된다. 투명도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0049] 제1화소 전극(113) 상에는 발광층(118)이 형성되고, 발광층(118)에서 방출된 광은 투명도전물로 형성된 제1화소 전극(113)을 통하여 기판(10) 측으로 방출된다.
- [0050] 제1절연층(12) 및 제1화소 전극(113) 상부에 제3절연층(17)이 형성되고, 제3절연층(17)에는 화소 전극(114) 상부를 노출시키는 개구(C5)가 형성된다. 상기 개구(C5) 내부에 발광층(118)이 구비된다. 발광층(118)은 발광 영역(EL1)을 결정한다.
- [0051] 발광층(118)은 저분자 유기물 또는 고분자 유기물일 수 있다. 발광층(118)이 저분자 유기물일 경우, 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0052] 한편, 발광층(118)이 고분자 유기물일 경우, 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0053] 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1화소 전극(113)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0054] 대향 전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향 전극(119)이 반사 전극으로 구비됨으로써, 발광층(118)에서 방출된 빛은 대향 전극(119)에 반사되어 투명도전물로 구성된 제1화소 전극(113)을 투과하여 기판(10) 측으로 방출된다.
- [0055] 도 3b를 참조하면, 기판(10) 상에 제1커패시터(Cst)가 구비된다. 제1커패시터(Cst)는 반도체층(211)과 동일층에 형성된 제1전극(311c), 게이트 전극(213, 214)과 동일층에 형성된 제2전극(313, 314), 및 소스 및 드레인 전극(216)과 동일층에 형성된 제3전극(316)을 포함한다.
- [0056] 제1커패시터(Cst)는 회로적으로 전원전압공급 라인(V, 도 1 참조)에 연결되고, 구조적으로 상기 전원전압공급 라인(V)과 중첩되도록 구비된다.
- [0057] 제1커패시터(Cst)의 제1전극(311c)은 전원전압공급 라인(V)을 따라 그 하부에 위치하고, 반도체층(211)의 채널 영역(211c)과 동일한 비정질 반도체 또는 결정질 반도체로 형성된다. 제1커패시터(Cst)의 제1전극(311c)을 구성하는 반도체는 이온 불순물을 포함하지 않는다.
- [0058] 제1커패시터(Cst)의 제1전극(311c) 상에 제1절연층(12)이 형성되고, 제1절연층(12) 상에 게이트 전극(213, 214)과 동일한 물질인 제2전극(313, 314)이 구비된다. 제2전극의 제1층(313)은 제1게이트 전극(213)과 동일한 투명도전물로 구비되고, 제2전극의 제2층(314)은 제2게이트 전극(214)과 동일한 금속으로 구비된다. 제1커패시터(Cst)의 제2전극(313, 314)도 전술한 전원전압공급 라인(V)을 따라 그 하부에 위치하도록 구비된다.

- [0059] 제1커패시터(Cst)의 제2전극(313, 314) 상에 제2절연층(15)이 형성되고, 제2절연층(15) 상에 소스 및 드레인 전극(216)과 동일한 물질을 포함하는 제1커패시터(Cst)의 제3전극(316)이 구비된다. 제3전극(316)은 전원전압공급 라인(V)을 따라 형성된다. 이때, 제3전극(316)은 접속홀(C4)을 통하여 제1전극(311c)과 접속된다. 이로써, 제1커패시터(Cst)는 제1전극(311c)과 제2전극(313, 314) 사이에 형성되는 제1정전용량, 및 제2전극(313, 314)과 제3전극(316) 사이에 형성되는 제2정전용량을 가지는 두 개의 커패시터(Cst1, Cst2, 도 3 참조)가 병렬 연결된다. 따라서, 제1커패시터(Cst)의 정전용량이 증가될 수 있다.
- [0060] 전원전압공급 라인(V)은 일반적으로 스캔 라인(S)이나 데이터 라인(D)에 비하여 상대적으로 넓은 폭을 구비하도록 형성되며, 반사율이 높은, 또는 투과율이 낮은 금속으로 형성된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1커패시터(Cst)를 투과율이 낮은 전원전압공급 라인(V)과 중첩되도록 위치시킴으로써, 제1커패시터(Cst)를 전원전압공급 라인(V)에 중첩되지 않는 픽셀 내부의 별도의 영역에 형성하는 경우에 비하여, 유기 발광 표시 장치의 개구율을 향상시킬 수 있다.
- [0061] 도 3b를 참조하면, 기판(10) 상에 제2커패시터(Cvth)가 구비된다. 제2커패시터(Cvth)는 반도체층(211)과 동일층에 형성된 제1전극(411a)과, 제1게이트 전극(213)과 동일층에 형성된 제2전극(413)를 포함한다.
- [0062] 제2커패시터(Cvth)의 제1전극(411a)은 박막 트랜지스터의 반도체층(211)과 동일한 물질을 포함한다. 제2커패시터(Cvth)의 제2전극(413)은 제1게이트 전극(213)과 동일한 투명도전물로 형성된다. 특히, 제1전극(411a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(413)과 함께 MIM(metal-insulator-metal) CAP 구조를 형성한다.
- [0063] MIM CAP 구조는 일반적으로 MOS(Metal Oxide Semiconductor) CAP 구조에 비하여 폭넓은 전압 범위에서 일정한 정전용량을 유지할 수 있다. 따라서, 회로 설계시 전압 설계 마진을 향상시킬 수 있다.
- [0064] 제1커패시터(Cst)의 제3전극(316) 및 제2커패시터(Cvth)의 제2전극(142) 상에 제3절연층(17)이 형성되고, 제3절연층(17) 상에는 공통 전극인 대향 전극(119)이 구비된다.
- [0065] 도 4는 본 발명의 비교예에 따른 유기 발광 표시 장치(2)에 포함된 하나의 픽셀을 개략적으로 도시한 평면도로서, 제1커패시터(Cst')가 전원전압공급(V') 라인에 중첩되지 않는 픽셀 내부의 별도 영역에 형성된 경우를 도시한 것이다. 도 5는 도 4의 회로도이고, 도 6a는 도 4의 A'-A'를 따라 취한 단면도이고, 도 6b는 도 4의 B'-B'를 따라 취한 단면도이다.
- [0066] 도 4를 참조하면, 본 비교예에 따른 유기 발광 표시 장치(2)의 픽셀 내부에는 스캔 라인(S), 데이터 라인(D), 전원전압공급 라인(V'), 보상제어신호 라인(CC)과 같은 복수의 도선 라인들과, 발광 영역(EL2)을 포함하는 픽셀부(PXL2), 제1 내지 제3박막 트랜지스터(TR1, TR2, TR3), 및 제1커패시터(Cst') 및 제2커패시터(Cvth)가 구비된다.
- [0067] 도 5를 참조하면, 본 비교예에 따른 유기 발광 표시 장치(2)는 저장 커패시터인 제1커패시터(Cst')가 병렬이 아닌 단독으로 구비된다는 점에서, 전술한 본 실시예에 따른 유기 발광 표시 장치(1)와 회로적으로 구별된다.
- [0068] 도 6a를 참조하면, 기판(10) 상에 제1박막 트랜지스터(TR1), 제1커패시터(Cst'), 픽셀부(PXL2)가 구비된다. 제1박막 트랜지스터(TR1)는 반도체층(21), 게이트 전극(23, 24), 소스 및 드레인 전극(26)을 포함한다. 픽셀부(PXL2)는 화소 전극(13), 발광층(18), 및 대향 전극(19)을 포함한다.
- [0069] 화소 전극(13)은 제1게이트 전극(23)과 동일층에 형성되고, 제1게이트 전극(23)과 동일한 투명도전물로 형성된다. 화소 전극(13) 상에는 발광층(18)이 형성되고, 발광층(18)에서 방출된 광은 투명도전물로 형성된 제1화소 전극(13)을 통하여 기판(10) 측으로 방출된다.
- [0070] 픽셀부(PXL2)와 제1박막 트랜지스터(TR1) 사이에 저장 커패시터인 제1커패시터(Cst')가 구비된다. 비교예의 제1커패시터(Cst')는 반도체층(21)과 동일층에 형성된 제1전극(51a)과, 게이트 전극(23, 24)과 동일층에 형성된 제2전극(53)을 포함한다. 이때, 제1전극(51a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(53)과 함께 MIM CAP 구조가 된다. 이와 같은 MIM CAP 구조는 전체적으로 투과율이 낮아 발광층(18)에서 방출된 빛이 투과되기 어렵다. 따라서, 발광층(18)에 의해 결정되는 발광영역(EL2)이 전술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 발광영역(EL1)보다 좁아진다. 결과적으로 개구율이 저하된다.
- [0071] 도 6b를 참조하면, 기판(10) 상에 전원전압공급 라인(V)과 제2커패시터(Cvth)가 구비된다.
- [0072] 전원전압공급 라인(V)은 제1절연층(12) 상에 제1게이트 전극(13)과 동일한 물질로 형성된 제1층(33), 및 제2계

이트 전극(14)과 동일한 물질로 형성된 제2층(34)을 포함한다. 제1층(33) 및 제2층(34) 상에 제2절연층(15)이 구비되고, 제2절연층(15) 상에 소스 및 드레인 전극(26)과 동일한 물질로 형성된 제3층(36)을 포함한다.

- [0073] 제2커패시터(Cvht)는 반도체층(21)과 동일층에 형성된 제1전극(41a)과, 제1게이트 전극(23)과 동일층에 형성된 제2전극(43)을 포함한다. 제2커패시터(Cvth)의 제1전극(41a)은 박막 트랜지스터의 반도체층(21)과 동일한 물질을 포함한다. 제2커패시터(Cvth)의 제2전극(43)은 제1게이트 전극(23)과 동일한 투명도전물로 형성된다. 특히, 제1전극(41a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(43)과 함께 MIM CAP 구조를 형성한다.
- [0074] 따라서, 본 비교예에 따른 유기 발광 표시 장치(2)는 제1커패시터(Cst')가 전원전압공급 라인(V')과 중첩되지 않는 픽셀 내부의 별도 영역에 형성되기 때문에, 발광층(18)에 의해 결정되는 발광 영역(EL2)이 형성되는 면적이 좁다. 따라서 개구율이 낮아진다.
- [0075] 이하, 도 7a 내지 도 11b를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0076] 도 7a 및 7b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0077] 도 7a를 참조하면, 기판(10) 상에 제1박막 트랜지스터의 반도체층(211)이 형성되고, 도 7b를 참조하면 기판(10) 상에 제1커패시터(Cst)의 제1전극(311c) 및 제2커패시터(Cvth)의 제1전극(411c)이 형성된다.
- [0078] 상기 도면에는 도시되어 있지 않지만, 기판(10) 상에는 반도체층 형성 물질(미도시)이 증착되고, 반도체층 형성 물질(미도시) 상에 포토레지스터(미도시)가 도포된다. 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층 형성 물질(미도시)이 패터닝되어, 제1박막 트랜지스터(TR1)의 반도체층(211), 및 제1커패시터(Cst)의 제1전극(311c) 및 제2커패시터(Cvth)의 제1전극(411c)이 동시에 형성된다. 상기 도면에는 도시되어 있지만, 제2박막 트랜지스터(TR2), 및 제3박막 트랜지스터(TR3)도 제1박막 트랜지스터(TR1)와 동일하게 형성된다.
- [0079] 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0080] 반도체층(211)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. ]
- [0081] 도 8a 및 8b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0082] 도 8a를 참조하면, 도 7a의 제1마스크 공정의 결과물 상에 제1절연층(12)이 적층되고, 제1절연층(12) 상에 제1게이트 전극(213) 및 제2게이트 전극(214)이 순차로 적층되고, 픽셀부(PXL1)에 제1화소 전극(113) 및 제2화소 전극(114)이 순차로 적층된다.
- [0083] 도 8b를 참조하면, 도 7b의 제1마스크 공정의 결과물 상에 제1절연층(12)이 형성되고, 제1절연층(12) 상에 제1커패시터(Cst)의 제2전극의 제1층(313) 및 제2층(314)이 순차로 적층되고, 제2커패시터(Cvth)의 제2전극의 제1층(413) 및 제2층(414)이 순차로 적층된다.
- [0084] 제1게이트 전극(213), 제1화소 전극(113), 제1커패시터(Cst)의 제2전극의 제1층(313) 및 제2커패시터(Cvth)의 제2전극의 제1층(413)은 동일층에 동시에 형성되고, ITO, IZO, ZnO 및 In2O3로 이루어지는 균으로부터 선택될 수 있는 동일한 투명도전물로 형성된다.
- [0085] 제2게이트 전극(214), 제2화소 전극(114), 제1커패시터(Cst)의 제2전극의 제2층(314) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)은 동일층에 동시에 형성되고, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 재료로 형성될 수 있다.

- [0086] 상기와 같은 구조물 위에 이온 불순물을 도핑(D1)한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며,  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 이상의 농도로 박막 트랜지스터의 반도체층(211)을 타겟으로 하여 도핑한다.
- [0087] 이때, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인(self align) 마스크로 사용하여 반도체층(211)에 이온 불순물을 도핑함으로써 반도체층(211)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a)을 형성할 수 있다.
- [0088] 도 9a 및 9b은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0089] 도 9a 및 9b를 참조하면, 도 8a 및 8b의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제2절연층(15)을 패터닝하여 제2화소 전극(114)의 상부를 노출시키는 제1콘택홀(C1), 반도체층(211)의 소스 및 드레인 영역(211a)의 일부를 노출시키는 제2콘택홀(C2), 제2커패시터(Cvth)의 제2전극의 제2층(314)의 상부를 노출시키는 제3콘택홀(C3), 및 제1커패시터(Cst)의 제1전극(311c)의 일부를 노출시키는 제4콘택홀(C4)이 형성된다.
- [0090] 도 10a 및 10b은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0091] 도 10a를 참조하면, 도 9a의 제3마스크 공정의 결과물 상에, 소스 및 드레인 영역(211a)에 각각 접속하는 소스 및 드레인 전극(216)이 형성되고, 픽셀부(PXL1)의 제2화소 전극(114)이 제거된다.
- [0092] 도 10b를 참조하면, 도 9b의 제3마스크 공정의 결과물 상에, 제1커패시터(Cst)의 제1전극(311c)에 접속하는 제1커패시터(Cst)의 제3전극(316)이 형성되고, 제2커패시터(Cvth)의 제2전극의 제2층(414)이 제거된다.
- [0093] 상기 제4마스크 공정은 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414) 상에 적층된 소스 및 드레인 전극(216)을 형성하는 도전물을 식각하는 제1식각 공정과, 제1식각 공정 후 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)을 제거하는 제2식각 공정을 포함할 수 있다. 식각 공정의 분리는 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)을 형성하는 재료와 소스 및 드레인 전극(216)의 재료가 이종일 때 바람직하며, 만약 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)을 형성하는 재료와 소스 및 드레인 전극(216)의 재료가 동종인 경우에는 한번의 식각 공정이 가능함은 물론이다.
- [0094] 제4마스크 공정 후, 상기와 같은 구조물 위에 이온 불순물을 도핑(D2)한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며,  $1 \times 10^{15}$  atoms/cm<sup>2</sup> 이상의 농도로 제2커패시터(Cvth)의 제1전극(411c)을 타겟으로 하여 도핑한다.
- [0095] 제2커패시터(Cvth)의 제2전극의 제1층(413)은 두께가 1000Å 이하로 얇게 형성되기 때문에 이온 불순물은 제1층(413)을 통과하여 제1전극(411c)에 도핑된다. 그 결과 이온 불순물이 도핑된 제1전극(411a)은 제2커패시터(Cvth)의 제2전극의 제2층(413)과 함께 MIM CAP 구조를 형성하므로 회로 설계시 전압 설계 마진을 향상시킬 수 있다.
- [0096] 한편, 제1커패시터(Cst)의 제1전극(311c)은, 제1전극(311c) 상부에 상당한 두께로 형성된 제2전극의 제2층(314) 및 제3전극(316)이 차단막으로 기능하여 이온 불순물이 도핑되지 않는다.
- [0097] 도 11a 및 11b은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0098] 도 11a 및 11b를 참조하면, 도 10a 및 10b의 제4마스크 공정의 결과물 상에 제3절연층(17)을 형성하고, 제1화소 전극(113)의 상면을 노출시키는 개구(C5)를 형성한다.
- [0099] 개구(C5) 내부에 전술한 발광층(118, 도 3a 참조)이 구비됨으로써, 제1화소 전극(113) 및 대향 전극(119, 도 3a 참조)의 전압 인가에 의해 발광층(118)이 발광한다. 따라서, 발광 영역(EL1)이 확대되어 개구율을 증가시킬 수 있다.
- [0100] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

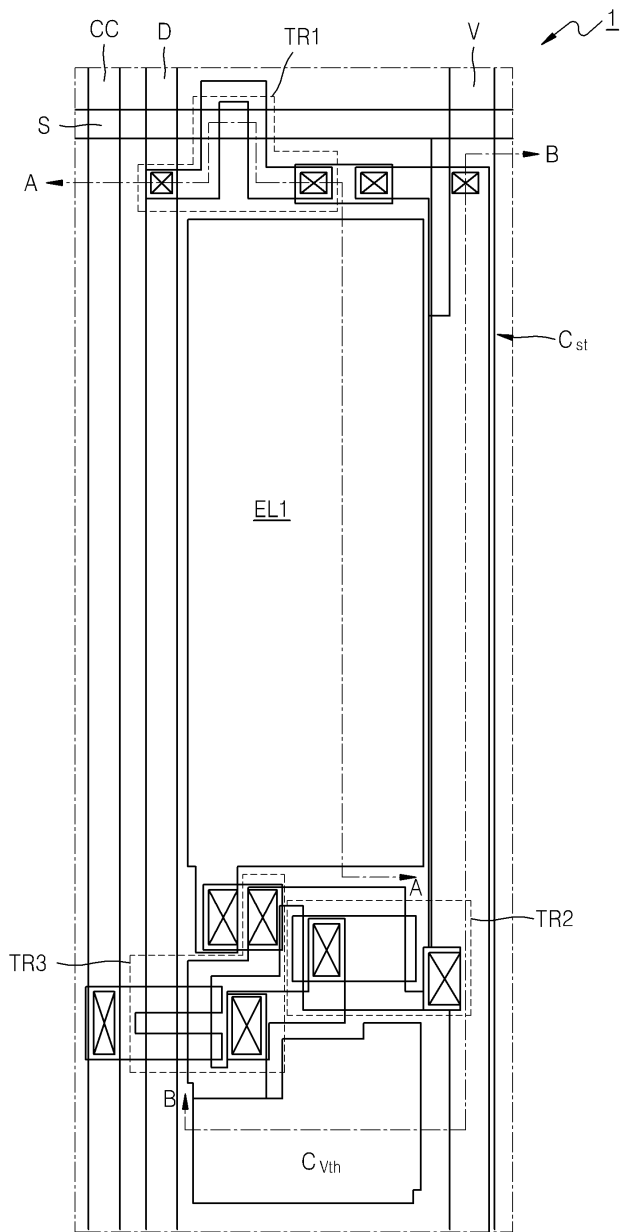
[0101]

1: 유기 발광 표시 장치

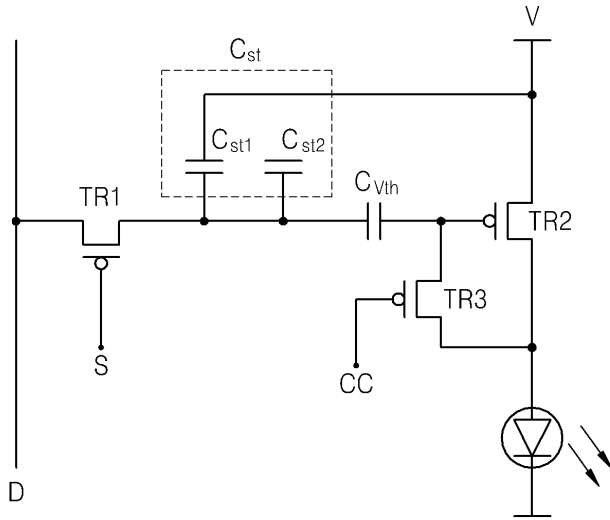
- |                       |                   |
|-----------------------|-------------------|
| 10: 기관                | 12: 제1절연층         |
| 15: 제2절연층             | 17: 제3절연층         |
| 113: 제1화소 전극          | 114: 제2화소 전극      |
| 118: 발광층              | 119: 대향 전극        |
| 211: 반도체층             | 211a: 소스 및 드레인 영역 |
| 211c: 채널 영역           | 213: 제1게이트 전극     |
| 214: 제2게이트 전극         | 216: 소스 및 드레인 전극  |
| 311a: 제1커패시터의 제1전극    |                   |
| 313: 제1커패시터의 제2전극 제1층 |                   |
| 314: 제1커패시터의 제2전극 제2층 |                   |
| 316: 제1커패시터의 제3전극     |                   |
| 411a: 제2커패시터의 제1전극    |                   |
| 413: 제2커패시터의 제2전극 제1층 |                   |
| 414: 제2커패시터의 제2전극 제2층 |                   |
| S: 스캔 라인              | D: 데이터 라인         |
| V: 전원전압공급 라인          | CC: 보상제어신호 라인     |
| PXL1: 픽셀부             | TR1~TR3: 박막 트랜지스터 |
| Cst: 제1커패시터           | Cvth: 제2커패시터      |
| C1~C5: 콘택홀            |                   |

도면

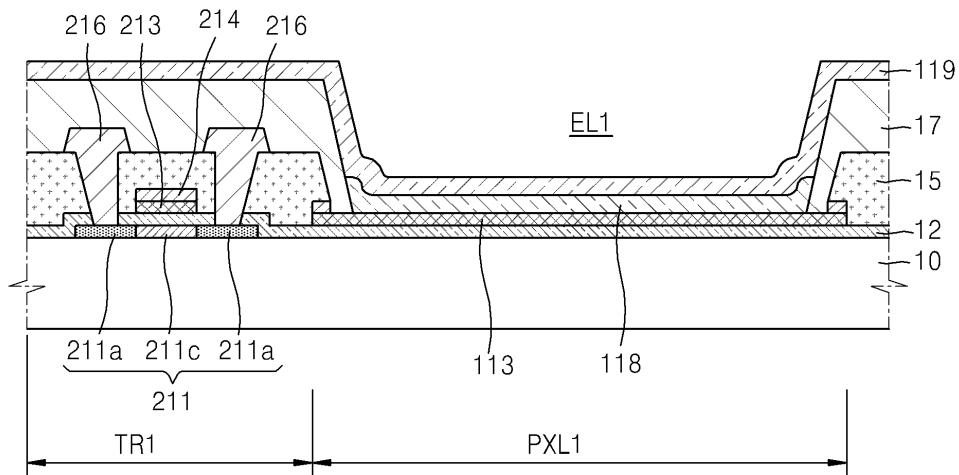
도면1



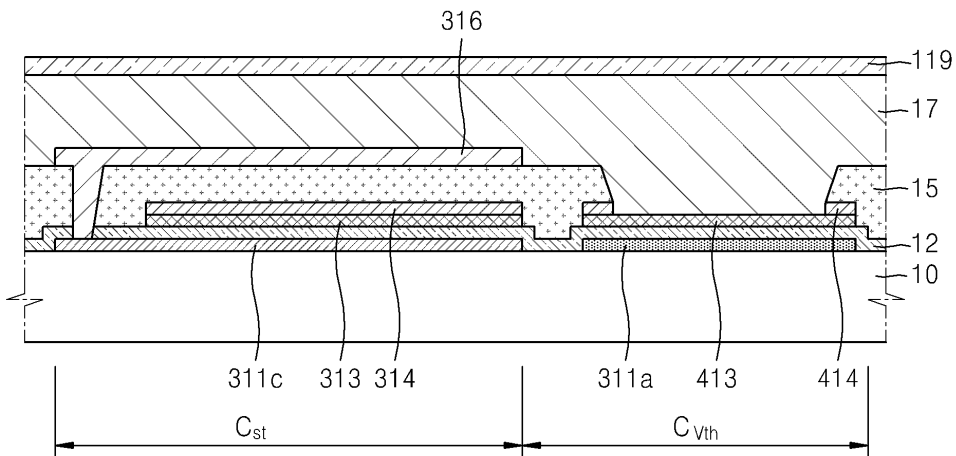
도면2



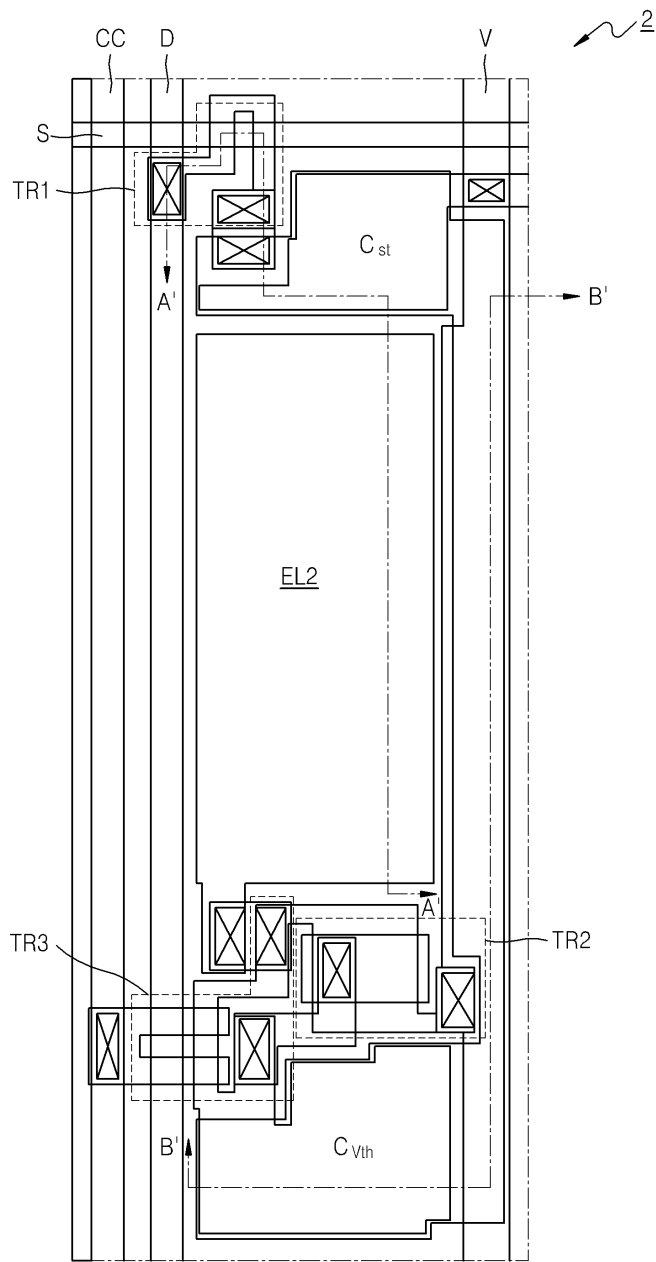
도면3a



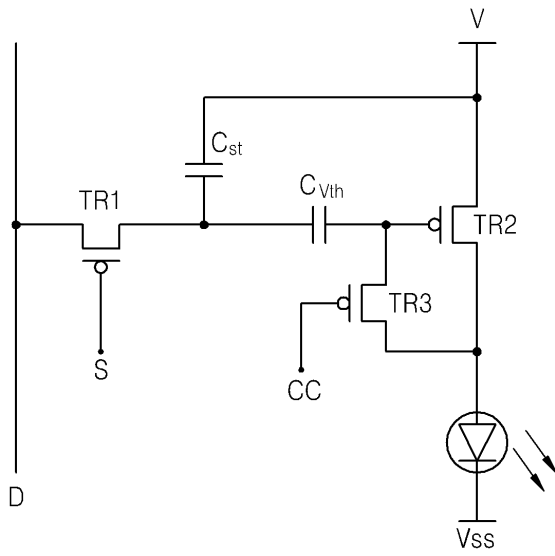
도면3b



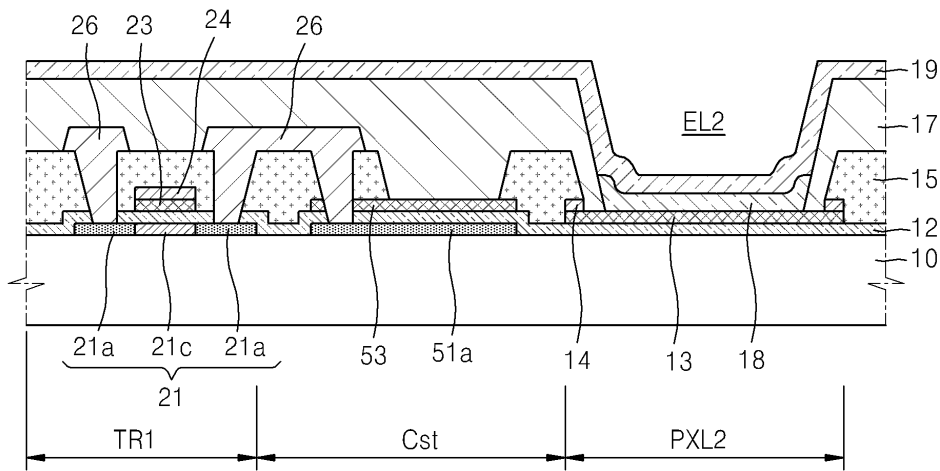
도면4



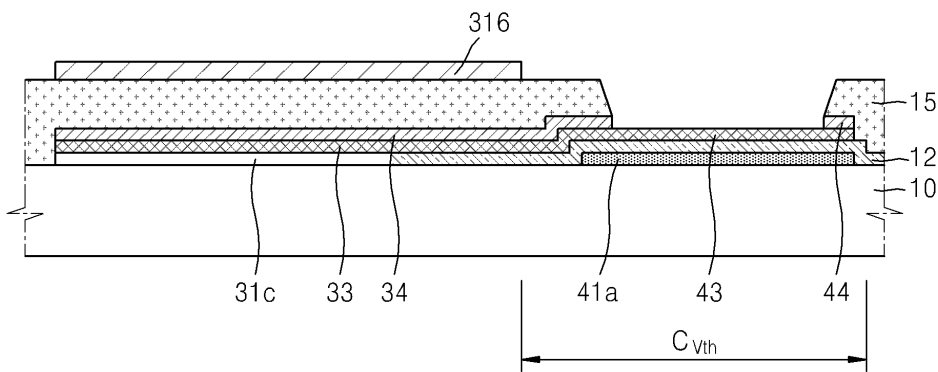
도면5



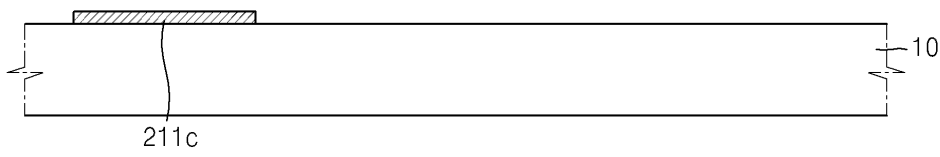
도면6a



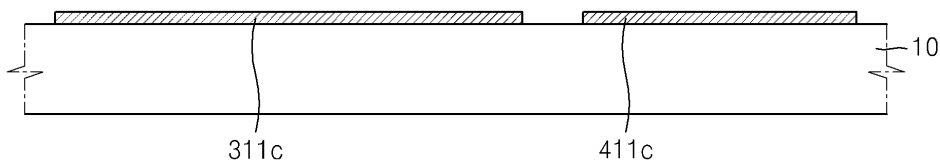
도면6b



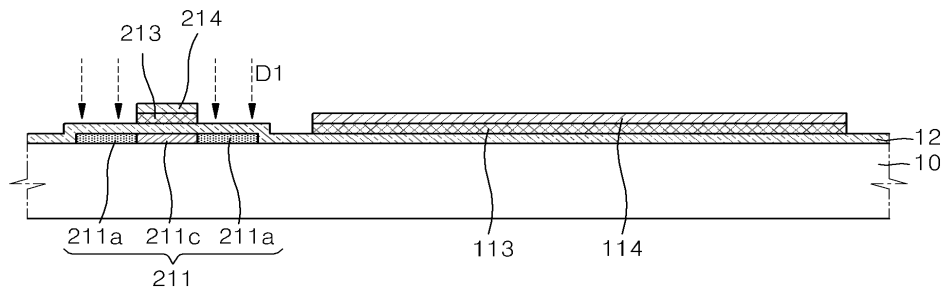
도면7a



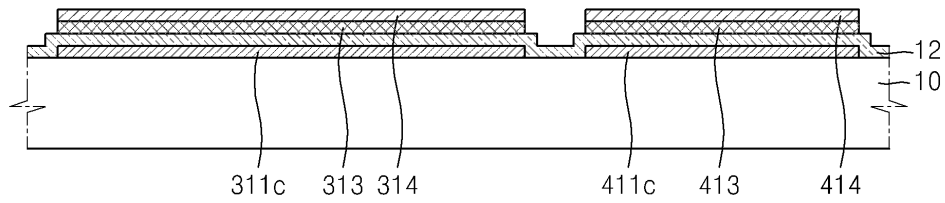
도면7b



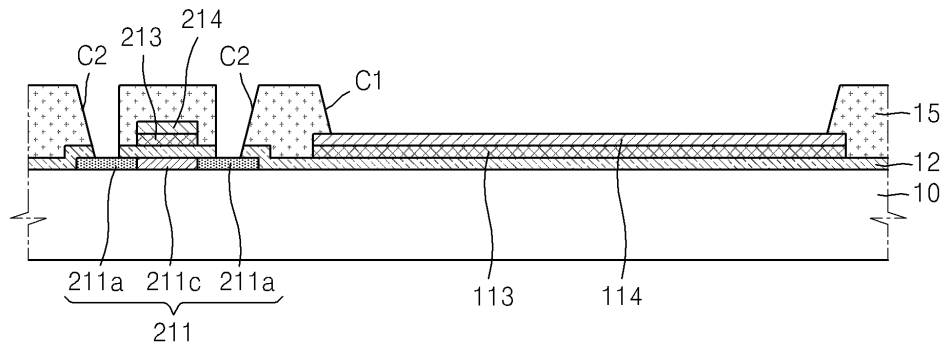
도면8a



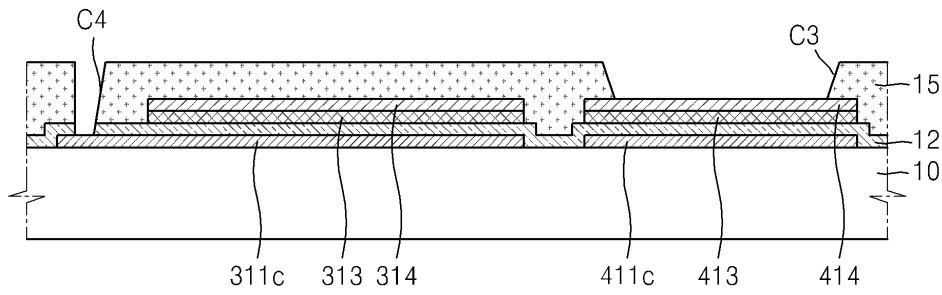
도면8b



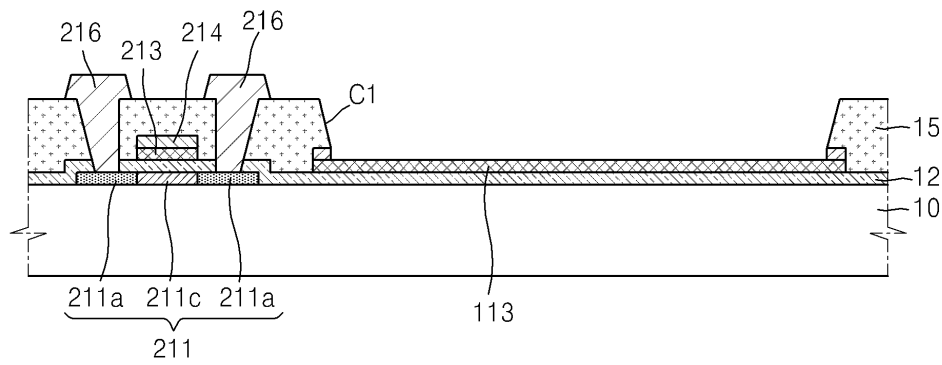
도면9a



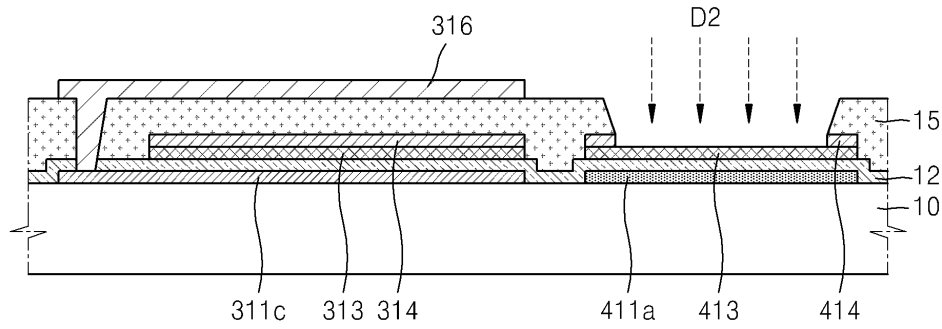
도면9b



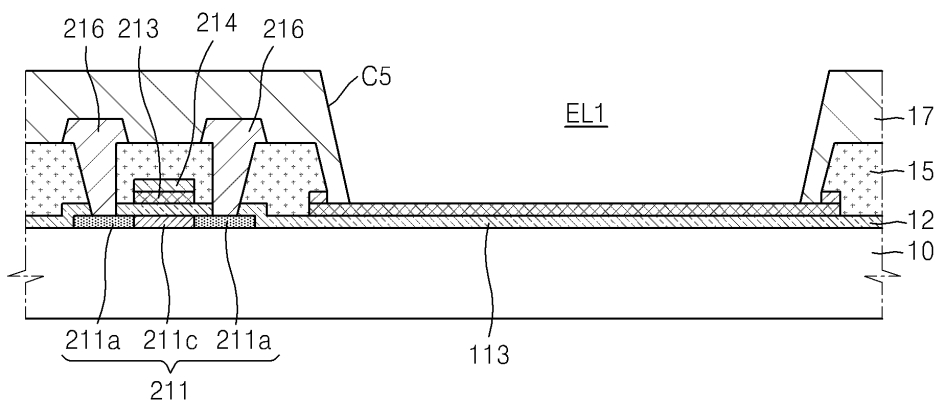
도면10a



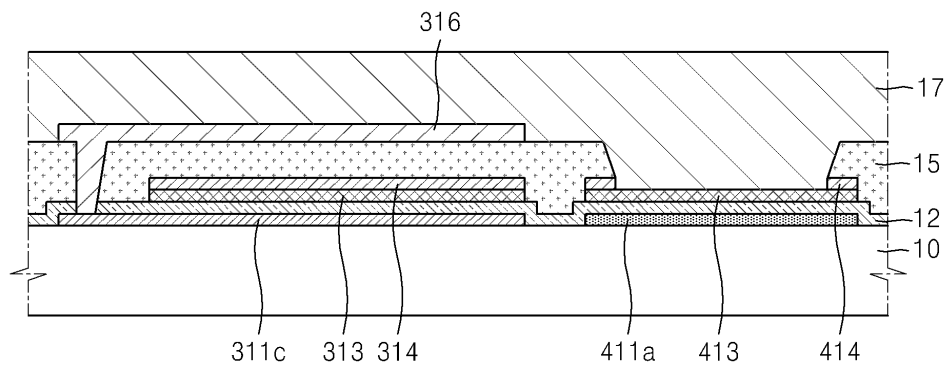
도면10b



도면11a



도면11b



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	<a href="#">KR101736319B1</a>	公开(公告)日	2017-05-17
申请号	KR1020100127856	申请日	2010-12-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE YUL KYU 이율규 YOU CHUN GI 유춘기 PARK SUN 박선 PARK JONG HYUN 박종현 MOON SANG HO 문상호 KIM NA YOUNG 김나영		
发明人	이율규 유춘기 박선 박종현 문상호 김나영		
IPC分类号	H01L51/52 H01L27/02 H01L51/56		
CPC分类号	H01L27/326 H01L27/3265 H01L27/1255 H01L29/78645 H01L29/78696 H01L2227/323 H01L29/4908		
其他公开文献	KR1020120066491A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

用途：提供一种有机发光显示装置及其制造方法，通过将存储电容器与电源电压供给线重叠来提高开口率。组成：第一薄膜晶体管 (TR1) 的栅极连接到扫描线 (S)。第二薄膜晶体管 (TR2) 的栅电极连接到第一薄膜晶体管的第二电极。第三薄膜晶体管 (TR3) 的栅极连接到补偿控制信号线 (CC)。第一电容器连接在第一薄膜晶体管的第二电极和电源电压供给线 (V) 之间。第二电容器连接在第一薄膜晶体管的第二电极和第二薄膜晶体管的栅极之间。COPYRIGHT KIPO 2012

