



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월14일
(11) 등록번호 10-1375040
(24) 등록일자 2014년03월10일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) G09G 3/32 (2006.01)
G09G 3/20 (2006.01) H05B 33/12 (2006.01)
(21) 출원번호 10-2007-0027877
(22) 출원일자 2007년03월22일
심사청구일자 2012년03월19일
(65) 공개번호 10-2008-0086134
(43) 공개일자 2008년09월25일
(56) 선행기술조사문헌
KR1020020067678 A*
KR1020050041076 A*
KR1020070004136 A
KR1020060117690 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김중철
경상북도 칠곡군 약목면 북성13길 24, 오성타워맨
션 101동 110호
이호영
충청남도 천안시 서북구 월봉5길 46 (쌍용동)
전창훈
경상북도 칠곡군 석적읍 북중리3길 70, 부영 APT
110동 1606호
(74) 대리인
서교준

전체 청구항 수 : 총 32 항

심사관 : 양성지

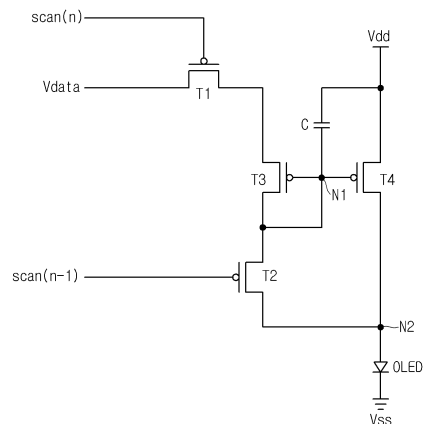
(54) 발명의 명칭 화소회로 및 이를 구비한 표시패널

(57) 요약

구성이 간소화되는 화소회로가 개시된다.

본 발명에 따른 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 데이터 전압에 기초하여 상기 제어 전압을 충전하는 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하여, 대응하는 데이터 라인으로부터 상기 제 2 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하여, 상기 제 2 노드 상의 상기 제어 전압을 상기 제 1 노드 쪽으로 방전시키는 제 3 스위치 소자를 포함하는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드;

제 2 노드 상의 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자;

데이터 전압에 기초하여 상기 제어 전압을 충전하는 캐패시터;

대응하는 게이트 라인 상의 신호에 응답하여, 대응하는 데이터 라인으로부터 상기 제 2 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자;

이전 게이트 라인 상의 신호에 응답하여, 상기 제 2 노드 상의 상기 제어 전압을 상기 제 1 노드 쪽으로 방전시키는 제 3 스위치 소자; 및

상기 제 2 노드 상의 제어 전압이 상기 제 2 스위치 소자에 영향을 미치지 않도록 완충기능을 하는 제 4 스위치 소자를 포함하는 것을 특징으로 하는 화소회로.

청구항 2

제 1 항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 PNP 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 3

제 2 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 4

제 3 항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 2 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 5

제 1 항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 NPN 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 6

제 5 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 7

제 6 항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 8

삭제

청구항 9

제 1항에 있어서,

상기 제 4 스위치 소자는 다이오드 및 트랜지스터 중 어느 하나를 포함하는 것을 특징으로 하는 화소회로.

청구항 10

제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드;

제 2 노드 상의 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자;

상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 2 노드 사이에 접속된 캐패시터;

대응하는 게이트 라인 상의 신호에 응답하게 대응하는 데이터 라인 및 상기 제 2 노드 사이에 접속된 제 2 스위치 소자;

이전 게이트 라인 상의 신호에 응답하게 상기 제 1 및 제 2 노드 사이에 접속된 제 3 스위치 소자; 및

상기 제 2 노드와 상기 제 2 및 제 3 스위치 소자 사이에 접속된 제 4 스위치 소자를 구비하는 것을 특징으로 하는 화소회로.

청구항 11

제 10 항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 PNP 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 12

제 11 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 13

제 12 항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 2 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 14

제 10 항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 NPN 타입의 트랜지스터를 포함하는 것을 특징으로 하는 화소회로.

청구항 15

제 14 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 화소회로.

청구항 16

제 15 항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 화소회로.

청구항 17

삭제

청구항 18

제 10항에 있어서,

상기 제 4 스위치 소자는 다이오드 및 트랜지스터 중 어느 하나를 포함하는 것을 특징으로 하는 화소회로.

청구항 19

다수의 스캔라인들 및 다수의 데이터라인들;

상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역들 각각에 형성된 화소회로를 포함하고,

상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 데이터 전압에 기초하여 상기 제어 전압을 충전하는 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하여, 대응하는 데이터 라인으로부터 상기 제 2 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하여, 상기 제 2 노드 상의 상기 제어 전압을 상기 제 1 노드 쪽으로 방전시키는 제 3 스위치 소자와 상기 제 2 노드 상의 제어 전압이 상기 제 2 스위치 소자에 영향을 미치지 않도록 완충기능을 하는 제 4 스위치 소자를 포함하는 것을 특징으로 하는 표시패널.

청구항 20

제 19항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 PNP 타입의 트랜지스터를 포함하는 것을 특징으로 하는 표시패널.

청구항 21

제 20 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 표시패널.

청구항 22

제 21 항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 2 전원 라인 사이에 접속된 것을 특징으로 하는 표시패널.

청구항 23

제 19 항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 NPN 타입의 트랜지스터를 포함하는 것을 특징으로 하는 표시패널.

청구항 24

제 23 항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 표시패널.

청구항 25

제 24 항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 표시패널.

청구항 26

삭제

청구항 27

제 19항에 있어서,

상기 제 4 스위치 소자는 다이오드 및 트랜지스터 중 어느 하나를 포함하는 것을 특징으로 하는 표시패널.

청구항 28

다수의 스캔라인들 및 다수의 데이터라인들;

상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역들 각각에 형성된 화소회로를 포함하고,

상기 화소회로는, 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 2 노드 사이에 접속된 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하게 대응하는 데이터 라인 및 상기 제 2 노드 사이에 접속된 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하게 상기 제 1 및 제 2 노드 사이에 접속된 제 3 스위치 소자,

상기 제 2 노드와 상기 제 2 및 제 3 스위치 소자 사이에 접속된 제 4 스위치 소자를 구비하는 것을 특징으로 하는 표시패널.

청구항 29

제 28항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 PNP 타입의 트랜지스터를 포함하는 것을 특징으로 하는 표시패널.

청구항 30

제 29항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 표시패널.

청구항 31

제 30항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 표시패널.

청구항 32

제 28항에 있어서,

상기 제 1 내지 제 3 스위치 소자가 NPN 타입의 트랜지스터를 포함하는 것을 특징으로 하는 표시패널.

청구항 33

제 32항에 있어서,

상기 제 1 전원 라인에는 저전위 전압이 공급되고, 상기 제 2 전원 라인에는 고전위 전압이 공급되는 것을 특징으로 하는 표시패널.

청구항 34

제 33항에 있어서,

상기 캐패시터가 상기 제 2 노드 및 상기 제 1 전원 라인 사이에 접속된 것을 특징으로 하는 표시패널.

청구항 35

삭제

청구항 36

제 28항에 있어서,

상기 제 4 스위치 소자는 다이오드 및 트랜지스터 중 어느 하나를 포함하는 것을 특징으로 하는 표시패널.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0013] 본 발명은 유기발광 다이오드를 구비한 화소회로에 있어서, 특히 구성이 간소화될 수 있는 화소회로 및 이를 구비한 표시패널에 관한 것이다.
- [0014] 유기발광 다이오드는 전자와 정공의 재결합으로 형광물질을 발광시키는 자발광 소자이었다. 상기 유기발광 다이오드를 구비한 화소회로를 포함하는 표시장치는 액정표시장치와 같이 별도의 광원을 필요로 하는 수동형 발광소자에 비하여 응답속도가 빠르고 직류구동전압이 낮고 초박막화가 가능하기 때문에 벽걸이형 또는 휴대용으로 응용이 가능하였다.
- [0015] 이와 같은 유기발광 다이오드를 구비한 화소회로는 적색, 녹색 및 청색의 서브픽셀들이 하나의 색을 표현하는 픽셀들을 이용하여 컬러풀 구현하였다. 이때 유기발광 다이오드를 구비한 화소회로는 서브픽셀을 구동하는 방식으로 단순 매트릭스형(Passive Matrix)과 박막트랜지스터(TFT)를 이용하여 구동하는 방식인 액티브 매트릭스형(Active Matrix)로 나눌 수 있다.
- [0016] 도 1은 종래의 액티브 매트릭스형 화소회로의 회로도이다.
- [0017] 도 1에 도시된 바와 같이, 종래의 액티브 매트릭스형 화소회로는 제 1 내지 제 5 박막트랜지스터(T1 ~ T5)와 캐패시터(C) 및 유기발광 다이오드(OLED)를 포함하고 있다. 상기 유기발광 다이오드(OLED)는 인가되는 전류의 양에 대응하는 빛을 발광한다.
- [0018] 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5) 중 제 1 박막트랜지스터(T1)는 전원전압(Vdd)에 소스가 연결되고 제 5 박막트랜지스터(T5)의 소스에 드레인이 연결되어, 상기 캐패시터(C)에 충전된 전하량에 따라 제어되는 게이트로 이루어져 있다.
- [0019] 상기 제 5 박막트랜지스터(T5)는 상기 유기발광 다이오드(OLED)와 연결된 드레인과 앞서 서술한 바와같이, 상기 제 1 박막트랜지스터(T1)의 드레인과 연결된 소스 및 별도의 인에이블 제어신호(EM)에 의해 제어되는 게이트로 이루어져 있다. 상기 인에이블 제어신호(EM)에 의해 상기 제 5 박막트랜지스터(T5)가 턴-온/오프(turn-on/off)되어 상기 유기발광 다이오드(OLED)로 전류를 공급하는 역할을 한다.
- [0020] 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5) 중 제 2 박막트랜지스터(T2)는 상기 제 1 박막트랜지스터(T1)의 게이트와 상기 캐패시터(C) 사이에 위치한 제 2 노드(N2)에 연결된 소스와, 상기 제 1 박막트랜지스터(T1)의 드레인과 상기 제 5 박막트랜지스터(T5)의 소스 사이에 위치한 제 3 노드(N3)에 연결된 드레인과, 스캔신호(scan)가 공급되는 게이트로 이루어져 있다.
- [0021] 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5) 중 제 3 박막트랜지스터(T3)는 데이터 전압(Vdata)에 접속되는 소스와, 상기 스캔신호(scan)가 공급되는 게이트와, 상기 캐패시터(C)에 충전되는 전하량을 결정하는 드레인으로 이루어져 있다. 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5) 중 제 4 박막트랜지스터(T4)는 기준전압(Vref)에 연결되는 소스와, 상기 제 3 박막트랜지스터(T3)와 캐패시터(C) 사이에 위치한 제 1 노드(N1)에 연결된 드레인과, 상기 인에이블 제어신호(EM)에 의해 제어되는 게이트로 이루어져 있다. 여기서, 상기 제 1 내지 제 5 박막트랜지스터(T1 ~ T5)는 P 타입형 박막트랜지스터로 구성되어 있다.
- [0022] 도 2는 도 1의 화소회로의 구동 타이밍도이다.
- [0023] 도 1 및 도 2에 도시된 바와 같이, 상기 스캔신호(scan) 및 인에이블 제어신호(EM)가 모두 로우(Low)인 경우(이하, "제 1 구간"이라 함), 상기 스캔신호(scan)에 제어되는 제 2 및 제 3 박막트랜지스터(T2, T3)는 턴-온(turn-on)되어 쇼트가 되고 상기 인에이블 제어신호(EM)에 제어되는 제 4 및 제 5 박막트랜지스터(T4, T5)가 턴-온(turn-on)되어 쇼트된다. 상기 스캔신호(scan)가 로우(Low)이고 상기 인에이블 제어신호(EM)가 하이(High)인 경우(이하, "제 2 구간"이라 함), 상기 제 2 및 제 3 박막트랜지스터(T2, T3)는 턴-온(turn-on)되어 쇼트 되고 상기 제 4 및 제 5 박막트랜지스터(T4, T5)는 턴-오프(turn-off) 되어 단락된다. 상기 스캔신호(scan)가 하이

(High)이고 상기 인에이블 제어신호(EM)가 로우(Low)인 경우(이하, "제 3 구간"이라 함), 제 2 및 제 3 박막트랜지스터(T2, T3)는 턴-오프(turn-off)되어 단락되고 상기 제 4 및 제 5 박막트랜지스터(T4, T5)는 턴-온(turn-on) 되어 쇼트 된다.

[0024] 상기 제 1 구간에서 도 1에 도시된 화소회로는 도 3a에서와 같은 연결 구성을 가지게 된다. 도 3a를 참조하면, 상기 제 1 구간에서 상기 제 2 내지 제 5 박막트랜지스터(T2 ~ T5)가 모두 턴-온(turn-on) 되면, 상기 제 2 노드(N2)에는 상기 전원전압(Vdd)에서 상기 제 1 박막트랜지스터(T1)의 문턱전압(Vth)을 뺀 전압값(Vdd-Vth, 이하 "제 1 전압"이라 함)이 인가된다. 상기 제 2 노드(N2)에 인가된 전압은 상기 제 1 박막트랜지스터(T1)의 게이트와 소스 사이의 전압(이하, "Vgs"전압이라 함.)이 된다. 상기 Vgs전압이 상기 전원전압(Vdd)에 가까워짐에 따라 상기 캐패시터(C)가 초기화된다.

[0025] 상기 제 2 구간에서 도 1에 도시된 화소회로는 도 3b에서와 같은 연결 구성을 가지게 된다. 도 3b를 참조하면, 상기 제 2 구간에서 상기 제 4 및 제 5 박막트랜지스터(T4, T5)가 턴-오프(turn-off)되고 상기 제 2 및 제 3 박막트랜지스터(T2, T3)가 턴-온(turn-on) 된다. 상기 제 2 박막트랜지스터(T2)가 턴-온(turn-on)되어 상기 제 2 노드(N2)에는 전원전압(Vdd)에서 상기 제 1 박막트랜지스터(T1)의 문턱전압(Vth)을 뺀 전압값인 제 1 전압(Vdd-Vth)이 셋팅되고, 상기 제 3 박막트랜지스터(T3)가 턴-온(turn-on)되어 상기 제 1 노드(N1)에 데이터 전압(Vdata)이 인가된다. 상기 캐패시터(C)에는 상기 제 1 전압(Vdd-Vth) 및 데이터 전압(Vdata)에 근거한 전압이 충전된다.

[0026] 상기 제 3 구간에서 도 1에 도시된 화소회로는 도 3c에서와 같은 연결 구성을 가지게 된다. 도 3c를 참조하면, 상기 제 3 구간에서 상기 제 2 및 제 3 박막트랜지스터(T2, T3)는 턴-오프(turn-off)되고 상기 제 4 및 제 5 박막트랜지스터(T4, T5)가 턴-온(turn-on) 된다. 이때, 상기 제 1 노드(N1)에는 상기 제 2 구간에 인가된 데이터 전압(Vdata)에서 기준전압(Vref)을 뺀 전압(Vdata-Vref, 이하 "제 2 전압"이라 함)이 인가된다. 이때, 상기 기준 전압(Vref)은 상기 데이터 전압(Vdata)보다 작다. 정확히, 상기 기준전압(Vref)은 흑백 레벨의 데이터 전압에 해당되는 전압이다.

[0027] 상기 제 2 노드(N2)에는 상기 제 2 구간에 셋팅된 제 1 전압(Vdd-Vth)에 상기 제 2 전압(Vdata-Vref)을 뺀 전압(Vdd-Vth-Vdata+Vref, 이하 "제 3 전압"이라 함)이 인가된다. 결과적으로 상기 유기발광 다이오드(OLED)에 흐르는 전류는 다음과 같은 수식을 통해 표현된다.

수학식 1

$$I_{OLED} = K (V_{gs} - |V_{th}|)^2 = K (V_{dd} - V_{dd} + |V_{th}| + V_{data} - V_{ref} - |V_{th}|)^2 = K (V_{data} - V_{ref})^2$$

[0028]

[0029] 위의 수식에서 K는 상수이다. 위의 수식을 통해 상기 유기발광 다이오드(OLED)에 흐르는 전류는 상기 데이터 전압(Vdata)에 의해 결정된다.

[0030] 이와 같은 수식을 통해 상기 유기발광다이오드(OLED)에 흐르는 전류를 표현할 수 있다. 상기 제 1 내지 제 3 구간을 통해 상기 유기발광 다이오드(OLED)는 상기 수학식1에 해당되는 전류가 흐르게 되어 상기 전류에 대응되는 빛을 발광하게 된다.

[0031] 상기 유기발광 다이오드(OLED)가 빛을 발광하기 위해서 스캔신호(scan) 뿐만 아니라 별도의 인에이블 제어신호(EM)가 필요하게 된다. 즉, 종래의 화소회로의 경우 캐패시터(C)를 초기화 하기 위해서 별도의 인에이블 제어신호(EM)가 필요하게 된다. 상기 인에이블 제어신호(EM)를 통해 상기 제 5 박막트랜지스터(T5)를 제어하기 때문에 상기 인에이블 제어신호(EM)를 발생하는 외부 회로부가 추가로 필요하게 된다. 이로인해, 종래의 화소회로의 구성이 복잡해진다. 상기 화소회로의 구성이 복잡해짐에 따라 제품 수율에도 영향을 미치고 콤팩트한 패널 구성이 어렵게 된다. 또한, 종래의 화소회로의 경우 제 1 내지 제 5 박막트랜지스터(T1 ~ T5)와 캐패시터(C) 및 유기발광 다이오드(OLED)를 포함하고 있어 개구율이 저하될 수 있다.

[0032] 또한, 상기 제 1 구간에서 스캔신호(scan)가 인가될때, 상기 캐패시터(C)가 동시에 초기화 되기 때문에 각 픽셀 내에 화소 데이터가 동시에 공급되어야만 한다. 다시 말하며, 1 라인 상의 화소들이 분할적으로 데이터 전압의 충전이 곤란해진다. 이로인하여, 종래의 화소회로를 포함한 표시패널은 동일 라인상의 화소들에 데이터 전압의 순차가입이 곤란해진다.

발명이 이루고자 하는 기술적 과제

- [0033] 본 발명은 구성이 간소화될 수 있는 화소회로 및 이를 구비한 표시패널을 제공함에 그 목적이 있다.
- [0034] 본 발명은 동일라인 상의 화소들에서의 데이터 전압이 순차 기입을 가능케 하는 화소회로 및 이를 구비한 표시패널을 제공함에 그 목적이 있다.
- [0035] 또한, 본 발명은 개구율을 향상시킬 수 있는 화소회로 및 이를 구비한 표시패널을 제공함에 그 목적이 있다.

발명의 구성 및 작용

- [0036] 상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 데이터 전압에 기초하여 상기 제어 전압을 충전하는 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하여, 대응하는 데이터 라인으로부터 상기 제 2 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하여, 상기 제 2 노드 상의 상기 제어 전압을 상기 제 1 노드 쪽으로 방전시키는 제 3 스위치 소자를 포함하는 것을 특징으로 한다.
- [0037] 상기 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 2 노드 사이에 접속된 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하게 대응하는 데이터 라인 및 상기 제 2 노드 사이에 접속된 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하게 상기 제 1 및 제 2 노드 사이에 접속된 제 3 스위치 소자를 구비하는 것을 특징으로 한다.
- [0038] 상기 목적을 달성하기 위한 본 발명의 제 1 실시예에 따른 표시패널은 다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역을 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하여 제 2 전원 라인 및 상기 제 1 노드 사이에 흐르는 전류량을 제어하는 제 1 스위치 소자와, 데이터 전압에 기초하여 상기 제어 전압을 충전하는 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하여, 대응하는 데이터 라인으로부터 상기 제 2 노드에 공급될 상기 데이터 전압을 절환하는 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하여, 상기 제 2 노드 상의 상기 제어 전압을 상기 제 1 노드 쪽으로 방전시키는 제 3 스위치 소자를 포함하는 것을 특징으로 한다.
- [0039] 상기 목적을 달성하기 위한 본 발명의 제 2 실시예에 따른 표시패널은 다수의 스캔라인들 및 다수의 데이터라인들과, 상기 다수의 게이트 라인들 및 상기 다수의 데이터 라인들에 의하여 구분된 화소영역을 각각에 형성된 화소회로를 포함하고, 상기 화소회로는 제 1 노드 및 제 1 전원 라인 사이에 접속된 다이오드와, 제 2 노드 상의 제어 전압에 응답하게 제 2 전원 라인 및 상기 제 1 노드 사이에 접속된 제 1 스위치 소자와, 상기 제 1 및 제 2 전원 라인들 중 어느 하나와 상기 제 2 노드 사이에 접속된 캐패시터와, 대응하는 게이트 라인 상의 신호에 응답하게 대응하는 데이터 라인 및 상기 제 2 노드 사이에 접속된 제 2 스위치 소자 및 이전 게이트 라인 상의 신호에 응답하게 상기 제 1 및 제 2 노드 사이에 접속된 제 3 스위치 소자를 구비하는 것을 특징으로 한다.
- [0040] 상기 목적들 외에 본 발명의 다른 목적들, 다른 특징들 및 다른 이점들은 첨부한 도면과 결부된 실시 예의 상세한 설명을 통하여 명백하게 드러나게 될 것이다. 이하, 본 발명의 실시 예가 첨부된 도면들과 결부되어 상세하게 설명될 것이다.
- [0041] 도 4는 본 발명에 따른 화소회로가 형성된 표시패널을 구비한 표시장치를 나타낸 도면이다.
- [0042] 도 4에 도시된 바와 같이, 본 발명에 따른 표시장치는 다수의 게이트라인(GLd, GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 교차로 배열되어 정의된 화소영역마다 형성된 화소회로(EL)을 포함하는 표시패널(102)과, 상기 다수의 게이트라인(GLd, GL1 ~ GLn)을 구동하기 위한 스캔 드라이버(104)와, 상기 다수의 데이터라인(DL1 ~ DLm)을 구동하기 위한 데이터 드라이버(106)와 상기 스캔 드라이버(104) 및 상기 데이터 드라이버(106) 각각의 구동 타이밍을 제어하기 위한 타이밍 컨트롤러(도시하지 않음)를 포함한다.
- [0043] 상기 표시패널(102)은 다수의 게이트라인(GLd, GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 교차로 배열되고 상기 다수의 게이트라인(GLd, GL1 ~ GLn)과 상기 다수의 데이터라인(DL1 ~ DLm)으로 인해 정의된 화소영역마다 화소회로(EL)를 포함하고 있다. 상기 화소회로(EL)는 대응되는 게이트라인과 이전 게이트라인 사이에 접속되고 대응된 데이터라인과 접속된다. 또한, 상기 화소회로(EL)는 전원전압(Vdd)을 공급하는 라인과 기저전압(Vss)을

공급하는 라인과 접속된다. 상기 화소회로(EL)에 대한 상세한 설명은 도 5를 통해 후술하기로 한다.

- [0044] 상기 타이밍 컨트롤러(도시하지 않음)는 외부의 시스템(예를 들면, 그래픽 카드)으로부터 공급된 동기신호들을 이용하여 상기 데이터 드라이버(106)를 제어하기 위한 데이터 제어신호 및 상기 스캔 드라이버(104)를 제어하기 위한 스캔 제어신호를 생성한다. 또한, 상기 타이밍 컨트롤러는 외부의 시스템으로부터 공급된 데이터 신호를 상기 데이터 드라이버(106)로 공급한다.
- [0045] 상기 스캔 드라이버(104)는 상기 타이밍 컨트롤러로부터의 스캔 제어신호에 응답하여 스캔신호(scan)를 발생하고, 상기 스캔신호(scan)를 상기 다수의 게이트라인(GL1 ~ GLn)에 공급하여 상기 다수의 게이트라인(GL1 ~ GLn)을 순차적으로 구동한다.
- [0046] 상기 데이터 드라이버(106)는 상기 타이밍 컨트롤러로부터의 데이터 제어신호에 따라 수평기간(1H)마다 데이터 전압(Vdata)을 상기 다수의 데이터라인(DL1 ~ DLm)에 공급한다. 이때, 상기 데이터 드라이버(106)는 상기 다수의 데이터라인(DL1 ~ DLm)과 대응되는 출력채널들을 갖는다.
- [0047] 도 5는 도 4의 본 발명에 따른 화소회로를 상세히 나타낸 회로도이다.
- [0048] 도 4 및 도 5에 도시된 바와 같이, 본 발명에 따른 화소회로는 제 1 내지 제 4 박막트랜지스터(T1 ~ T4)와 하나의 캐패시터(C) 및 유기발광 다이오드(OLED)를 포함하고 있다. 상기 유기발광 다이오드(OLED)는 인가되는 전류의 양에 대응하는 빛을 발광한다.
- [0049] 구체적으로, 본 발명에 따른 화소회로는 상기 캐패시터(C)에 충전된 전하량에 따라 상기 유기발광 다이오드(OLED)의 발광량을 조절하는 제 4 박막트랜지스터(T4)와, 대응하는 게이트라인에 인가되는 스캔신호(scan(n))에 응답하여 대응하는 데이터라인으로부터 상기 캐패시터(C)에 충전될 데이터 전압(Vdata)을 스위칭 하기 위한 제 1 박막트랜지스터(T1)와, 상기 대응하는 게이트라인의 전단인 이전 게이트라인에 인가됐던 스캔신호(scan(n-1))에 응답하여 상기 캐패시터(C)를 초기화 시키는 제 2 박막트랜지스터(T2) 및 상기 제 1 박막트랜지스터(T1)의 소스에 접속되어 제 1 노드(N1)에 상기 데이터 전압(Vdata)이 충전되도록 하는 완충제 역할을 하는 제 3 박막트랜지스터(T3)를 포함한다. 정확히, 상기 제 3 박막트랜지스터(T3)는 상기 제 1 노드(N1) 상의 전압이 상기 제 1 박막트랜지스터(T1) 방향으로 영향을 미치지 못하게 완충기능을 한다.
- [0050] 또한, 앞서 서술한 바와 같이, 본 발명에 따른 화소회로는 상기 캐패시터(C)에 충전된 전하량에 해당되는 전류의 양에 따라 빛을 발광하는 유기발광 다이오드(OLED)를 포함한다. 상기 제 1 노드(N1)는 상기 제 3 및 제 4 박막트랜지스터(T3, T4)의 게이트 사이에 위치한다.
- [0051] 상기 제 1 박막트랜지스터(T1)로는 데이터 전압(Vdata)에 접속된 드레인과, 상기 제 3 박막트랜지스터(T3)의 드레인과 접속되는 소스와, n 번째 게이트라인에 인가된 제 n 스캔신호(scan(n))와 접속되는 게이트를 포함하는 P형 박막트랜지스터가 사용된다.
- [0052] 상기 제 2 박막트랜지스터(T2)로는 상기 제 3 박막트랜지스터(T3)의 소스와 접속된 소스와, 상기 제 4 박막트랜지스터(T4)와 상기 유기발광 다이오드(OLED) 사이에 위치한 제 2 노드(N2)에 접속된 드레인과, 상기 n-1 번째 게이트라인에 인가된 제 n-1 스캔신호(scan(n-1))와 접속되는 게이트를 포함하는 P형 박막트랜지스터가 사용된다.
- [0053] 상기 제 3 박막트랜지스터(T3)로는 상기 제 1 박막트랜지스터(T1)의 소스와 접속된 드레인과, 상기 제 2 박막트랜지스터(T2)의 소스와 접속된 소스와, 상기 제 1 노드(N1)에 접속된 게이트를 포함하는 P형 박막트랜지스터가 사용된다. 상기 제 3 박막트랜지스터(T3)는 제 1 노드(N1)에 인가된 전압이 방전되는 것을 방지하는 다이오드 역할을 한다.
- [0054] 상기 제 4 박막트랜지스터(T4)로는 전원 전압(Vdd)과 접속된 소스와, 상기 제 2 노드(N2)와 접속된 드레인과, 상기 제 1 노드(N1)와 접속된 게이트를 포함하는 P형 박막트랜지스터가 사용된다. 상기 제 1 노드(N1)에는 상기 제 3 및 제 4 박막트랜지스터(T3, T4)의 게이트와 상기 캐패시터(C)의 일단이 접속되어 있다. 상기 캐패시터(C)의 타단은 상기 전원전압(Vdd)에 접속된다. 상기 제 2 노드(N2)에는 상기 제 2 박막트랜지스터(T2)의 드레인과 상기 유기발광 다이오드(OLED)의 일단이 접속되어 있다. 상기 유기발광 다이오드(OLED)의 타단은 저전위 전압(Vss, 이하 "그라운드 전압"이라 함)에 접속된다.
- [0055] 도 6은 도 5의 화소회로의 구동 타이밍도이다.
- [0056] 도 5 및 도 6에 도시된 바와 같이, 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 로우(Low)이고 상기 대응

하는 게이트라인의 스캔신호(scan(n))가 하이(High)인 경우(이하, "제 1 구간"이라 함), 상기 제 2 박막트랜지스터(T2)만 턴-온(turn-on)되어 쇼트되고 상기 제 2 박막트랜지스터(T2)를 제외한 박막트랜지스터(T1, T3 ~ T5)는 턴-오프(turn-off)되어 단락된다. 상기 제 1 구간에 대한 상세한 설명은 도 7a를 통해 후술하기로 한다.

[0057] 상기 이전 게이트라인의 스캔신호(scan(n-1))가 하이(High)이고 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low)인 경우(이하, "제 2 구간"이라 함), 상기 제 2 박막트랜지스터(T2)는 턴-오프(turn-off)되어 단락되고 상기 제 1 박막트랜지스터(T1)가 턴-온(turn-on)되어 쇼트된다. 이때, 상기 제 1 박막트랜지스터(T1)의 턴-온/오프(turn-on/off)에 의해 턴-온/오프(turn-on/off)되는 제 3 박막트랜지스터(T3) 또한 상기 제 1 박막트랜지스터(T1)가 턴-온(turn-on)되므로 동시에 턴-온(turn-on)되어 단락된다. 상기 제 2 구간에 대한 상세한 설명은 도 7b를 통해 후술하기로 한다.

[0058] 상기 이전 게이트라인의 스캔신호(scan(n-1))와 상기 대응하는 게이트라인의 스캔신호(scan(n))가 모두 하이(High)인 경우(이하, "제 3 구간"이라 함.), 상기 제 2 박막트랜지스터(T2)는 턴-오프(turn-off)되어 단락되고 상기 제 1 박막트랜지스터(T1)도 턴-오프(turn-off)되어 단락된다. 상기 제 3 구간에 대한 상세한 설명은 도 7c를 통해 후술하기로 한다.

[0059] 상기 제 1 구간에서 도 5에 도시된 화소회로는 도 7a에서와 같은 연결 구성을 가지게 된다. 도 7a에 도시된 바와 같이, 상기 제 1 구간에서 상기 제 1 및 제 3 박막트랜지스터(T1, T3)와 제 4 박막트랜지스터(T4)가 턴-오프(turn-off)되고 상기 제 2 박막트랜지스터(T2)가 턴-온(turn-on)된다. 상기 제 1 구간에 상기 제 1 노드(N1)에는 상기 전원전압(Vdd)에서 상기 제 4 박막트랜지스터(T4)의 문턱전압(Vth)을 뺀 전압값(Vdd-Vth, 이하 "제 1 전압"이라 함)이 인가된다. 상기 제 1 노드(N1)에 인가되는 전압은 상기 캐패시터(C)의 일단에 인가된다. 상기 캐패시터(C)의 타단은 전원전압(Vdd)에 접속되므로, 상기 캐패시터(C)의 양단에 인가된 전압이 거의 비슷하기 때문에 상기 캐패시터(C)가 초기화 상태가 된다. 이러한 경우, 상기 제 1 노드(N1)는 상기 캐패시터(C)의 그라운드 역할을 하게 된다. 상기 제 1 구간에서 상기 캐패시터(C)가 초기화되므로 상기 제 1 구간을 초기화 구간이라고 한다. 상기 제 1 구간에서 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))를 이용하여 상기 캐패시터(C)를 초기화 한다. 즉, 대응하는 게이트라인보다 이전 게이트라인에 인가된 스캔신호(scan(n-1))에 의해 본 발명에 따른 화소회로의 캐패시터(C)는 초기화된다.

[0060] 상기 제 2 구간에서 도 5에 도시된 화소회로는 도 7b에서와 같은 연결 구성을 가지게 된다. 도 7b를 참조하면, 상기 제 2 구간에서 상기 제 1 및 제 3 박막트랜지스터(T1, T3)만 턴-온(turn-on)되고, 상기 제 2 및 제 4 박막트랜지스터(T2, T4)는 턴-오프(turn-off)된다. 상기 제 1 박막트랜지스터(T1)가 턴-온(turn-on)되면 상기 데이터 전압(Vdata)은 상기 제 1 노드(N1)에 인가된다. 상기 제 1 노드(N1)에 데이터 전압(Vdata)이 인가됨에 따라 상기 캐패시터(C)에는 상기 전원전압(Vdd)에서 상기 데이터 전압(Vdata)을 뺀 전압(Vdd-Vdata)이 충전된다. 이때, 상기 제 4 박막트랜지스터(T4)의 게이트와 소스 사이의 전압(이하, "Vgs 전압"이라 함)은 상기 데이터 전압(Vdata)에서 상기 제 4 박막트랜지스터(T4)의 문턱전압(Vth)을 뺀 전압(Vdata-Vth, 이하 "제 2 전압"이라 함)이 된다. 상기 제 2 구간에서 상기 데이터 전압(Vdata)이 상기 제 1 노드(N1)에 인가되기 때문에 상기 제 2 구간을 데이터 차지 구간이라고 한다.

[0061] 상기 제 3 구간에서 도 5에 도시된 화소회로는 도 7c에서와 같은 연결 구성을 가지게 된다. 도 7c를 참조하면, 상기 제 3 구간에서 상기 제 1 내지 제 3 박막트랜지스터(T1 ~ T3)가 턴-오프(turn-off)되고 상기 제 4 박막트랜지스터(T4)만 턴-온(turn-on)된다. 상기 제 2 구간에 상기 캐패시터(C)에 충전된 전하량(Vdd-Vdata에 해당되는)에 대응되는 전류가 상기 유기발광 다이오드(OLED)로 공급된다. 상기 유기발광 다이오드(OLED)는 상기 유기발광 다이오드(OLED)로 전류가 공급되면 상기 전류에 대응되는 빛을 발광한다. 상기 제 3 구간은 유기발광 다이오드(OLED)가 빛을 발광하므로 발광 구간이라고 한다. 결과적으로 상기 유기발광 다이오드(OLED)에 흐르는 전류는 다음과 같은 수식을 통해 표현된다.

수학식 2

$$I_{OLED} = K (V_{gs} - |V_{th}|)^2 = K (V_{dd} - V_{data} + V_{th} - V_{th})^2 = K (V_{dd} - V_{data})^2$$

[0062]

위의 수학식에서 K는 상수이다.

[0063]

[0064] 상기 유기발광 다이오드(OLED)에 흐르는 전류식에서 표현된 바와 같이, 상기 유기발광 다이오드(OLED)에 흐르는 전류는 전원전압(Vdd)과 상기 데이터 전압(Vdata)에 의해 결정될 수 있다.

[0064]

- [0065] 이와 같이, 본 발명에 따른 화소회로에서는 대응하는 게이트라인에 인가되는 스캔신호(scan(n))와 이전 게이트라인에 인가되는 스캔신호(scan(n-1))를 이용해서 캐패시터(C)를 초기화 하고, 상기 캐패시터(C)에 해당 데이터라인을 통해 공급된 데이터 전압(Vdata)에 대응된 전하량이 충전되도록 하여 상기 유기발광 다이오드(OLED)가 빛을 발광하도록 한다. 따라서, 본 발명에 따른 화소회로는 종래에 상기 캐패시터(C)를 초기화 하고 상기 유기발광 다이오드(OLED)가 빛을 발광하도록 하기 위한 별도의 인에이블 제어신호(EM)가 필요하지 않으므로 구성이 간소해질 수 있다. 또한, 상기 인에이블 제어신호(EM)가 불필요해짐에 따라 상기 인에이블 제어신호를 발생하는 외부의 회로부가 불필요함에 따라 콤팩트한 패널 구성을 가질 수 있게 된다.
- [0066] 또한, 본 발명에 따른 화소회로에서는 제 1 내지 제 4 박막트랜지스터(T1 ~ T4)로 상기 유기발광 다이오드(OLED)를 제어함으로써 종래의 화소회로 보다 개구율을 향상할 수 있다. 또한, 이전 게이트라인에 인가된 스캔신호에 의해 상기 캐패시터(C)가 초기화되므로 동일 라인 상의 화소들에 데이터 전압이 순차 기입되어 분할구동이 가능해질 수 있다.
- [0067] 도 8은 도 5에 도시된 화소회로의 다른 실시예를 나타낸 회로도이고, 도 9는 도 8의 화소회로의 구동 타이밍도이다. 상기 다른 실시예에 따른 화소회로에 대한 상세한 설명 중 도 5에 도시된 화소회로와 동일한 부분에 대한 설명은 간략히 하도록 한다.
- [0068] 도 8 및 도 9에 도시된 바와 같이, 다른 실시예에 따른 화소회로는 제 1 내지 제 4 박막트랜지스터(T1 ~ T4)와 하나의 캐패시터(C) 및 유기발광 다이오드(OLED)를 포함하고 있다. 상기 유기발광 다이오드(OLED)는 인가되는 전류의 양에 대응하는 빛을 발광한다.
- [0069] 상기 다른 실시예에 따른 화소회로는 상기 캐패시터(C)에 충전된 데이터 전압(Vdata)에 해당되는 전하량에 따라 상기 유기발광 다이오드(OLED)의 발광량을 조절하는 제 4 박막트랜지스터(T4)와, 대응하는 게이트라인에 인가되는 제 n 스캔신호(scan(n))에 응답하여 상기 캐패시터(C)에 충전될 대응하는 데이터라인 상의 데이터 전압(Vdata)을 스위칭 하기 위한 제 1 박막트랜지스터(T1)와, 상기 대응하는 게이트라인의 전단인 이전 게이트라인에 인가됐던 스캔신호(scan(n-1))에 응답하여 상기 캐패시터(C)를 초기화 시키는 제 2 박막트랜지스터(T2)와, 상기 제 1 박막트랜지스터(T1)의 소스에 접속되어 제 1 노드(N1)에 인가된 전압이 상기 제 1 박막트랜지스터(T1) 방향으로 영향을 미치지 못하게 하는 완충의 기능을 하는 제 3 박막트랜지스터(T3)를 포함한다.
- [0070] 또한, 앞서 서술한 바와 같이, 상기 다른 실시예에 따른 화소회로는 상기 캐패시터(C)에 충전된 전하량에 해당되는 전류의 양에 따라 빛을 발광하는 유기발광 다이오드(OLED)를 포함한다. 상기 제 1 노드(N1)는 상기 제 3 및 제 4 박막트랜지스터(T3, T4)의 게이트 사이에 위치한다. 상기 제 1 내지 제 4 박막트랜지스터(T1 ~ T4)는 N 타입형 박막트랜지스터로 구성된다. 상기 캐패시터(C)의 일단은 상기 제 2 및 제 3 박막트랜지스터(T2, T3) 사이에 접속되고, 타단은 그라운드 전압(Vss)에 접속된다.
- [0071] 이때, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 하이(High)이고 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low) 인 경우를 제 1 구간이라고 정의한다. 또한, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 로우(Low)이고 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 하이(High)인 경우를 제 2 구간이라고 정의한다. 또한, 상기 이전 게이트라인에 인가된 스캔신호(scan(n-1))가 로우(Low)이고, 상기 대응하는 게이트라인에 인가된 스캔신호(scan(n))가 로우(Low)인 경우를 제 3 구간이라고 정의한다.
- [0072] 상기 제1 구간에서 상기 캐패시터(C)는 도 5에 도시된 화소회로에서와 마찬가지로 초기화된다. 제 2 구간에서 상기 캐패시터(C)에는 데이터 전압(Vdata)이 충전되고 제 3 구간에서는 상기 캐패시터(C)에 충전된 데이터 전압(Vdata)에 해당되는 전류가 상기 유기발광 다이오드(OLED)에 공급된다. 이로인해, 상기 유기발광 다이오드(OLED)는 상기 데이터 전압(Vdata)에 해당되는 전류의 양에 따라 빛을 발광하게 된다.
- [0073] 상기 본 발명의 다른 실시예에 따른 화소회로는 상기 제 1 내지 제 4 박막트랜지스터(T1 ~ T4)가 N 타입형 박막트랜지스터이고 상기 캐패시터(C)의 타단이 그라운드 전압(Vss)에 접속된 것과 상기 제 2 구간에서 상기 캐패시터(C)에 데이터 전압(Vdata)이 충전되는 것을 제외하고 도 5에 도시된 화소회로와 동일한 동작을 수행한다. 따라서, 본 발명의 다른 실시예에 따른 화소회로에서는 상기 유기발광 다이오드(OLED)에 공급되는 전류의 양은 상기 데이터 전압(Vdata)에 의해 결정된다.
- [0074] 본 발명의 다른 실시예에 따른 화소회로에서는 대응하는 게이트라인에 인가되는 스캔신호(scan(n))와 이전 게이트라인에 인가되는 스캔신호(scan(n-1))를 이용해서 캐패시터(C)를 초기화 하고, 상기 캐패시터(C)에 해당 데이터라인을 통해 공급된 데이터 전압(Vdata)에 대응된 전하량이 충전되도록 하여 상기 유기발광 다이오드(OLED)가

빛을 발광하도록 한다. 본 발명의 다른 실시예에 따른 화소회로는 종래에 상기 캐패시터(C)를 초기화 하고 상기 유기발광 다이오드(OLED)가 빛을 발광하도록 하기 위한 별도의 인에이블 제어신호(EM)가 필요하지 않기 때문에 구성이 간소해질 수 있다. 상기 인에이블 제어신호(EM)가 불필요해짐에 따라 상기 인에이블 제어신호를 발생하는 외부의 회로부가 불필요함에 따라 콤팩트한 패널 구성을 가질 수 있게 된다.

[0075] 또한, 본 발명의 다른 실시예에 따른 화소회로에서는 제 1 내지 제 4 박막트랜지스터(T1 ~ T4)로 상기 유기발광 다이오드(OLED)를 제어함으로써 종래의 화소회로 보다 개구율을 향상할 수 있다. 또한, 이전 게이트라인에 인가된 스캔신호에 의해 상기 캐패시터(C)가 초기화되므로 동일 라인 상의 화소들에 데이터 전압이 순차 기입되어 분할구동이 가능해질 수 있다.

발명의 효과

[0076] 서술한 바와 같이, 본 발명에 따른 화소회로는 이전 게이트라인에 인가된 스캔신호를 이용해서 캐패시터를 초기화 하는 회로 구조를 가짐으로써, 캐패시터를 초기화 하기 위한 별도의 인에이블 제어신호(EM)가 필요했던 종래의 화소회로와 달리 상기 인에이블 제어신호(EM)가 불필요하게 되어 구성이 간소해질 수 있다. 상기 인에이블 제어신호(EM)가 불필요해짐에 따라 상기 인에이블 제어신호를 발생하는 외부의 회로부가 불필요하게 되어 콤팩트한 패널구성을 가질 수 있다.

[0077] 또한, 본 발명에 따른 화소회로는 종래의 화소회로 보다 적은 갯수의 박막트랜지스터를 구비하여 종래에 보다 개구율을 향상시킬 수 있다.

[0078] 이상과 같이, 본 발명이 도면에 도시된 실시 예들로 국한하여 설명되었으나, 본 발명이 속하는 기술 분야에 대한 통상의 지식을 가진 자라면 본 발명의 기술적 사상 및 범위를 이탈하지 않으면서 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서, 본 발명의 기술적인 범위 및 특징들은 실시 예의 설명에 국한될 수는 없고 첨부된 특허청구의 범위에 기재된 사항에 의하여 설정되어야 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래의 액티브 매트릭스형 화소회로의 회로도.

[0002] 도 2는 도 1의 화소회로의 구동 타이밍도.

[0003] 도 3a 내지 도 3c는 도 2의 타이밍에 따른 도 1의 화소회로의 동작을 나타낸 회로 구성도.

[0004] 도 4는 본 발명에 따른 화소회로가 형성된 표시패널을 구비한 표시장치를 나타낸 도면.

[0005] 도 5는 도 4의 본 발명에 따른 화소회로를 상세히 나타낸 회로도.

[0006] 도 6은 도 5의 화소회로의 구동 타이밍도.

[0007] 도 7a 내지 도 7c는 도 6의 타이밍에 따른 도 5의 화소회로의 동작을 나타낸 회로 구성도.

[0008] 도 8은 도 5에 도시된 화소회로의 다른 실시예를 나타낸 회로도.

[0009] 도 9는 도 8의 화소회로의 구동 타이밍도.

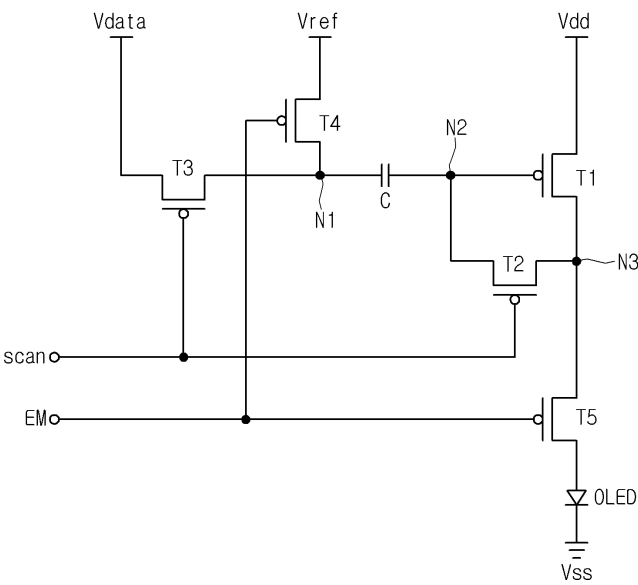
[0010] <도면의 주요부분에 대한 간단한 설명>

[0011] 102:액정패널 104:스캔 드라이버

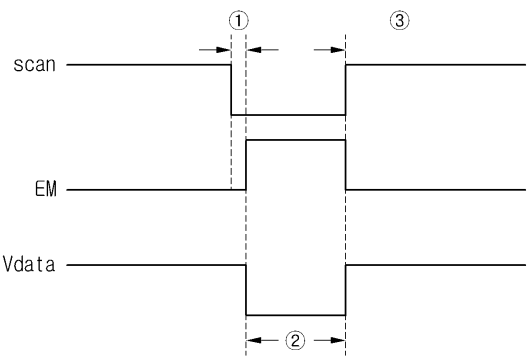
[0012] 106:데이터 드라이버

도면

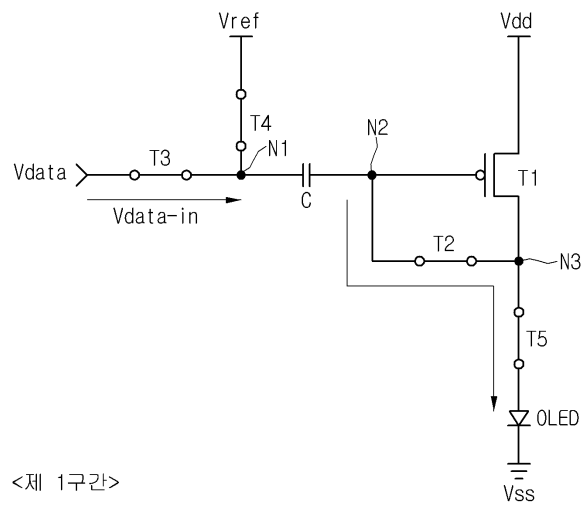
도면1



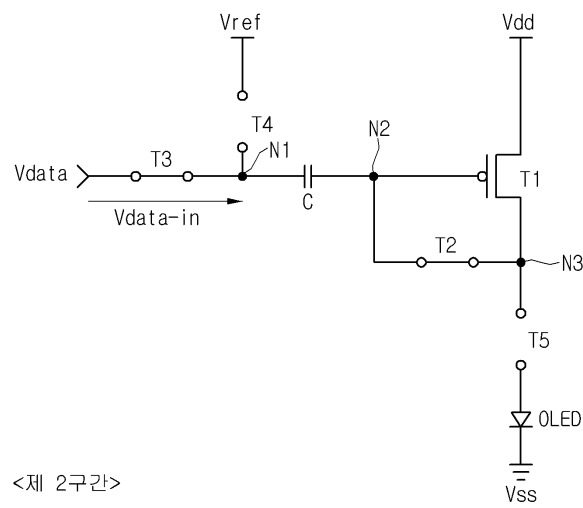
도면2



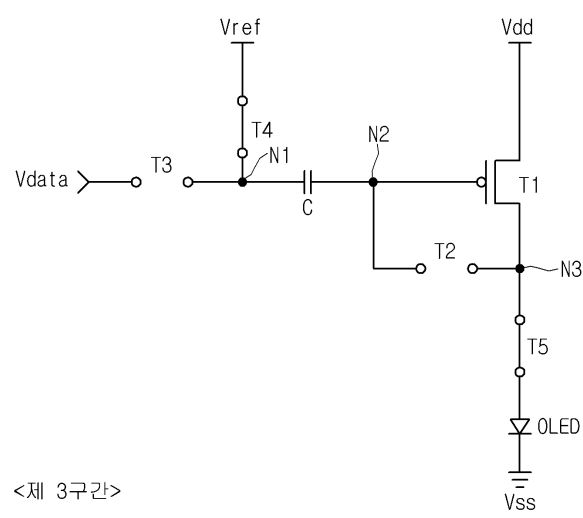
도면3a



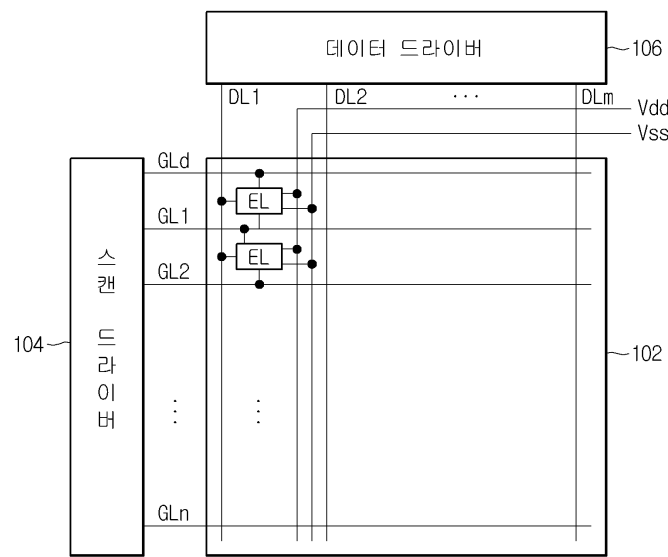
도면3b



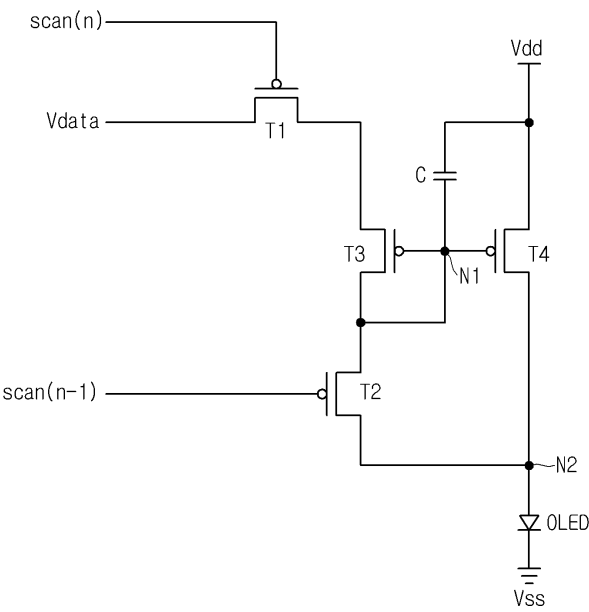
도면3c



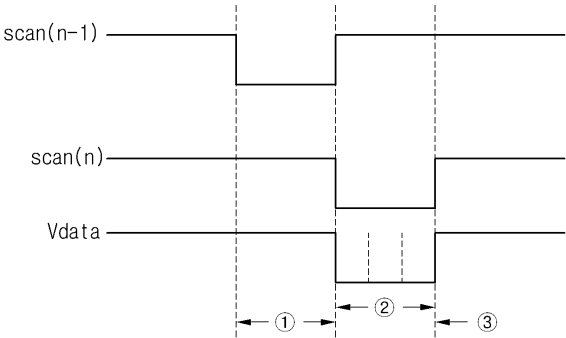
도면4



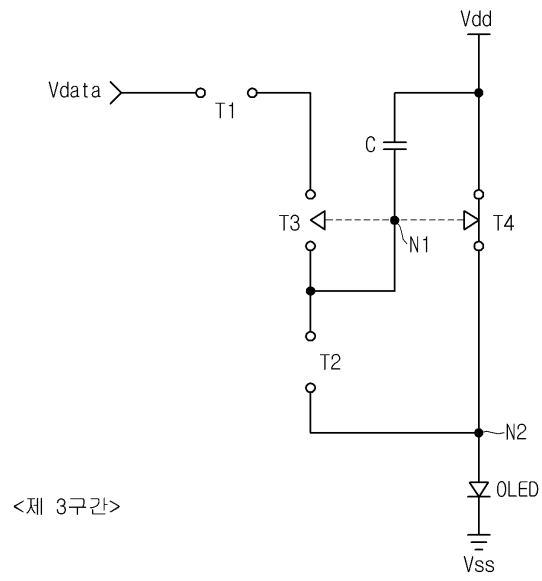
도면5



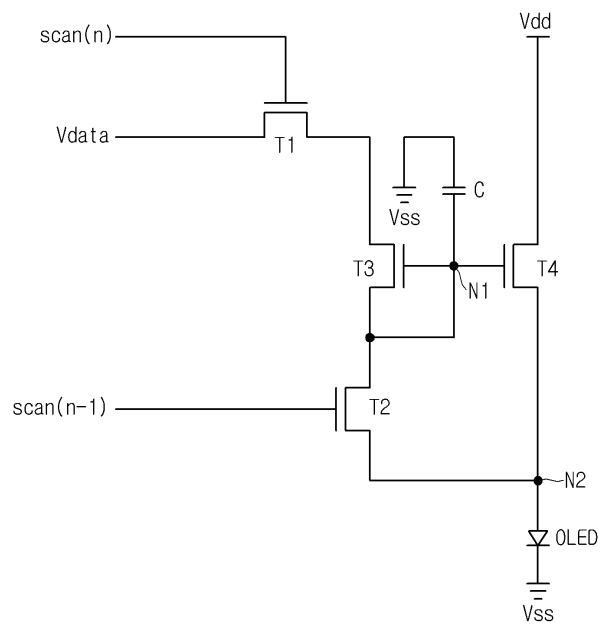
도면6



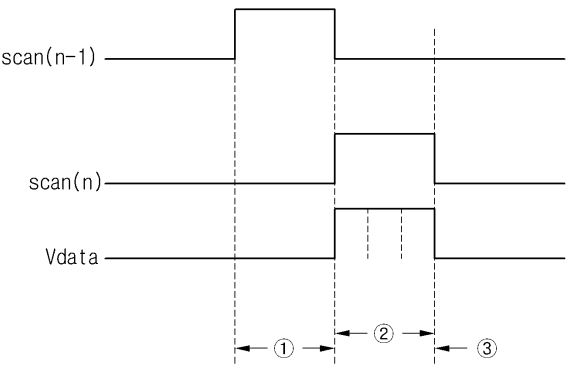
도면7c



도면8



도면9



专利名称(译)	标题像素电路和具有相同的显示面板		
公开(公告)号	KR101375040B1	公开(公告)日	2014-03-14
申请号	KR1020070027877	申请日	2007-03-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JUNG CHUL 김중철 LEE HO YOUNG 이호영 JEON CHANG HOON 전창훈		
发明人	김중철 이호영 전창훈		
IPC分类号	G09G3/30 G09G3/32 G09G3/20 H05B33/12		
其他公开文献	KR1020080086134A		
外部链接	Espacenet		

摘要(译)

公开了一种简化配置的像素电路。根据本发明的像素电路包括连接在第一节点和第一电源线之间的二极管，用于响应于第二节点上的控制电压控制在第二电源线和第一节点之间流动的电流量的第一开关，一个电容器，用于根据数据电压对控制电压充电；第二开关元件，用于响应相应栅极线上的信号，从相应的数据线切换要提供给第二节点的数据电压；第三开关元件响应前一栅极线上的信号，用于将第二节点上的控制电压向第一节点放电。

