(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년10월28일
(11) 등록번호 10-0924139
(24) 등록일자 2009년10월22일

(51) Int. Cl.
H05B 33/10 (2006.01) *H01L 51/56* (2006.01)
(21) 출원번호 10-2008-0015819
(22) 출원일자 2008년02월21일
심사청구일자 2008년02월21일
(65) 공개번호 10-2009-0090544
(43) 공개일자 2009년08월26일
(56) 선행기술조사문헌
KR1020060131123 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성모바일디스플레이주식회사
경기도 용인시 기흥구 농서동 산24번지
(72) 발명자
민경욱
경기 용인시 기흥구 공세동 삼성SDI중앙연구소
(74) 대리인
박상수

전체 청구항 수 : 총 14 항 심사관 : 김창균

(54) 마스크 패턴 및 이를 이용한 유기전계발광표시장치

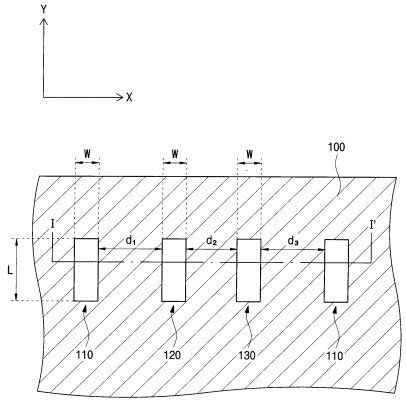
(57) 요 약

본 발명은 마스크 패턴 및 이를 이용한 유기전계발광표시장치에 관한 것으로, 유기전계발광표시장치의 화소 영역에 유기막층을 증착하기 위한 마스크 패턴에 있어서, 마스크 패턴의 구조를 변경하여, 각 화소 영역에 증착되는 유기막층의 증착량 편차에 의해 마스크 패턴의 수명이 감소되는 것을 방지할 수 있는 마스크 패턴 및 이를 이용한 유기전계발광표시장치에 관한 것이다.

본 발명은 제 1 개구부, 제 2 개구부 및 제 3 개구부를 포함하는 마스크 패턴에 있어서, 상기 제 1 개구부와 제 2 개구부 사이의 제 1 이격 거리는 상기 제 2 개구부와 제 3 개구부 사이의 제 2 이격 거리와 서로 상이한 것을 특징으로 하는 마스크 패턴에 관한 것이다.

또한, 본 발명은 제 1 화소 영역, 제 2 화소 영역 및 제 3 화소 영역을 포함하는 기판; 상기 기판 상에 위치하는 하부 전극; 상기 제 1 화소 영역의 하부 전극 상에 위치하며, 하나 또는 다수의 제 1 발광층을 포함하는 제 1 유기막층; 상기 제 2 화소 영역의 하부 전극 상에 위치하고, 하나 또는 다수의 제 2 발광층을 포함하며, 상기 제 1 유기막층과 상이한 두께를 가지는 제 2 유기막층; 상기 제 3 화소 영역의 하부 전극 상에 위치하며, 하나 또는 다수의 제 3 발광층을 포함하는 제 3 유기막층; 및 상기 제 1 유기막층, 제 2 유기막층 및 제 3 유기막층 상에 위치하는 상부 전극을 포함하며, 상기 제 1 화소 영역과 제 2 화소 영역 사이의 제 4 이격 거리는 상기 제 2 화소 영역과 제 3 화소 영역 사이의 제 5 이격 거리와 서로 상이한 것을 특징으로 하는 유기전계발광표시장치에 관한 것이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

제 1 유기막층을 증착하기 위한 제 1 개구부, 제 2 유기막층을 증착하기 위한 제 2 개구부 및 제 3 유기막층을 증착하기 위한 제 3 개구부를 포함하는 마스크 패턴에 있어서,

상기 제 1 개구부와 제 2 개구부 사이의 제 1 이격 거리와 상기 제 2 개구부와 제 3 개구부 사이의 제 2 이격 거리의 차이는 상기 제 1 개구부에 의해 증착되는 제 1 유기막층과 상기 제 2 개구부에 의해 증착되는 제 2 유기막층의 증착량의 차에 비례하는 것을 특징으로 하는 마스크 패턴.

청구항 2

제 1 항에 있어서,

상기 제 1 개구부, 제 2 개구부 및 제 3 개구부는 제 1 방향으로 반복되며,

상기 제 3 개구부와 제 1 개구부 사이의 제 3 이격 거리는 상기 제 1 이격 거리 또는 제 2 이격 거리와 동일한 것을 특징으로 하는 마스크 패턴.

청구항 3

제 1 항에 있어서,

상기 제 1 개구부, 제 2 개구부 및 제 3 개구부는 폭 또는 길이가 서로 상이한 것을 특징으로 하는 마스크 패턴.

청구항 4

제 1 항에 있어서,

상기 제 1 개구부, 제 2 개구부 및 제 3 개구부는 동일한 면적을 가지는 것을 특징으로 하는 마스크 패턴.

청구항 5

제 1 항에 있어서,

상기 제 1 개구부, 제 2 개구부 및 제 3 개구부의 면적은 상기 마스크 패턴의 일측 표면으로부터 타측 표면으로 갈수록 증가하는 것을 특징으로 하는 마스크 패턴.

청구항 6

제 5 항에 있어서,

상기 제 1 개구부, 제 2 개구부 및 제 3 개구부 각각의 면적은 일정하게 증가하는 것을 특징으로 하는 마스크 패턴.

청구항 7

제 5 항에 있어서,

상기 제 1 개구부, 제 2 개구부 및 제 3 개구부는 동일한 단면 경사각을 가지는 것을 특징으로 하는 마스크 패턴.

청구항 8

제 1 항에 있어서,

상기 제 3 개구부와 이웃하며, 상기 제 2 개구부의 반대편에 위치하는 제 4 개구부와 상기 제 3 개구부 사이의 제 3 이격 거리는 상기 제 1 이격 거리 및 제 2 이격 거리와 서로 상이한 것을 특징으로 하는 마스크 패턴.

청구항 9

제 1 화소 영역, 제 2 화소 영역 및 제 3 화소 영역을 포함하는 기판;

상기 기판 상에 위치하는 하부 전극;

상기 제 1 화소 영역의 하부 전극 상에 위치하며, 하나 또는 다수의 제 1 발광층을 포함하는 제 1 유기막층;

상기 제 2 화소 영역의 하부 전극 상에 위치하고, 하나 또는 다수의 제 2 발광층을 포함하며, 상기 제 1 유기막층과 상이한 두께를 가지는 제 2 유기막층;

상기 제 3 화소 영역의 하부 전극 상에 위치하며, 하나 또는 다수의 제 3 발광층을 포함하는 제 3 유기막층; 및

상기 제 1 유기막층, 제 2 유기막층 및 제 3 유기막층 상에 위치하는 상부 전극을 포함하며,

상기 제 1 화소 영역과 제 2 화소 영역 사이의 제 4 이격 거리와 상기 제 2 화소 영역과 제 3 화소 영역 사이의 제 5 이격 거리의 차이는 상기 제 1 유기막층과 제 2 유기막층의 두께 차에 비례하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 화소 영역, 제 2 화소 영역 및 제 3 화소 영역의 면적은 동일한 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제 9 항에 있어서,

상기 제 1 화소 영역, 제 2 화소 영역 및 제 3 화소 영역은 폭 또는 길이가 서로 상이한 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

삭제

청구항 13

제 9 항에 있어서,

상기 제 3 유기막층은 상기 제 1 유기막층 또는 제 2 유기막층과 동일한 두께를 가지는 것을 특징으로 하는 유기전계발광표시장치.

청구항 14

제 13 항에 있어서,

상기 제 1 유기막층, 제 2 유기막층 및 제 3 유기막층이 제 1 방향으로 반복되며, 상기 제 3 유기막층이 상기 제 1 유기막층과 동일한 두께를 가지는 경우,

상기 제 3 유기막층과 제 1 유기막층 사이의 제 6 이격 거리는 상기 제 4 이격 거리와 동일한 것을 특징으로 하는 유기전계발광표시장치.

청구항 15

제 9 항에 있어서,

상기 제 3 유기막층은 상기 제 1 유기막층 및 제 2 유기막층과 서로 상이한 두께를 가지며, 상기 제 3 유기막층과 이웃하며, 상기 제 2 유기막층의 반대편에 위치하는 제 4 유기막층과 상기 제 3 유기막층 사이의 제 6 이격 거리는 상기 제 4 이격 거리 및 제 5 이격 거리와 서로 상이한 것을 특징으로 하는 유기전계발광표시장치.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 마스크 패턴 및 이를 이용한 유기전계발광표시장치에 관한 것으로, 유기전계발광표시장치의 화소 영역에 유기막층을 증착하기 위한 마스크 패턴에 있어서, 마스크 패턴의 구조를 변경하여, 각 화소 영역에 증착되는 유기막층의 증착량 편차에 의해 마스크 패턴의 수명이 감소되는 것을 방지할 수 있는 마스크 패턴 및 이를 이용한 유기전계발광표시장치에 관한 것이다.

배 경 기 술

<2> 평판표시장치(Flat panel display device)는 경량 및 박형 등의 특성으로 인해, 음극선관 표시장치(Cathode-ray tube display device)를 대체하는 표시장치로서 사용되고 있다. 이러한 평판표시장치의 대표적인 예로서 액정표시장치(Liquid Crystal Display Device; LCD)와 유기전계발광표시장치(Organic Light Emitting Diode; OLED)가 있다. 이 중, 유기전계발광표시장치는 액정표시장치에 비하여 휘도 특성 및 시야각 특성이 우수하고 백라이트(Back light)를 필요로 하지 않아 초박형으로 구현할 수 있는 장점이 있다.

<3> 상기 유기전계발광표시장치는 구동 방법에 따라 수동 구동(Passive matrix) 방식과 능동 구동(Active matrix) 방식으로 나뉘는데, 능동 구동 방식은 박막트랜지스터(Thin Film Transistor; TFT)를 사용하는 회로를 가진다. 상기 수동 구동 방식은 그 표시 영역이 양극과 음극에 의하여 단순히 매트릭스 형태의 소자로 구성되어 있어 제조가 용이하다는 장점이 있다. 그러나, 해상도, 구동 전압의 상승, 재료 수명의 저하 등의 문제로 인하여 저해상도 및 소형 디스플레이의 응용분야로 제한된다. 상기 능동 구동 방식은 표시 영역이 각 화소마다 박막트랜지스터를 장착함으로써, 각 화소마다 일정한 전류를 공급함에 따라 안정적인 휘도를 나타낼 수 있다. 또한 전력소모가 적어, 고해상도 및 대형디스플레이를 구현할 수 있는 중요한 역할을 한다.

<4> 이와 같은 유기전계발광표시장치는 유기막층에 포함된 유기 발광층에서 음극(Cathode)을 통하여 주입된 전자(Electron)와 양극(Anode)을 통하여 주입된 정공(Hole)이 재결합하여 여기자를 형성하고, 형성된 여기자로부터의 에너지에 의해 특정한 파장의 빛이 발생되는 현상을 이용한 표시장치이다.

<5> 상기와 같은 유기전계발광표시장치는 풀-컬러(Full-color)를 디스플레이하기 위하여, R, G, B 유기 발광층을 포함하는 유기전계발광소자를 형성하고 있으며, 상기 유기전계발광소자는 다수의 개구부가 형성된 마스크 패턴을 증착 대상물, 즉 상기 유기전계발광소자가 형성될 기판 상에 정렬시키고, 상기 마스크 패턴의 개구부를 통해 상기 R, G, B 유기 발광층 등의 증착물을 상기 기판에 제공하여 원하는 형태의 패턴을 기판 상에 증착하여, 상기 기판 상에 상기 R, G, B 유기 발광층 중 어느 하나를 포함하는 다수의 유기막층을 형성되도록 함으로써 형성된다.

발명의 내용

해결 하고자하는 과제

<6> 그러나, 상기와 같은 유기전계발광표시장치는 미세공동(micro cavity)에 의한 공진 효과 또는 발광층의 효율을 위해 상기 마스크 패턴의 각 개구부를 통해 서로 상이한 양의 유기물이 증착될 수 있으며, 이 경우, 상기 유기막층의 증착 공정 시 쉐도우(shadow) 현상에 의해 상기 마스크 패턴의 개구부 사이에 증착되는 쉐도우 량의 두께 편차가 발생하며, 상기 쉐도우 량의 두께 편차는 상기 마스크 패턴의 개구부 사이에 증착되는 유기물에 의해 각 개구부가 채워지는 시간의 편차를 유발하므로, 상기 마스크 패턴의 각 개구부를 통해 증착되는 유기막층의 증착량 편차에 의해 상기 마스크 패턴의 수명이 감소되는 문제점이 있다.

과제 해결수단

<7> 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위한 것으로, 마스크 패턴의 구조를 변경하여, 상기 마스크 패턴의 각 개구부를 통해 증착되는 유기막층의 증착량 편차에 의해 상기 마스크 패턴의 수명이 감소되는 것을 방지할 수 있는 마스크 패턴 및 이를 이용한 유기전계발광표시장치를 제공함에 본 발명의 목적이 있다.

<8> 본 발명의 상기 목적은 제 1 개구부, 제 2 개구부 및 제 3 개구부를 포함하는 마스크 패턴에 있어서, 상기 제 1 개구부와 제 2 개구부 사이의 제 1 이격 거리는 상기 제 2 개구부와 제 3 개구부 사이의 제 2 이격 거리와 서로 상이한 것을 특징으로 하는 마스크 패턴에 의해 달성된다.

<9> 또한, 본 발명의 상기 목적은 제 1 화소 영역, 제 2 화소 영역 및 제 3 화소 영역을 포함하는 기판; 상기 기판

상에 위치하는 하부 전극; 상기 제 1 화소 영역의 하부 전극 상에 위치하며, 하나 또는 다수의 제 1 발광층을 포함하는 제 1 유기막층; 상기 제 2 화소 영역의 하부 전극 상에 위치하고, 하나 또는 다수의 제 2 발광층을 포함하며, 상기 제 1 유기막층과 상이한 두께를 가지는 제 2 유기막층; 상기 제 3 화소 영역의 하부 전극 상에 위치하며, 하나 또는 다수의 제 3 발광층을 포함하는 제 3 유기막층; 및 상기 제 1 유기막층, 제 2 유기막층 및 제 3 유기막층 상에 위치하는 상부 전극을 포함하며, 상기 제 1 화소 영역과 제 2 화소 영역 사이의 제 4 이격 거리는 상기 제 2 화소 영역과 제 3 화소 영역 사이의 제 5 이격 거리와 서로 상이한 것을 특징으로 하는 유기전계발광표시장치에 의해 달성된다.

효 과

<10> 따라서, 본 발명에 따른 마스크 패턴 및 이를 이용한 유기전계발광표시장치는 상기 유기전계발광표시장치의 각 화소 영역에 증착되는 유기막층의 증착량에 따라 상기 마스크 패턴의 개구부 사이의 이격 거리를 변경하여, 상기 마스크 패턴의 개구부 사이에 증착되는 쉐도우 량의 두께 편차를 최소화함으로써, 각 화소 영역에 증착되는 유기막층의 증착량 편차에 의해 상기 마스크 패턴의 수명이 감소되는 것을 방지하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<11> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용 효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 더욱 명확하게 이해될 것이다. 또한, 명세서 전체에 걸쳐서 동일한 참조 번호들은 동일한 구성 요소들을 나타내는 것이며, 도면에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수 있다.

<12> (실시 예)

<13> 도 1은 본 발명의 실시 예에 따른 마스크 패턴을 나타낸 평면도이며, 도 2는 도 1의 I-I'선을 따라 절단한 단면도이다.

<14> 도 1 및 2를 참조하면, 본 발명의 실시 예에 따른 마스크 패턴(100)은 동일한 폭(W) 및 길이(L)를 가지며, 제 1 방향(X)으로 반복되는 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)를 포함한다. 여기서, 본 발명의 실시 예에서는 상기 마스크 패턴(100)은 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)를 포함하는 것으로 설명하고 있으나, 상기 마스크 패턴(100)은 두 개 또는 네 개 이상의 개구부를 포함할 수도 있다.

<15> 또한, 본 발명의 실시 예에서는 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)가 동일한 폭(W) 및 길이(L)를 가지도록 하여, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)가 동일한 면적인 것으로 설명하고 있으나, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)가 서로 상이한 폭(W) 또는 길이(L)를 가지도록 하여, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)가 서로 상이한 면적을 가지도록 할 수도 있다.

<16> 상기 마스크 패턴(100)은 일측 표면에 형성된 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)의 폭(W) 및 길이(L)가 상기 마스크 패턴(100)의 타측 표면에 형성된 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)의 폭(W) 및 길이(L)보다 작도록 하여, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)의 폭(W), 길이(L) 및 면적이 상기 마스크 패턴(100)의 일측 표면으로부터 타측 표면으로 갈수록 증가하도록 할 수 있다.

<17> 또한, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)의 측면이 각각 단면 경사각(Θ)을 가지도록 하여, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)의 폭(W), 길이(L) 및 면적이 상기 마스크 패턴(100)의 일측 표면으로부터 타측 표면으로 갈수록 일정 비율을 가지며 증가하도록 할 수 있으며, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)가 동일한 단면 경사각(Θ)을 가지도록 하여, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)의 폭(W), 길이(L) 및 면적이 동일한 비율로 증가하도록 할 수도 있다.

<18> 상기 마스크 패턴의 각 개구부(110, 120, 130)는 인접한 개구부(110, 120, 130)와 서로 상이한 이격 거리(d1, d2, d3)를 가진다. 구체적으로는 상기 제 1 개구부(110)는 인접한 제 2 개구부(120)와 제 1 이격 거리(d1)만큼 이격되고, 상기 제 2 개구부(120)는 인접한 제 3 개구부(130)와 상기 제 1 이격 거리(d1)과 서로 상이한 제 2 이격 거리(d2)만큼 이격되며, 상기 제 3 개구부(130)는 인접한 제 1 개구부(120)와 상기 제 1 이격 거리(d1) 및

제 2 이격 거리(d2)와 서로 상이한 제 3 이격 거리(d3)만큼 이격된다.

<19> 여기서, 상기 제 1 이격 거리(d1), 제 2 이격 거리(d2) 및 제 3 이격 거리(d3)는 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)를 통해 증착되는 유기막층의 증착량에 따라 상기 마스크 패턴(100)의 각 개구부(110, 120, 130) 사이의 표면에 증착되는 쉐도우 량의 두께 편차를 최소화하기 위한 것이므로, 상기 제 1 개구부(110), 제 2 개구부(120) 및 제 3 개구부(130)를 통해 증착되는 유기막층의 증착량에 따라 변경되는 것이 바람직하다. 즉, 본 발명의 실시 예에서는 상기 제 1 이격 거리(d1), 제 2 이격 거리(d2) 및 제 3 이격 거리(d3)가 서로 상이한 것으로 설명하고 있으나, 상기 제 1 개구부(110)와 제 3 개구부(130)를 통해 증착되는 유기막층의 증착량이 동일한 경우, 상기 제 1 이격 거리(d1)과 제 3 이격 거리(d3)는 동일할 수 있다.

<20> 결과적으로 본 발명의 실시 예에 따른 마스크 패턴은 각 개구부를 통해 증착되는 유기막층의 증착량에 따라 각 개구부 사이의 이격 거리를 변경함으로써, 증착 공정 시 쉐도우 현상에 의해 발생되는 상기 마스크 패턴의 개구부 사이의 표면에 증착되는 쉐도우 량의 두께 편차를 최소화하고 있다.

<21> 도 3a 내지 3c는 본 발명의 실시 예에 따른 마스크 패턴을 이용한 유기전계발광표시장치의 제조 공정을 순차적으로 나타낸 단면도들이다.

<22> 도 3a 내지 3c를 참조하여, 본 발명의 실시 예에 따른 마스크 패턴을 이용한 유기전계발광표시장치의 제조 공정을 설명하면, 먼저, 도 3a에 도시된 바와 같이, 유리나 합성 수지, 스테인레스 스틸 등의 재질로 이루어지며, 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3)을 포함하는 기판(400) 상에 버퍼층(410)을 형성한다. 여기서, 상기 버퍼층(410)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 적층으로 형성할 수 있으며, 반드시 형성될 필요는 없으나, 기판(400) 내의 불순물이 확산되는 것을 방지하기 위해서는 형성하는 것이 바람직하다.

<23> 또한, 상기 제 1 화소 영역(P1)은 인접한 제 2 화소 영역(P2)과 제 4 이격 거리(d4)만큼 이격되고, 상기 제 2 화소 영역(P2)은 인접한 제 3 화소 영역(P3)과 제 5 이격 거리(d5)만큼 이격되며, 상기 제 3 화소 영역(P3)은 인접한 제 1 화소 영역(P1)과 제 6 이격 거리(d6)만큼 이격된다. 여기서, 본 발명의 실시 예에서는 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3)이 순차적으로 반복되는 것으로 설명하고 있으나, 상기 기판(400)은 두 개 또는 네 개 이상의 화소 영역을 포함할 수 있으며, 이 경우 상기 제 6 이격 거리(d6)는 상기 제 3 화소 영역(P3)과 이웃하며, 상기 제 2 화소 영역(P2)와 반대편에 위치하는 제 4 화소 영역(미도시)과 상기 제 3 화소 영역(P3) 사이의 이격 거리이다.

<24> 또한, 도시되지는 않았지만, 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3)이 동일한 폭(W) 및 길이(L)를 가지도록 하여, 후속 공정을 통해 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3) 상에 형성되는 상기 제 1 유기막층(480a), 제 2 유기막층(480b) 및 제 3 유기막층(480c)이 동일한 면적이 되도록 할 수 있으며, 이와는 달리, 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3)이 서로 상이한 폭(W) 또는 길이(L)를 가지도록 하여, 후속 공정을 통해 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3) 상에 형성되는 상기 제 1 유기막층(480a), 제 2 유기막층(480b) 및 제 3 유기막층(480c)이 상이한 면적을 가지도록 할 수도 있다.

<25> 다음으로, 상기 버퍼층(410) 상에 비정질 실리콘층(미도시)을 형성하고, 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화한 후, 상기 다결정 실리콘층을 패터닝하여 상기 각 화소 영역(P1, P2, P3) 상에 반도체층(420)을 형성한다. 여기서, 본 발명의 실시 예에서는 상기 비정질 실리콘층을 다결정 실리콘층으로 결정화하고, 상기 다결정 실리콘층을 패터닝함으로써, 상기 반도체층(420)을 다결정 실리콘으로 형성하고 있으나, 상기 반도체층(420)은 비정질 실리콘으로 형성할 수도 있다.

<26> 계속해서, 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3) 상의 반도체층(420)을 포함하는 기판(400) 상에 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 적층으로 게이트 절연막(430)을 형성하고, 상기 게이트 절연막(430) 상에 알루미늄(Al), 크롬(Cr), 몰리브덴(Mo) 및 이들의 합금으로 이루어진 군에서 선택된 어느 하나 또는 다수를 이용하여 단일층 또는 다수의 층으로 이루어진 게이트 전극용 금속층(미도시)를 형성한다.

<27> 이어서, 상기 게이트 전극용 금속층을 사진 식각 공정 등을 통하여 식각하여, 각 화소 영역(P1, P2, P3) 상의 반도체층(420)의 일정 영역에 대응하는 영역에 게이트 전극(436)을 형성하고, 상기 각 화소 영역(P1, P2, P3) 상의 게이트 전극을 마스크로 이용하여 상기 각 화소 영역(P1, P2, P3) 상의 반도체층(420)에 도전형 불순물을

도핑함으로써, 상기 각 화소 영역(P1, P2, P3) 상의 반도체층(420)에 소오스 영역(422), 드레인 영역(424) 및 채널 영역(426)을 형성한다. 여기서, 상기 채널 영역(426)은 상기 각 화소 영역(P1, P2, P3) 상의 게이트 전극(436)에 대응되는 상기 각 화소 영역(P1, P2, P3) 상의 반도체층(420)의 영역으로 상기 게이트 전극(436)에 의해 도전형 불순물이 도핑되지 않은 영역이며, 본 발명의 실시 예에서는 상기 각 화소 영역(P1, P2, P3) 상의 게이트 전극(436)을 마스크로 이용하여 상기 각 화소 영역(P1, P2, P3) 상의 반도체층(420)의 불순물 도핑 공정을 수행하고 있으나, 상기 불순물 도핑 공정은 상기 각 화소 영역(P1, P2, P3) 상의 게이트 전극(436)의 형성 전에 포토레지스트를 이용하여 수행할 수 있다.

<28> 다음으로, 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3) 상의 게이트 전극(436)을 포함하는 기판(400) 상에 층간 절연막(440)을 형성하고, 상기 층간 절연막(440) 및 게이트 절연막(430)을 식각하여, 상기 각 화소 영역(P1, P2, P3) 상의 반도체층(420)의 소오스 영역(422) 또는 드레인 영역(424)의 일부를 노출시키기 위한 컨택홀(445)을 형성한다. 여기서, 상기 층간 절연막(440)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 적층으로 형성할 수 있다.

<29> 계속해서, 상기 컨택홀(445)을 포함하는 층간 절연막(440) 상부에 도전성 물질(미도시)을 형성한 후, 상기 도전성 물질층을 패터닝하여 상기 컨택홀(445)을 통해 상기 각 화소 영역(P1, P2, P3) 상의 소오스 영역(422) 또는 드레인 영역(424)과 각각 전기적으로 연결되는 소오스 전극(452) 및 드레인 전극(454)을 형성함으로써, 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터를 형성한다. 상기 도전성 물질층은 전자 이동도가 높은 몰리텅스텐(MoW), 알루미늄(Al) 또는 알루미늄-네오디뮴(Al-Nd) 등과 같은 알루미늄 합금 등으로 형성할 수 있다.

<30> 여기서, 본 발명의 실시 예에서는 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터의 게이트 전극(436)을 상기 각 화소 영역(P1, P2, P3) 상의 반도체층(420) 상에 형성하는 것으로 설명하고 있으나, 상기 게이트 전극(436)은 상기 반도체층(420)의 하부에 형성될 수 있으며, 상기 각 화소 영역(P1, P2, P3) 상의 게이트 전극(436)과 반도체층(420)의 위치 관계는 서로 상이할 수도 있다.

<31> 이어서, 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터를 포함하는 기판(400) 상에 제 1 절연막(460)을 형성하고, 상기 제 1 절연막(460)을 식각하여 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터의 드레인 전극(454)의 일부를 노출시키는 비아홀(465)를 형성한다. 여기서, 본 발명의 실시 예에서는 상기 비아홀(465)에 의해 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터의 드레인 전극(454)의 일부가 노출되는 것으로 설명하고 있으나, 상기 비아홀(465)에 의해 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터의 소오소 전극(452)의 일부가 노출될 수도 있다.

<32> 상기 제 1 절연막(460)은 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 적층 구조인 무기막이거나, 아크릴 등의 유기막일 수 있으며, 상기 무기막과 유기막의 적층 구조일 수도 있다. 바람직하게는 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터 상에 실리콘 산화막(SiO_2), 실리콘 질화막(SiNx) 또는 이들의 적층 구조인 무기막을 형성하고, 상기 무기막 상에 아크릴 등의 유기막을 형성하여, 후속 공정을 통해 상기 각 화소 영역(P1, P2, P3) 상의 제 1 절연막(460) 상에 형성되는 하부 전극(470)의 하부가 평탄하도록 한다.

<33> 다음으로, 상기 제 1 절연막(460) 상에 도전성 물질층(미도시)을 형성하고, 상기 도전성 물질층을 패터닝하여, 상기 각 화소 영역(P1, P2, P3)의 비아홀(465)을 통해 상기 각 화소 영역(P1, P2, P3) 상의 박막 트랜지스터의 드레인 전극(454)과 각각 전기적으로 연결되는 하부 전극(470)을 형성한다. 여기서, 상기 하부 전극(470)은 전도성을 가지며 투명한 막으로 높은 일함수를 갖는 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 포함하는 물질로 형성할 수 있으며, 발광 효율을 향상시키기 위하여, 상기 각 화소 영역(P1, P2, P3) 상의 하부 전극(470)의 하부에 알루미늄(Al), 은(Ag) 및 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 반사막 패턴(미도시)을 형성할 수도 있다.

<34> 계속해서, 상기 각 화소 영역(P1, P2, P3) 상의 하부 전극(470) 상에 화소 정의막 물질(미도시)을 증착하고, 상기 화소 정의막 물질을 식각하여 상기 각 화소 영역(P1, P2, P3) 상의 하부 전극(470)의 일부를 노출시키는 개구부를 포함하는 화소 정의막(475)을 형성한다. 상기 화소 정의막 물질은 폴리이미드(Polyimide), 벤조사이클로부틴계 수지(Benzocyclobutens series resin), 페놀계 수지(Phenol resin) 및 아크릴레이트(Acrylate)로 이루어진 군에서 선택된 어느 하나의 물질일 수 있다.

<35> 이어서, 도 3b에 도시된 바와 같이, 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3)에 대응되는 개구부를 포함하는 마스크 패턴을 이용하여, 상기 화소 정의막(475)의 개구부에 의해 노출된 상기 각 화소 영역(P1, P2, P3) 상의 하부 전극(470) 상에 제 1 두께(t1)를 가지는 제 1 유기막층(480a), 제 2 두께(t2)

를 가지는 제 2 유기막층(480b) 및 제 3 두께(t3)를 가지는 제 3 유기막층(480c)을 각각 형성한다.

<36> 여기서, 상기 제 1 유기막층(480a), 제 2 유기막층(480b) 및 제 3 유기막층(480c)은 각각 하나 또는 다수의 발광층을 포함하며, 상기 발광층은 적색 발광층, 녹색 발광층 또는 청색 발광층 중 어느 하나를 포함할 수 있다. 또한, 상기 제 1 유기막층(480a), 제 2 유기막층(480b) 및 제 3 유기막층(480c)은 상기 발광층 이외에 정공 주입층, 정공 수송층, 정공 저지층, 전자 수송층 및 전자 주입층으로 이루어진 군에서 선택된 어느 하나 또는 다수를 더 포함할 수 있다.

<37> 상기 제 1 유기막층(480a)의 제 1 두께(t1), 제 2 유기막층(480b)의 제 2 두께(t2) 및 제 3 유기막층(480c)의 제 3 두께(t3)는 각 화소 영역(P1, P2, P3)과 인접한 화소 영역(P1, P2, P3) 사이의 제 4 이격 거리(d4), 제 5 이격 거리(d5) 및 제 6 이격 거리(d6)에 비례하여 결정된다.

<38> 다음으로, 도 3c에 도시된 바와 같이, 상기 제 1 유기막층(480a), 제 2 유기막층(480b) 및 제 3 유기막층(480c) 상에 상부 전극(490)을 형성하여, 상기 제 1 화소 영역(P1), 제 2 화소 영역(P2) 및 제 3 화소 영역(P3) 상에 형성된 상기 제 1 유기막층(480a), 제 2 유기막층(480b) 및 제 3 유기막층(480c)을 포함하는 유기전계발광소자를 형성함으로써, 본 발명의 실시 예에 따른 마스크 패턴을 이용한 유기전계발광표시장치를 완성한다.

<39> 여기서, 본 발명의 실시 예에서는 상기 제 2 유기막층(280b)과 제 3 유기막층(280c)을 서로 상이한 두께로 형성하기 위하여, 상기 제 2 유기막층(280b)이 형성되는 제 2 화소 영역(P2)과 상기 제 3 유기막층(280c)이 형성되는 제 3 화소 영역(P3) 사이의 제 5 이격 거리(d5)가 상기 제 3 유기막층(280c)이 형성되는 제 3 화소 영역(P3)과 상기 제 1 유기막층(280a)이 형성되는 제 1 화소 영역(P1) 사이의 제 6 이격 거리(d6)와 서로 상이한 것으로 설명하였으나, 상기 제 2 유기막층(280b)과 제 3 유기막층(280c)을 서로 동일한 두께로 형성하는 경우, 상기 제 5 이격 거리(d5)와 제 6 이격 거리(d6)를 동일하게 한다.

<40> 마찬가지로, 상기 제 1 유기막층(280a)과 제 3 유기막층(280c)을 서로 동일한 두께로 형성하는 경우, 상기 제 4 이격 거리(d4)와 제 6 이격 거리(d6)를 동일하게 하며, 상기 제 1 유기막층(280a)과 제 2 유기막층(280b)을 서로 동일한 두께로 형성하는 경우, 상기 제 4 이격 거리(d4)와 제 5 이격 거리(d5)를 동일하게 한다.

<41> 또한, 본 발명의 실시 예에서는 상기 각 화소 영역(P1, P2, P3) 상의 기판(400)과 후속 공정에 의해 형성되는 하부 전극(470) 사이에 박막 트랜지스터가 위치하는 능동 방식의 유기전계발광표시장치를 설명하고 있으나, 상기 각 화소 영역(P1, P2, P3) 상의 기판(400)에 하부 전극(470)이 제 1 방향으로 배열되고, 상부 전극(490)이 상기 제 1 방향과 수직한 제 2 방향으로 배열되는 수동 방식의 유기전계발광표시장치에서도 본 발명의 실시 예에 따른 마스크 패턴이 사용될 수 있다.

<42> 결과적으로, 본 발명의 실시 예에 따른 마스크 패턴 및 이를 이용한 유기전계발광표시장치는 상기 유기전계발광표시장치의 각 화소 영역에 증착되는 유기막층의 증착량에 따라 각 화소 영역에 대응되는 마스크 패턴의 개구부 사이의 이격 거리를 제어함으로써, 상기 유기막층의 증착 공정 시 쉐도우 현상에 따른 상기 마스크 패턴의 쉐도우 량의 편차를 최소화한다.

도면의 간단한 설명

<43> 도 1은 본 발명의 실시 예에 따른 마스크 패턴을 나타낸 평면도이다.

<44> 도 2는 도 1의 I-I' 선을 따라 절단한 단면도로, 본 발명의 실시 예에 따른 마스크 패턴의 단면도이다.

<45> 도 3a 내지 3c는 본 발명의 실시 예에 따른 마스크 패턴을 이용하여 유기전계발광표시장치를 제조하는 공정을 순차적으로 나타낸 단면도들이다.

<46> <도면 주요 부호들에 대한 부호의 설명>

<47> 100, 300 : 마스크 패턴 110 : 제 1 개구부

<48> 120 : 제 2 개구부 130 : 제 3 개구부

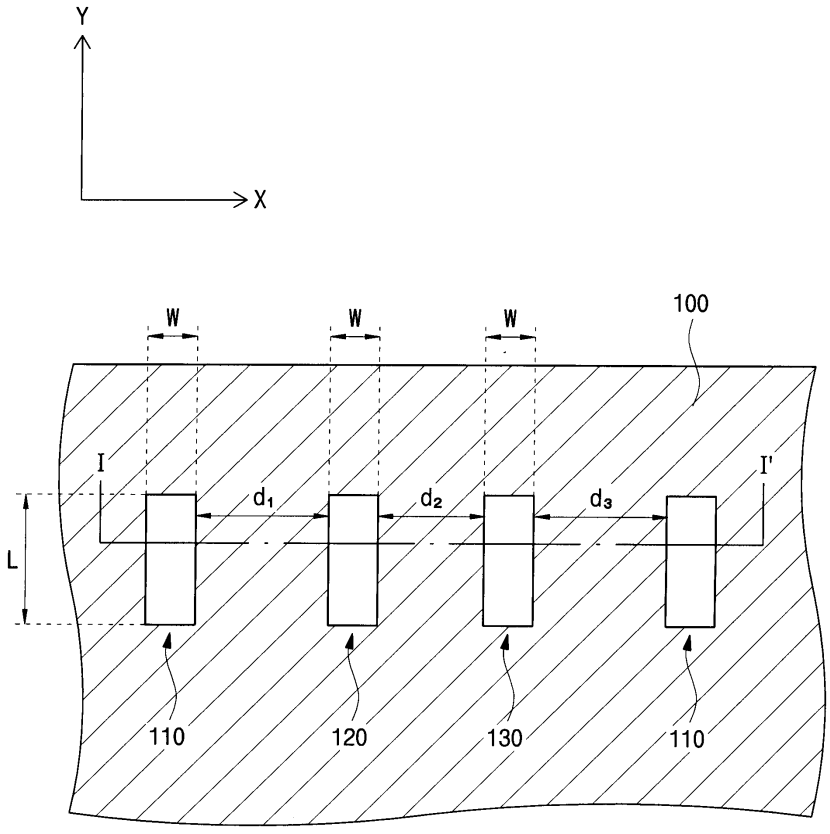
<49> 400 : 기판 470 : 하부 전극

<50> 480a : 제 1 유기막층 480b : 제 2 유기막층

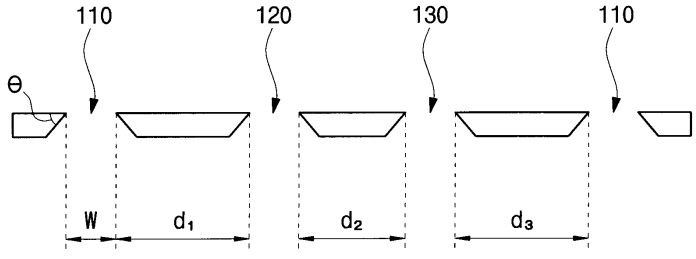
<51> 480c : 제 3 유기막층

도면

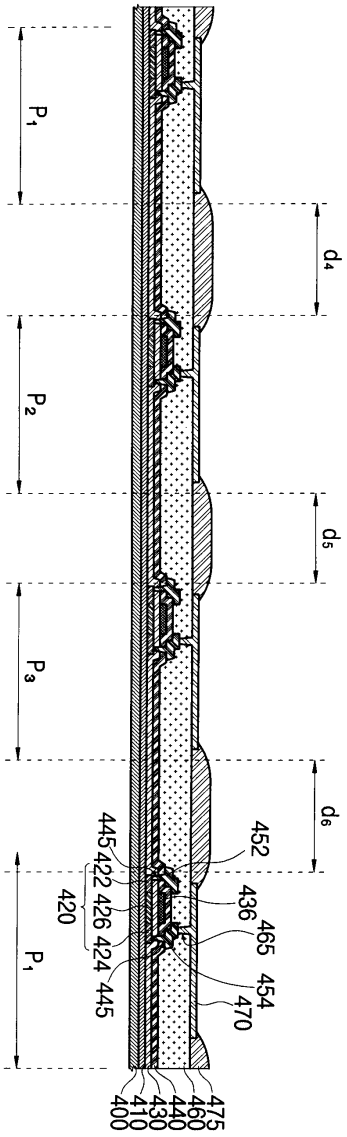
도면1



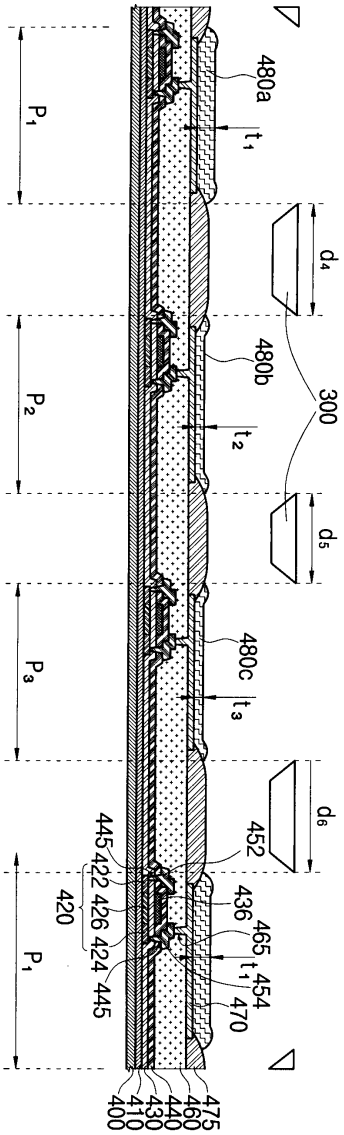
도면2



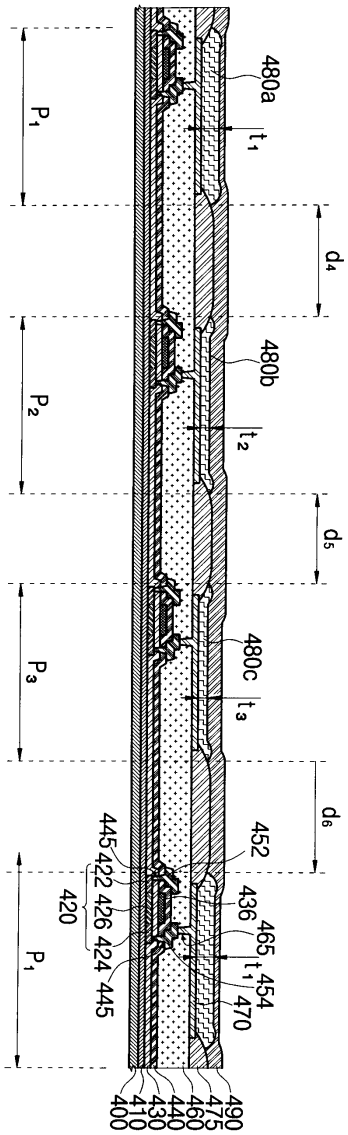
도면3a


P1
d4
P2
d5
P3
d6
P1
445
422
420
426
424
445
452
436
465
454
470
475
460
440
430
410
400

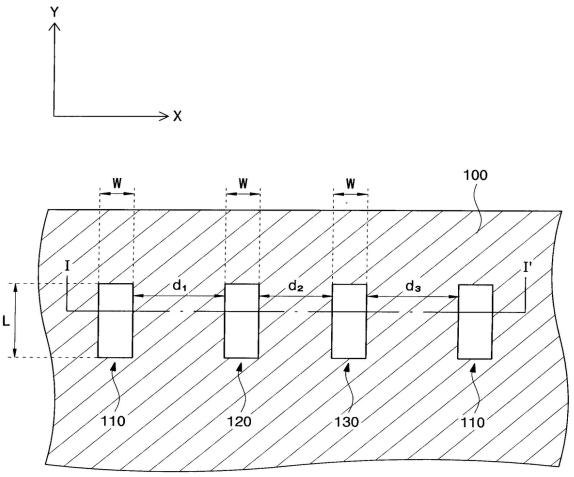
도면3b


480a
t_1
d_4
480b
300
t_2
d_5
480c
t_3
d_6
452
445
422
420
426
424
445
436
465
t_1
454
470
475
460
440
430
410
400
P_1
P_2
P_3
P_1

도면3c


480a
t1
P1
d4
480b
P2
t2
d5
480c
P3
t3
d6
452
445
422
426
420
424
445
436
465
t1
454
470
P1
400
410
430
440
460
475
490

专利名称(译)	掩模图案和使用其的有机电致发光显示器		
公开(公告)号	KR100924139B1	公开(公告)日	2009-10-28
申请号	KR1020080015819	申请日	2008-02-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	MIN KYOUNG WOOK		
发明人	MIN, KYOUNG WOOK		
IPC分类号	H05B33/10 H01L51/56		
CPC分类号	G03F7/70808 H01L27/3248 H01L51/0011 H01L2924/12044		
代理人(译)	PARK，常树		
其他公开文献	KR1020090090544A		
外部链接	Espacenet		

摘要(译)

提供了掩模图案和使用该掩模图案的有机电致发光显示器，以通过根据有机层的沉积量改变掩模图案的开口之间的距离来最小化沉积在掩模图案的开口之间的阴影的厚度偏差。 基板（400）包括第一至第三像素区域。 下电极（470）位于基板上。 第一有机层（480a）位于第一像素区域的下电极上。 第二有机层（480b）位于第二像素区域的下电极上。 第二有机层的厚度不同于第一有机层的厚度。 第三有机层（480c）位于第三像素区域的下电极上。 上电极（490）位于第一至第三有机层之间。 第一像素区域和第二像素区域之间的距离不同于第二像素区域和第三像素区域之间的距离。