



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.

G09G 3/30 (2006.01)

G09G 3/20 (2006.01)

G09G 3/32 (2006.01)

(45) 공고일자

2007년08월09일

(11) 등록번호

10-0748358

(24) 등록일자

2007년08월03일

(21) 출원번호

10-2006-0074584

(65) 공개번호

(22) 출원일자

2006년08월08일

(43) 공개일자

심사청구일자

2006년08월08일

(73) 특허권자

삼성에스디아이 주식회사
경기 수원시 영통구 신동 575

(72) 발명자

정보용
경기도 용인시 기흥읍 공세리 428-5 삼성SDI 중앙연구소

(74) 대리인

신영무

(56) 선행기술조사문헌

KR1019970055542 A

KR1019980028163 A

KR1020050113682 A

KR1020050122688 A

심사관 : 천대식

전체 청구항 수 : 총 27 항

(54) 논리 게이트 및 이를 이용한 주사 구동부와 유기전계발광표시장치

(57) 요약

본 발명은 피모스(PMOS) 트랜지스터들로 구현되는 논리 게이트에 관한 것이다.

본 발명의 논리 게이트는 제 1전원 및 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과; 상기 제 1전원에 접속되며, 외부로부터 공급되는 복수의 입력신호들에 대응하여 상기 제 1전원과 제 1노드의 접속을 제어하는 제 1구동부와; 상기 제 1노드와 상기 제 2전원 사이에 접속되어 상기 제 1노드의 전압을 제어하기 위한 제 1제어 트랜지스터와; 상기 제 1제어 트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되는 제 2구동부와; 상기 제 1전원 및 제 2전원 사이에 위치되며, 상기 제 1노드에 인가되는 전압에 의하여 구동되는 제 3구동부와; 상기 제 3구동부와 상기 제 2전원 사이에 위치되며, 제 1전극이 출력단자와 접속되는 제 2제어 트랜지스터와; 상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이에 위치되며, 상기 복수의 입력신호들에 대응하여 상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이의 접속을 제어하는 제 4구동부를 구비하며; 상기 제 1구동부, 제 2구동부, 제 3구동부, 제 4구동부 각각은 적어도 하나의 트랜지스터들을 포함하며, 상기 트랜지스터들, 상기 제 1제어 트랜지스터 및 제 2제어 트랜지스터는 피모스(PMOS)로 형성된다.

대표도

도 5

특허청구의 범위

청구항 1.

제 1전원 및 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과;

상기 제 1전원에 접속되며, 외부로부터 공급되는 복수의 입력신호들에 대응하여 상기 제 1전원과 제 1노드의 접속을 제어하는 제 1구동부와;

상기 제 1노드와 상기 제 2전원 사이에 접속되어 상기 제 1노드의 전압을 제어하기 위한 제 1제어 트랜지스터와;

상기 제 1제어 트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되는 제 2구동부와;

상기 제 1전원 및 제 2전원 사이에 위치되며, 상기 제 1노드에 인가되는 전압에 의하여 구동되는 제 3구동부와;

상기 제 3구동부와 상기 제 2전원 사이에 위치되며, 제 1전극이 출력단자와 접속되는 제 2제어 트랜지스터와;

상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이에 위치되며, 상기 복수의 입력신호들에 대응하여 상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이의 접속을 제어하는 제 4구동부를 구비하며;

상기 제 1구동부, 제 2구동부, 제 3구동부, 제 4구동부 각각은 적어도 하나의 트랜지스터들을 포함하며, 상기 트랜지스터들, 상기 제 1제어 트랜지스터 및 제 2제어 트랜지스터는 피모스(PMOS)로 형성되는 것을 특징으로 하는 논리 게이트.

청구항 2.

제 1항에 있어서,

상기 제 1제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터와,

상기 제 2제어 트랜지스터의 게이트전극과 제 2전극 사이에 접속되는 제 2커패시터를 더 구비하는 것을 특징으로 하는 논리 게이트.

청구항 3.

제 1항에 있어서,

상기 제 1구동부는 상기 제 1전원과 상기 제 1노드 사이에 병렬로 접속되며, 상기 입력신호들에 의하여 턴-온 또는 턴-오프되는 복수의 제 1트랜지스터들을 구비하는 것을 특징으로 하는 논리 게이트.

청구항 4.

제 3항에 있어서,

상기 제 2구동부는 상기 제 1제어 트랜지스터의 게이트전극에 제 1전극이 접속되고, 상기 제 2전원에 게이트전극 및 제 2전극이 접속되는 제 2트랜지스터를 구비하는 것을 특징으로 하는 논리 게이트.

청구항 5.

제 4항에 있어서,

상기 제 1제어 트랜지스터의 채널/길이비는 상기 제 1트랜지스터들 각각의 채널/길이비보다 좁게 설정되는 것을 특징으로 하는 논리 게이트.

청구항 6.

제 1항에 있어서,

상기 제 3구동부는 상기 제 1노드의 전압에 대응하여 상기 제 1전원과 상기 제 2제어 트랜지스터의 제 1전극의 접속을 제어하는 제 1트랜지스터를 구비하는 것을 특징으로 하는 논리 게이트.

청구항 7.

제 6항에 있어서,

상기 제 3구동부는 상기 제 1노드의 전압에 대응하여 상기 제 2제어 트랜지스터의 제 1전극과 게이트전극의 접속을 제어하는 제 2트랜지스터를 더 구비하는 것을 특징으로 하는 논리 게이트.

청구항 8.

제 6항에 있어서,

상기 제 4구동부는 제 2제어 트랜지스터의 게이트전극에 제 1전극이 접속되고, 게이트전극 및 제 2전극이 상기 제 2전원에 접속되는 제 2트랜지스터를 구비하는 것을 특징으로 하는 논리 게이트.

청구항 9.

제 8항에 있어서,

상기 제 2제어 트랜지스터의 채널/길이비는 상기 제 1트랜지스터의 채널/길이비보다 좁게 설정되는 것을 특징으로 하는 논리 게이트.

청구항 10.

제 7항에 있어서,

상기 제 4구동부는 상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이에 병렬로 접속되며, 상기 입력신호들에 의하여 턴-온 또는 턴-오프되는 제 3트랜지스터들을 구비하는 것을 특징으로 하는 논리 게이트.

청구항 11.

제 1항에 있어서,

상기 제 1제어 트랜지스터의 제 1전극과 게이트전극 사이에 병렬로 접속되며, 상기 입력신호들에 의하여 턴-온 또는 턴-오프되는 제 1트랜지스터들을 포함하는 제 5구동부를 더 구비하는 것을 특징으로 하는 논리 게이트.

청구항 12.

제 3항에 있어서,

상기 제 2구동부는 상기 제 1제어 트랜지스터의 게이트전극과 제 2전원 사이에 직렬로 접속되며, 상기 입력신호들과 반대의 극성을 가지는 입력바신호들에 의하여 턴-온 또는 턴-오프되는 제 2트랜지스터들을 구비하는 것을 특징으로 하는 논리 게이트.

청구항 13.

복수의 논리곱 게이트들을 구비하는 적어도 하나의 디코더와,

각각이 서로 다른 주사선들과 접속되며 상기 디코더의 출력들을 부정 논리곱 연산하여 주사신호를 생성하는 복수의 부정 논리곱 게이트들을 구비하며,

상기 논리곱 게이트들 및 상기 부정 논리곱 게이트들 각각은 복수의 피모스(PMOS) 트랜지스터들로 구성되는 것을 특징으로 하는 주사 구동부.

청구항 14.

제 13항에 있어서,

상기 디코더 각각에 설치되어 외부로부터 입력신호들을 공급받는 복수의 입력단자와,

상기 입력단자 각각에 접속되어 상기 입력신호들을 반전하기 위한 복수의 인버터들을 구비하는 것을 특징으로 하는 주사 구동부.

청구항 15.

제 13항에 있어서,

상기 디코더 각각에 설치되어 외부로부터 입력신호들 및 입력바신호들을 공급받는 복수의 입력단자를 구비하며, 상기 입력신호들 및 입력바신호들은 로우극성의 기간보다 하이극성의 기간이 길게 설정되는 것을 특징으로 하는 주사 구동부.

청구항 16.

제 13항에 있어서,

상기 부정 논리곱 게이트들 각각은

제 1전원 및 상기 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과;

상기 제 1전원 및 제 2전원의 사이에 위치되며, 자신의 제 1전극에 출력단자가 접속되는 제어 트랜지스터와;

상기 제어 트랜지스터의 제 1전극과 상기 제 1전원 사이에 병렬로 위치되며, 각각 외부로부터 서로 다른 입력신호를 공급받는 복수의 제 1트랜지스터들과;

상기 제어 트랜지스터의 제 1전극과 게이트전극 사이에 병렬로 위치되며, 상기 서로 다른 입력신호를 공급받는 복수의 제 2트랜지스터들과;

상기 제어 트랜지스터의 게이트전극과 상기 제 2전원 사이에 직렬로 위치되며, 상기 입력신호들과 반전된 극성을 갖는 입력신호들을 공급받는 복수의 제 3트랜지스터들을 구비하는 것을 특징으로 하는 주사 구동부.

청구항 17.

제 16항에 있어서,

상기 제어 트랜지스터의 제 1전극과 게이트전극 사이에 접속되는 커패시터를 더 구비하는 것을 특징으로 하는 주사 구동부.

청구항 18.

제 13항에 있어서,

상기 논리곱 게이트들 각각은

제 1전원 및 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과;

상기 제 1전원과 제 1노드 사이에 병렬로 접속되며, 각각 외부로부터 서로 다른 입력신호를 공급받는 복수의 제 1트랜지스터들과;

상기 제 1노드와 상기 제 2전원 사이에 접속되어 상기 제 1노드의 전압값을 제어하기 위한 제 1제어 트랜지스터와;

상기 제 1제어 트랜지스터의 게이트전극과 제 1전극 사이에 병렬로 접속되며, 상기 서로 다른 입력신호들을 공급받는 복수의 제 2트랜지스터들과;

상기 제 1제어 트랜지스터의 게이트전극과 제 2전원 사이에 직렬로 접속되며, 각각 외부로부터 서로 다른 입력신호들을 공급받는 복수의 제 3트랜지스터들과;

출력단자로 공급되는 전압값을 제어하기 위한 제 2제어 트랜지스터와;

상기 제 1전원과 상기 제 2제어 트랜지스터의 사이에 접속되며, 상기 제 1노드에 인가된 전압에 의하여 턴-온 또는 턴-오프되는 제 4트랜지스터와;

상기 제 2제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되며, 상기 제 1노드에 인가된 전압에 의하여 턴-온 또는 턴-오프되는 제 5트랜지스터와;

상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이에 병렬로 접속되며, 상기 서로 다른 입력신호들을 공급받는 복수의 제 6트랜지스터들을 구비하는 것을 특징으로 하는 주사 구동부.

청구항 19.

제 18항에 있어서,

상기 제 1제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터와,

상기 제 2제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 2커패시터를 구비하는 것을 특징으로 하는 주사 구동부.

청구항 20.

데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와,

주사선들로 주사신호를 공급하기 위한 주사 구동부와,

상기 데이터선 및 주사선에 접속되며 상기 주사신호가 공급될 때 상기 데이터신호에 대응되는 전압을 충전하기 위한 복수의 화소들을 구비하며,

상기 주사 구동부는

복수의 논리곱 게이트들을 구비하는 적어도 하나의 디코더와,

각각이 서로 다른 주사선들과 접속되며 상기 디코더의 출력들을 부정 논리곱 연산하여 주사신호를 생성하는 복수의 부정 논리곱 게이트들을 구비하며,

상기 논리곱 게이트들 및 상기 부정 논리곱 게이트들 각각은 복수의 피모스(PMOS) 트랜지스터들로 구성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 21.

제 20항에 있어서,

상기 디코더 각각에 설치되어 외부로부터 입력신호들을 공급받는 복수의 입력단자와,

상기 입력단자 각각에 접속되어 상기 입력신호들을 반전하기 위한 복수의 인버터들을 구비하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 22.

제 20항에 있어서,

상기 디코더 각각에 설치되어 외부로부터 입력신호들 및 입력바신호들을 공급받는 복수의 입력단자를 구비하며, 상기 입력신호들 및 입력바신호들은 로우극성의 기간보다 하이극성의 기간이 길게 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 23.

제 20항에 있어서,

상기 부정 논리곱 게이트들 각각은

제 1전원 및 상기 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과;

상기 제 1전원 및 제 2전원의 사이에 위치되며, 자신의 제 1전극에 출력단자가 접속되는 제어 트랜지스터와;

상기 제어 트랜지스터의 제 1전극과 상기 제 1전원 사이에 병렬로 위치되며, 각각 외부로부터 서로 다른 입력신호를 공급받는 복수의 제 1트랜지스터들과;

상기 제어 트랜지스터의 제 1전극과 게이트전극 사이에 병렬로 위치되며, 상기 서로 다른 입력신호를 공급받는 복수의 제 2트랜지스터들과;

상기 제어 트랜지스터의 게이트전극과 상기 제 2전원 사이에 직렬로 위치되며, 상기 입력신호들과 반전된 극성을 갖는 입력바신호들을 공급받는 복수의 제 3트랜지스터들을 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 24.

제 23항에 있어서,

상기 제어 트랜지스터의 제 1전극과 게이트전극 사이에 접속되는 커패시터를 더 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 25.

제 20항에 있어서,

상기 논리곱 게이트들 각각은

제 1전원 및 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과;

상기 제 1전원과 제 1노드 사이에 병렬로 접속되며, 각각 외부로부터 서로 다른 입력신호를 공급받는 복수의 제 1트랜지스터들과;

상기 제 1노드와 상기 제 2전원 사이에 접속되어 상기 제 1노드의 전압값을 제어하기 위한 제 1제어 트랜지스터와;

상기 제 1제어 트랜지스터의 게이트전극과 제 1전극 사이에 병렬로 접속되며, 상기 서로 다른 입력신호들을 공급받는 복수의 제 2트랜지스터들과;

상기 제 1제어 트랜지스터의 게이트전극과 제 2전원 사이에 직렬로 접속되며, 각각 외부로부터 서로 다른 입력바신호들을 공급받는 복수의 제 3트랜지스터들과;

출력단자로 공급되는 전압값을 제어하기 위한 제 2제어 트랜지스터와;

상기 제 1전원과 상기 제 2제어 트랜지스터의 사이에 접속되며, 상기 제 1노드에 인가된 전압에 의하여 턴-온 또는 턴-오프되는 제 4트랜지스터와;

상기 제 2제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되며, 상기 제 1노드에 인가된 전압에 의하여 턴-온 또는 턴-오프되는 제 5트랜지스터와;

상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이에 병렬로 접속되며, 상기 서로 다른 입력신호들을 공급받는 복수의 제 6트랜지스터들을 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 26.

제 25항에 있어서,

상기 제 1제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 1커패시터와,

상기 제 2제어 트랜지스터의 게이트전극과 제 1전극 사이에 접속되는 제 2커패시터를 구비하는 것을 특징으로 하는 유기 전계발광 표시장치.

청구항 27.

제 21항에 있어서,

상기 입력신호 중 높은 주파수의 입력신호를 공급받는 디코더를 상기 부정 논리곱 게이트와 인접하게 배치하는 것을 특징으로 하는 유기전계발광 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 논리 게이트 및 이를 이용한 주사 구동부와 유기전계발광 표시장치에 관한 것으로, 특히 피모스(PMOS) 트랜지스터들로 구현되는 논리 게이트 및 이를 이용한 주사 구동부와 유기전계발광 표시장치에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

평판표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 이러한, 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

일반적으로, 유기전계발광 표시장치는 매트릭스 형태로 배열되는 화소들과, 화소들과 접속된 데이터선들을 구동하기 위한 데이터 구동부와, 화소들과 접속된 주사선들을 구동하기 위한 주사 구동부를 구비한다.

주사 구동부는 수평기간마다 주사신호를 순차적으로 공급하면서 라인 단위로 화소들을 선택한다. 데이터 구동부는 주사신호에 의하여 라인 단위로 선택된 화소들로 데이터신호를 공급한다. 그러면, 화소들 각각은 데이터신호에 대응하는 소정의 전류를 유기 발광 다이오드로 공급함으로써 데이터신호에 대응되는 소정의 화상을 표시한다.

한편, 유기전계발광 표시장치의 제조비용 등을 절감하기 위해서는 주사 구동부가 패널에 실장되어야 한다. 하지만, 종래의 주사 구동부는 피모스(PMOS) 트랜지스터 및 엔모스(NMOS) 트랜지스터로 구성되기 때문에 패널에 실장되기 곤란했다. 다시 말하여, 피모스 및 엔모스 트랜지스터로 구성된 주사 구동부가 패널에 형성될 때 마스크 수가 증가하는 문제점이 발생한다. 따라서, 피모스 트랜지스터들로 구현되어 패널에 형성될 수 있는 주사 구동부가 요구되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 피모스(PMOS) 트랜지스터들로 구현되는 논리 게이트 및 이를 이용한 주사 구동부와 유기전계발광 표시장치를 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 논리 게이트는 제 1전원 및 제 1전원 보다 낮은 전압값으로 설정되는 제 2전원과; 상기 제 1전원에 접속되며, 외부로부터 공급되는 복수의 입력신호들에 대응하여 상기 제 1전원과 제 1노드의 접속을 제어하는 제 1구동부와; 상기 제 1노드와 상기 제 2전원 사이에 접속되어 상기 제 1노드의 전압을 제어하기 위한 제 1제어 트랜지스터와; 상기 제 1제어 트랜지스터의 게이트전극과 상기 제 2전원 사이에 접속되는 제 2구동부와; 상기 제 1전원 및 제 2전원 사이에 위치되며, 상기 제 1노드에 인가되는 전압에 의하여 구동되는 제 3구동부와; 상기 제 3구동부와 상기 제 2전원 사이에 위치되며, 제 1전극이 출력단자와 접속되는 제 2제어 트랜지스터와; 상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이에 위치되며, 상기 복수의 입력신호들에 대응하여 상기 제 2제어 트랜지스터의 게이트전극과 제 2전원 사이의 접속을 제어하는 제 4구동부를 구비하며; 상기 제 1구동부, 제 2구동부, 제 3구동부, 제 4구동부 각각은 적어도 하나의 트랜지스터들을 포함하며, 상기 트랜지스터들, 상기 제 1제어 트랜지스터 및 제 2제어 트랜지스터는 피모스(PMOS)로 형성된다.

본 발명의 실시예에 의한 주사 구동부는 복수의 논리곱 게이트들을 구비하는 적어도 하나의 디코더와, 각각이 서로 다른 주사선들과 접속되며 상기 디코더의 출력들을 부정 논리곱 연산하여 주사신호를 생성하는 복수의 부정 논리곱 게이트들을 구비하며, 상기 논리곱 게이트들 및 상기 부정 논리곱 게이트들 각각은 복수의 피모스(PMOS) 트랜지스터들로 구성된다.

본 발명의 실시예에 의한 유기전계발광 표시장치는 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부와, 주사선들로 주사신호를 공급하기 위한 주사 구동부와, 상기 데이터선 및 주사선에 접속되며 상기 주사신호가 공급될 때 상기 데이터신호에 대응되는 전압을 충전하기 위한 복수의 화소들을 구비하며, 상기 주사 구동부는 복수의 논리곱 게이트들을 구비하는 적어도 하나의 디코더와, 각각이 서로 다른 주사선들과 접속되며 상기 디코더의 출력들을 부정 논리곱 연산하여 주사신호를 생성하는 복수의 부정 논리곱 게이트들을 구비하며, 상기 논리곱 게이트들 및 상기 부정 논리곱 게이트들 각각은 복수의 피모스(PMOS) 트랜지스터들로 구성된다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예를 첨부된 도 1 내지 도 9를 참조하여 상세히 설명하면 다음과 같다.

도 1은 본 발명의 실시예에 의한 부정 논리곱(NAND) 게이트를 나타내는 도면이다. 여기서, 본 발명의 실시예에 의한 부정 논리곱 게이트는 피모스 트랜지스터들로 구현된다.

도 1을 참조하면, 본 발명의 실시예에 의한 부정 논리곱 게이트는 출력단자(Vout)로 공급되는 전압을 제어하기 위한 제 7트랜지스터(M7)(제어 트랜지스터)와, 제 1전원(VDD)과 제 7트랜지스터(M7) 사이에 위치되며 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3)의 극성(하이 또는 로우)에 대응하여 제 1전원(VDD)과 제 7트랜지스터(M7)의 제 1전극의 접속 여부를 제어하는 제 1구동부(10)와, 제 7트랜지스터(M7)의 제 1전극과 게이트전극 사이에 위치되며 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3)의 극성(하이 또는 로우)에 대응하여 제 7트랜지스터(M7)의 제 1전극과 게이트전극의 접속 여부를 제어하는 제 2구동부(12)와, 제 7트랜지스터(M7)의 게이트전극과 제 2전원(VSS) 사이에 위치되며 제 1입력바신호(/IN1), 제 2입력바신호(/IN2) 및 제 3입력바신호(/IN3)의 극성(하이 또는 로우)에 대응하여 제 7트랜지스터(M7)의 게이트전극과 제 2전원(VSS) 사이의 접속 여부를 제어하는 제 3구동부(14)를 구비한다.

제 7트랜지스터(M7)는 자신의 게이트전극으로 공급되는 전압에 대응하여 턴-온 또는 턴-오프된다. 예를 들어, 제 7트랜지스터(M7)는 자신의 게이트전극으로 제 1전원(VDD)의 전압이 공급될 때 턴-오프되고, 제 2전원(VSS)의 전압이 공급될 때 턴-온된다. 이를 위하여, 제 1전원(VDD)은 제 2전원(VSS) 보다 높은 전압으로 설정된다. 예를 들어, 제 1전원(VDD)은 양극성의 전압으로 설정되고, 제 2전원(VSS)의 그라운드 전압 또는 부극성의 전압으로 설정될 수 있다.

제 1구동부(10)는 제 1전원(VDD)과 제 7트랜지스터(M7)의 제 1전극 사이에 병렬로 접속되는 제 1트랜지스터(M1), 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)를 구비한다. 이와 같은 제 1구동부(10)는 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 로우극성으로 설정될 때 제 1전원(VDD)과 제 7트랜지스터(M7)의 제 1전극을 전기적으로 접속시킨다.

상세히 설명하면, 제 1트랜지스터(M1)는 제 1전원(VDD)과 제 7트랜지스터(M1)의 제 1전극 사이에 접속되고, 제 1입력신호(IN1)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 1트랜지스터(M1)는 제 1입력신호(IN1)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 2트랜지스터(M2)는 제 1전원(VDD)과 제 7트랜지스터(M1)의 제 1전극 사이에 접속되고, 제 2입력신호(IN2)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 2트랜지스터(M2)는 제 2입력신호(IN2)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 3트랜지스터(M3)는 제 1전원(VDD)과 제 7트랜지스터(M1)의 제 1전극 사이에 접속되고, 제 3입력신호(IN3)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 3트랜지스터(M3)는 제 3입력신호(IN3)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 2구동부(12)는 제 7트랜지스터(M7)의 제 1전극과 게이트전극 사이에 병렬로 접속되는 제 4트랜지스터(M4), 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)를 구비한다. 이와 같은 제 2구동부(12)는 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 로우극성으로 설정될 때 제 7트랜지스터(M7)의 제 1전극과 게이트전극을 전기적으로 접속시킨다.

상세히 설명하며, 제 4트랜지스터(M4)는 제 7트랜지스터(M7)의 제 1전극과 게이트전극 사이에 접속되며, 제 3입력신호(IN3)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 4트랜지스터(M4)는 제 3입력신호(IN3)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 5트랜지스터(M5)는 제 7트랜지스터(M7)의 제 1전극과 게이트전극 사이에 접속되며, 제 2입력신호(IN2)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 5트랜지스터(M5)는 제 2입력신호(IN2)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 6트랜지스터(M6)는 제 7트랜지스터(M7)의 제 1전극과 게이트전극 사이에 접속되며, 제 1입력신호(IN1)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 6트랜지스터(M6)는 제 1입력신호(IN1)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 3구동부(14)는 제 7트랜지스터(M7)의 게이트전극과 제 2전원(VSS) 사이에 직렬로 접속되는 제 8트랜지스터(M8), 제 9트랜지스터(M9) 및 제 10트랜지스터(M10)를 구비한다. 이와 같은 제 3구동부(14)는 제 1입력바신호(/IN1), 제 2입력바신호(/IN2) 및 제 3입력바신호(/IN3)가 로우극성으로 설정될 때 제 7트랜지스터(M7)의 게이트전극과 제 2전원(VSS)을 전기적으로 접속시킨다.

상세히 설명하면, 제 8트랜지스터(M8), 제 9트랜지스터(M9) 및 제 10트랜지스터(M10)는 제 7트랜지스터(M7)의 게이트전극과 제 2전원(VSS) 사이에 직렬로 설치된다. 여기서, 제 8트랜지스터(M8)는 제 1입력바신호(/IN1)가 로우극성일 때 턴-온되고, 제 9트랜지스터(M9)는 제 2입력바신호(/IN2)가 로우극성일 때 턴-온된다. 그리고, 제 10트랜지스터(M1)는 제 3입력바신호(/IN3)가 로우극성일 때 턴-온된다.

표 1은 부정 논리곱 게이트의 진리표를 나타낸다.

[표 1]

IN1	IN2	IN3	Vout
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

도 1 및 표 1을 참조하여 동작과정을 상세히 설명하기로 한다. 먼저, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 로우극성으로 설정될 때 제 1트랜지스터(M1), 제 2트랜지스터(M2) 및 제 3트랜지스터(M3) 중 어느 하나가 턴-온된다. 그러면, 제 1전원(VDD)과 제 7트랜지스터(M7)의 제 1전극이 전기적으로 접속되어 출력단자(vout)로 제 1전원(VDD)의 전압이 출력된다. 즉, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 로우극성으로 설정될 때 하이극성의 전압이 출력단자(vout)로 공급된다.

제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 로우극성으로 설정될 때 제 4트랜지스터(M4), 제 5트랜지스터(M5) 및 제 6트랜지스터(M6) 중 어느 하나가 턴-온된다. 그러면, 제 1전원(VDD)과 제 7트랜지스터(M7)의 게이트전극이 전기적으로 접속된다. 이 경우, 제 7트랜지스터(M7)의 게이트전극과 제 1전극 사이에 위치되는 제 1커패시터(C1)의 양단 전압이 동일(즉, 제 1전원(VDD))하게 설정된다. 즉, 제 1커패시터(C1)는 제 7트랜지스터(M7)의 게이트전극과 제 1전극 사이의 전압을 동일하게 유지하여 제 7트랜지스터(M7)로부터 제 2전극(VSS)으로 누설전류가 흐르는 것을 방지한다.

그리고, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 로우극성으로 설정되면, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 중 어느 하나가 하이극성으로 설정된다. 이 경우, 제 8트랜지스터(M8), 제 9트랜지스터(M9) 및 제 10트랜지스터(M10) 중 어느 하나가 턴-오프되어 제 7트랜지스터(M7)의 게이트전극과 제 2전극(VSS)이 전기적으로 차단된다.

한편, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 모두가 하이극성으로 설정될 때 제 1트랜지스터(M1), 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)가 턴-오프된다. 그러면, 제 1전원(VDD)과 제 7트랜지스터(M7)의 제 1전극이 전기적으로 차단된다.

제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 모두가 하이극성으로 설정될 때 제 4트랜지스터(M4), 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)가 턴-오프된다. 그러면, 제 7트랜지스터(M7)의 제 1전극과 게이트전극이 전기적으로 차단된다.

한편, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 모두가 하이극성으로 설정될 때, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3)가 로우극성으로 설정된다. 이 경우, 제 8트랜지스터(M8), 제 9트랜지스터(M9) 및 제 10트랜지스터(M10)가 턴-온되어 제 7트랜지스터(M7)의 게이트전극으로 제 2전극(VSS)의 전압이 공급된다. 제 7트랜지스터(M7)의 게이트전극으로 제 2전극(VSS)의 전압이 공급되면 제 7트랜지스터(M7)가 턴-온되어 출력단자(vout)로 제 2전극(VSS)의 전압이 공급된다. 즉, 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3) 모두가 하이극성으로 설정될 때 출력단자(vout)로는 로우극성에 대응하는 제 2전극(VSS)의 전압이 출력된다.

상술한 바와 같은 본 발명의 부정 논리곱 게이트는 모두 PMOS 트랜지스터들로 구성된다. 따라서, 유기전계발광 표시장치의 패널에 내장되어 구현될 수 있고, 이에 따라 제조비용을 절감함과 아울러 제조공정을 단축시킬 수 있는 이점이 있다.

한편, 도 1에서는 3개의 입력을 가지는 부정 논리곱 게이트를 도시하였지만 본 발명이 이에 한정되는 것은 아니다. 다시 말하여, 제 1구동부(10), 제 2구동부(12) 및 제 3구동부(14) 각각에 포함되는 트랜지스터들의 수를 조절하여 입력의 수를 제어할 수 있다. 예를 들어, 제 1구동부(10), 제 2구동부(12) 및 제 3구동부(14) 각각에 4개의 트랜지스터가 포함되면 4개의 입력을 가지는 부정 논리곱 게이트를 만들 수 있다.

도 2는 본 발명의 제 1실시예에 의한 논리곱(AND) 게이트를 나타내는 도면이다. 본 발명의 제 1실시예에 의한 논리곱 게이트는 피모스 트랜지스터들로 구현된다. 도 2를 설명할 때 도 1과 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.

도 2를 참조하면, 본 발명의 제 1실시예에 의한 논리곱 게이트는 제 13트랜지스터(M13)(제 2제어 트랜지스터), 제 1구동부(10), 제 2구동부(12), 제 3구동부(14), 제 4구동부(16), 제 5구동부(18) 및 제 6구동부(20)를 구비한다.

제 1구동부(10), 제 2구동부(12), 제 3구동부(14) 및 제 4구동부(16)의 구성은 도 1과 동일하게 설정된다. 즉, 제 1구동부(10)는 제 1노드(N1)와 제 1전원(VDD) 사이에 병렬로 접속되는 제 1트랜지스터(M1), 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)를 구비한다. 제 2구동부(12)는 제 7트랜지스터(M7)(제 1제어 트랜지스터)의 제 1전극과 게이트전극 사이에 병렬로 접속되는 제 4트랜지스터(M4), 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)를 구비한다. 제 3구동부(14)는 제 7

트랜지스터(M7)의 게이트전극과 제 2전원(VSS) 사이에 직렬로 접속되는 제 8트랜지스터(M8), 제 9트랜지스터(M9) 및 제 10트랜지스터(M10)를 구비한다. 제 4구동부(16)는 제 1노드(N1)와 제 2전원(VSS) 사이에 접속되는 제 7트랜지스터(M7)와, 제 7트랜지스터(M7)의 제 1전극과 게이트전극 사이에 접속되는 제 1커패시터(C1)를 구비한다.

이와 같은 제 1구동부(10), 제 2구동부(12), 제 3구동부(14) 및 제 4구동부(16)는 도 1을 설명할 때 상세히 설명되었으므로 도 2에서는 상세한 설명을 생략하기로 한다. 한편, 제 1 내지 제 4구동부(16)가 도 1과 동일하게 구성되기 때문에 제 1노드(N1)(즉, 제 7트랜지스터(M7)의 제 1전극)로는 표 1과 같은 부정 논리곱에 대응되는 전압이 출력된다.

제 13트랜지스터(M13)는 제 1전원(VDD)과 제 2전원(VSS) 사이에 위치되며, 제 1전극이 출력단자(Vout)에 접속된다. 이와 같은 제 13트랜지스터(M13)는 자신의 게이트전극으로 공급되는 전압에 대응하여 턴-온 또는 턴-오프되면서 출력단자(Vout)로 공급되는 전압을 제어한다. 예를 들어, 제 13트랜지스터(M13)는 자신의 게이트전극으로 제 1전원(VDD)의 전압이 공급될 때 턴-오프되고, 제 2전원(VSS)의 전압이 공급될 때 턴-온된다.

제 5구동부(18)는 제 1노드(N1)에 인가되는 전압에 대응하여 제 13트랜지스터(M13)의 제 1전극과 제 1전원(VDD)의 접속을 제어한다. 이를 위하여, 제 5구동부(18)는 제 13트랜지스터(M13)의 제 1전극과 제 1전원(VDD) 사이에 접속되는 제 11트랜지스터(M11)와, 제 13트랜지스터(M13)의 제 1전극과 게이트전극 사이에 접속되는 제 12트랜지스터(M12)를 구비한다.

제 11트랜지스터(M11) 및 제 12트랜지스터(M12)는 제 1노드(N1)로 로우극성의 전압이 공급될 때 턴-온되고, 그 외의 경우에 턴-오프된다. 제 11트랜지스터(M11)가 턴-온되면 제 1전원(VDD)의 전압이 출력단자(Vout)로 공급된다. 제 12트랜지스터(M12)가 턴-온되면 제 1전원(VDD)의 전압이 제 13트랜지스터(M13)의 게이트전극으로 공급된다. 그러면, 제 13트랜지스터(M13)가 턴-오프 상태로 설정되어 출력단자(Vout)로 공급되는 제 1전원(VDD)의 전압이 안정적으로 유지될 수 있다.

제 6구동부(20)는 제 13트랜지스터(M13)의 제 1입력신호(IN1), 제 2입력신호(IN2) 및 제 3입력신호(IN3)의 극성(하이 또는 로우)에 대응하여 제 13트랜지스터(M13)의 게이트전극과 제 2전원(VSS)의 접속을 제어한다. 이를 위하여, 제 6구동부(20)는 제 13트랜지스터(M13)의 게이트전극과 제 2전원(VSS) 사이에 병렬로 접속되는 제 14트랜지스터(M14), 제 15트랜지스터(M15) 및 제 16트랜지스터(M16)를 구비한다.

제 14트랜지스터(M14)는 제 13트랜지스터(M13)의 게이트전극과 제 2전원(VSS) 사이에 접속되고, 제 1입력신호(IN1)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 14트랜지스터(M14)는 제 1입력신호(IN1)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 15트랜지스터(M15)는 제 13트랜지스터(M13)의 게이트전극과 제 2전원(VSS) 사이에 접속되고, 제 2입력신호(IN2)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 15트랜지스터(M15)는 제 2입력신호(IN2)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

제 16트랜지스터(M16)는 제 13트랜지스터(M13)의 게이트전극과 제 2전원(VSS) 사이에 접속되고, 제 3입력신호(IN3)에 의하여 턴-온 또는 턴-오프된다. 즉, 제 16트랜지스터(M16)는 제 3입력신호(IN3)가 로우극성일 때 턴-온되고, 그 외의 경우에는 턴-오프된다.

표 2는 논리곱 게이트의 진리표를 나타낸다.

[표 2]

IN1	IN2	IN3	Vout
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0

1	1	1	1
---	---	---	---

도 2 및 표 2를 참조하여 동작과정을 상세히 설명하기로 한다. 먼저, 제 1노드(N1)로는 부정 논리곱에 대응하는 극성전압이 출력된다. 다시 말하여, 제 1입력신호(IN1) 내지 제 3입력신호(IN3) 중 적어도 하나의 신호가 로우극성으로 설정될 때 제 1노드(N1)로는 하이극성의 전압이 출력되고, 제 1입력신호(IN1) 내지 제 3입력신호(IN3) 모두가 하이극성으로 설정될 때 제 1노드(N1)로는 로우극성의 전압이 출력된다.

제 1노드(N1)로 하이극성의 전압이 출력되면 제 11트랜지스터(M11) 및 제 12트랜지스터(M12)가 턴-오프된다. 이 경우, 제 14트랜지스터(M14) 내지 제 16트랜지스터(M16) 중 어느 하나가 턴-온되기 때문에 제 13트랜지스터(M13)의 게이트전극으로 제 2전원(VSS)의 전압이 공급되고, 이에 따라 제 13트랜지스터(M13)가 턴-온된다. 제 13트랜지스터(M13)가 턴-온되면 출력단자(Vout)로 제 2전원(VSS)의 전압(즉, 로우극성)이 출력된다.

제 1노드(N1)로 로우극성의 전압이 출력되면 제 11트랜지스터(M11) 및 제 12트랜지스터(M12)가 턴-온된다. 제 11트랜지스터(M11) 및 제 12트랜지스터(M12)가 턴-온되면 제 13트랜지스터(M13)가 턴-오프되고, 이에 따라 출력단자(Vout)로 제 1전원(VDD)(즉, 하이극성)이 출력된다. 한편, 제 1노드(N1)로 로우극성의 전압이 출력될 때 제 14트랜지스터(M14) 내지 제 16트랜지스터(M16)가 턴-오프되기 때문에 출력단자(Vout)의 전압을 안정적으로 유지할 수 있다. 이때, 제 2커패시터(C2)는 제 13트랜지스터(M13)의 제 1전극과 게이트전극 사이의 전압을 충전함으로써 제 13트랜지스터(M13)에서 누설전류가 흐르는 것을 방지한다.

상술한 바와 같이 본 발명의 제 1실시예에 의한 논리곱 게이트는 모두 PMOS 트랜지스터들로 구성된다. 따라서, 본 발명의 제 1실시예에 의한 논리곱 게이트는 패널에 내장되어 구현될 수 있고, 이에 따라 제조비용을 절감함과 아울러 제조공정을 단순할 수 있는 이점이 있다.

한편, 도 2에서는 3개의 입력을 가지는 논리곱 게이트를 도시하였지만 본 발명이 이에 한정되는 것은 아니다. 다시 말하여, 제 1구동부(10), 제 2구동부(12), 제 3구동부(14) 및 제 6구동부(20) 각각에 포함되는 트랜지스터들의 수를 조절하여 입력의 수를 제어할 수 있다. 예를 들어, 제 1구동부(10), 제 2구동부(12), 제 3구동부(14) 및 제 6구동부(20) 각각에 4개의 트랜지스터가 포함되면 4개의 입력을 가지는 논리곱 게이트를 만들 수 있다.

도 3은 본 발명의 제 2실시예에 의한 논리곱(AND) 게이트를 나타내는 도면이다. 도 3을 설명할 때 도 2와 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.

도 3을 참조하면, 본 발명의 제 2실시예에 의한 논리곱(AND) 게이트는 제 13트랜지스터(M13), 제 1구동부(10), 제 3구동부(14'), 제 4구동부(16), 제 5구동부(18) 및 제 6구동부(20)를 구비한다. 여기서, 제 1구동부(10), 제 4구동부(16), 제 5구동부(18) 및 제 6구동부(20)는 도 2와 동일한 구성으로 설정된다.

제 3구동부(14')는 제 1노드(N1)로 제 1전원(VDD)의 전압이 공급될 때 제 1전원(VDD)의 전압을 유지하고, 그 외의 경우에는 제 1노드(N1)의 전압을 제 2전원(VSS)으로 유지한다. 이를 위하여, 제 3구동부(14')는 제 7트랜지스터(M7)의 게이트전극과 제 2전원(VSS) 사이에 접속되는 제 20트랜지스터(M20)를 구비한다.

제 20트랜지스터(M20)의 제 1전극은 제 7트랜지스터(M7)의 게이트전극에 접속되고, 게이트전극 및 제 2전극은 제 2전원(VSS)에 접속된다. 즉, 제 20트랜지스터(M20)는 다이오드 형태로 접속되어 제 7트랜지스터(M7)의 게이트전극의 전압을 대략 제 2전원(VSS)의 전압으로 유지한다.

제 1구동부(10)에 의하여 제 1전원(VDD)과 제 1노드(N1)가 전기적으로 차단되는 경우 제 7트랜지스터(M7)는 턴-온 상태를 유지하면서 제 1노드(N1)의 전압을 로우극성(즉, 제 2전원(VSS))으로 유지한다. 그리고, 제 1구동부(10)에 의하여 제 1전원(VDD)과 제 1노드(N1)가 전기적으로 접속되는 경우 제 7트랜지스터(M7)는 제 1노드(N1)의 전압을 하이극성(즉, 제 1전원(VDD))으로 유지한다. 이를 위하여, 제 7트랜지스터(M7)의 채널/길이비(W/L)는 제 1트랜지스터(M1), 제 2트랜지스터(M2) 및 제 3트랜지스터(M3) 각각의 채널/길이비(W/L) 보다 좁게 설정된다.

그러면, 제 1노드(N1)로 제 1전원(VDD)이 공급될 때 제 1전원(VDD)의 전압을 안정적으로 유지할 수 있다. 한편, 본 발명의 제 2실시예에서는 제 3구동부(14')만을 이용하여 제 7트랜지스터(M7)의 게이트전극의 전압을 제어한다. 따라서, 도 2에 도시된 제 2구동부(12)의 구성은 생략된다.

도 4는 본 발명의 제 3실시예에 의한 논리곱(AND) 게이트를 나타내는 도면이다. 도 4를 설명할 때 도 2와 동일한 구성에 대해서는 동일한 도면부호를 할당함과 아울러 상세한 설명은 생략하기로 한다.

도 4를 참조하면, 본 발명의 제 3실시예에 의한 논리곱 게이트는 제 13트랜지스터(M13), 제 1구동부(10), 제 2구동부(12), 제 3구동부(14), 제 4구동부(16), 제 5구동부(18') 및 제 6구동부(20')를 구비한다. 여기서, 제 1구동부(10) 내지 제 4구동부(16)는 도 2와 동일한 구성으로 설정된다.

제 5구동부(18')는 제 1노드(N1)의 전압에 대응하여 제 1전원(VDD)과 제 13트랜지스터(M13)의 제 1전극의 접속여부를 제어한다. 이를 위하여, 제 5구동부(18')는 제 1전원(VDD)과 제 13트랜지스터(M13)의 제 1전극 사이에 위치되며, 게이트전극이 제 1노드(N1)에 접속되는 제 11트랜지스터(M11)를 구비한다.

제 6구동부(20')는 제 13트랜지스터(M13)의 제 1전극(즉, 출력단자(Vout))으로 제 1전원(VDD)의 전압이 공급될 때 제 1전원(VDD)의 전압을 유지하고, 그 외의 경우에는 출력단자(Vout)의 전압을 제 2전원(VSS)으로 유지한다. 이를 위하여, 제 6구동부(20')는 제 13트랜지스터(M13)의 게이트전극과 제 2전원(VSS) 사이에 접속되는 제 21트랜지스터(M21)를 구비한다.

제 21트랜지스터(M21)의 제 1전극은 제 13트랜지스터(M13)의 게이트전극에 접속되고, 게이트전극 및 제 2전극은 제 2전원(VSS)에 접속된다. 즉, 제 21트랜지스터(M21)는 다이오드 형태로 접속되어 제 13트랜지스터(M13)의 게이트전극의 전압을 대략 제 2전원(VSS)의 전압으로 유지한다.

동작과정을 설명하면, 제 13트랜지스터(M13)는 제 21트랜지스터(M21)에 의하여 턴-온 상태를 유지한다. 따라서, 제 1노드(N1)가 하이극성으로 설정되어 제 11트랜지스터(M11)가 턴-오프된 경우 출력단자(Vout)로는 제 2전원(VSS)이 출력된다.

한편, 제 1노드(N1)가 로우극성으로 설정되면 제 11트랜지스터(M11)가 턴-온되고, 이에 따라 출력단자(Vout)로 제 1전원(VDD)의 전압이 공급된다. 이 경우, 제 13트랜지스터(M13)는 출력단자(Vout)의 전압을 제 1전원(VDD)의 전압으로 유지한다. 이를 위하여, 제 13트랜지스터(M13)의 채널/길이비(W/L)는 제 11트랜지스터(M11)의 채널/길이비(W/L) 보다 좁게 설정된다. 그러면, 출력단자(Vout)로 제 1전원(VDD)이 공급될 때 제 1전원(VDD)의 전압이 안정적으로 유지될 수 있다.

도 5는 본 발명의 논리곱 게이트 및 부정 논리곱 게이트를 이용하여 구현되는 주사 구동부를 나타내는 도면이다. 도 5에서는 설명의 편의성을 위하여 주사 구동부가 320개의 주사선(S1 내지 S320)들과 접속됨과 아울러 주사선들(S1 내지 S320)로 주사신호가 순차적으로 공급된다고 가정하기로 한다.

도 3을 참조하면, 본 발명의 주사 구동부는 복수개의 디코더(30, 32, 34)와, 디코더들(30, 32, 34)의 출력을 부정 논리곱 연산하여 주사신호를 생성하기 위한 부정 논리곱 게이트들(NAND1 내지 NAND320)을 구비한다.

제 1디코더(30) 및 제 2디코더(32)는 3개의 입력단자와 8개의 출력단자를 구비하며, 제 3디코더(34)는 3개의 입력단자와 5개의 출력단자를 구비한다. 즉, 제 1디코더(30) 및 제 2디코더(32) 각각에는 8개의 논리곱 게이트들이 포함되고, 제 3디코더(34)에는 5개의 논리곱 게이트가 포함된다. 여기서, 각각의 디코더들(30, 32, 34)에 포함되는 논리곱 게이트들의 수는 주사 구동부에 접속되는 주사선들(S1 내지 S320)의 수에 의하여 결정된다. 예를 들어, 도 5에서는 320개의 주사선들(S1 내지 S320)로 주사신호를 공급하기 위해서는 21개의 논리곱 게이트가 형성된다.

제 1디코더(30)는 8개의 논리곱 게이트들(AND1 내지 AND8)을 구비한다. 이와 같은 제 1디코더(30)는 제 1입력단자(a1), 제 2입력단자(a2) 및 제 3입력단자(a3)로부터 공급되는 입력신호들과, 제 1입력단자(a1)와 접속되는 제 1인버터(INV1), 제 2입력단자(a2)와 접속되는 제 2인버터(INV2) 및 제 3입력단자(a3)와 접속되는 제 3인버터(INV3)로부터 공급되는 입력바신호들을 논리곱 게이트들(AND1 및 AND8)로 적절히 공급한다. 논리곱 게이트들(AND1 내지 AND8)로 공급되는 입력신호들 및 입력바신호들은 추후에 설명하기로 한다.

제 2디코더(32)는 8개의 논리곱 게이트들(AND9 내지 AND16)을 구비한다. 이와 같은 제 2디코더(32)는 제 4입력단자(a4), 제 5입력단자(a5) 및 제 6입력단자(a6)로부터 공급되는 입력신호들과, 제 4입력단자(a4)와 접속되는 제 4인버터(INV4), 제 5입력단자(a5)와 접속되는 제 5인버터(INV5) 및 제 6입력단자(a6)와 접속되는 제 6인버터(INV6)로부터 공급되는 입력바신호들을 논리곱 게이트들(AND9 내지 AND16)로 적절히 공급한다. 논리곱 게이트들(AND9 내지 AND16)로 공급되는 입력신호들 및 입력바신호들은 추후에 설명하기로 한다.

제 3디코더(34)는 5개의 논리곱 게이트들(AND17 내지 AND21)을 구비한다. 이와 같은 제 3디코더(34)는 제 7입력단자(a7), 제 8입력단자(a8) 및 제 9입력단자(a9)로 공급되는 입력신호들과, 제 7입력단자(a7)와 접속되는 제 7인버터(INV7), 제 8입력단자(a8)와 접속되는 제 8인버터(INV8) 및 제 9입력단자(a9)와 접속되는 제 9인버터(INV9)로부터 공급되는 입력바신호들을 논리곱 게이트들(AND17 내지 AND21)로 적절히 공급한다. 논리곱 게이트들(AND17 내지 AND21)로 공급되는 입력신호들 및 입력바신호들은 추후에 설명하기로 한다.

부정 논리곱 게이트들(NAND1 내지 NAND320) 각각은 제 1디코더(30), 제 2디코더(32) 및 제 3디코더(34)로부터의 출력신호를 공급받고, 공급받은 출력신호를 부정 논리곱 연산하여 주사선들(S1 내지 S320)로 공급한다.

여기서, 제 1부정 논리곱 게이트(NAND1)는 제 1논리곱 게이트(AND1), 제 9논리곱 게이트(AND9) 및 제 17논리곱 게이트(AND17)의 출력을 부정 논리합 연산하여 제 1주사선(S1)으로 주사신호를 공급한다. 제 2부정 논리곱 게이트(NAND2)는 제 2논리곱 게이트(AND2), 제 9논리곱 게이트(AND9) 및 제 17논리곱 게이트(AND17)의 출력을 부정 논리곱 연산하여 제 2주사선(S2)으로 주사신호를 공급한다.

그리고, 제 64부정 논리곱 게이트(NAND64)는 제 8논리곱 게이트(AND8), 제 16논리곱 게이트(AND16) 및 제 17논리곱 게이트(AND17)의 출력을 부정 논리곱 연산하여 제 64주사선(S64)으로 공급한다. 제 320부정 논리곱 게이트(NAND320)는 제 8논리곱 게이트(AND8), 제 16논리곱 게이트(AND16) 및 제 21논리곱 게이트(AND21)의 출력을 부정 논리곱 연산하여 제 320주사선(S320)으로 공급한다. 즉, 본 발명에서 부정 논리곱 게이트들(NAND1 내지 NAND320) 각각은 디코더들(30, 32, 34)의 출력을 부정 논리곱 연산하여 어느 하나의 주사선(S1 내지 S320 중 어느 하나)으로 주사신호를 공급한다.

도 6은 도 5에 도시된 입력단자들로 공급되는 구동파형을 나타내는 도면이다.

도 6을 참조하면, 입력단자들(a1 내지 a9)로는 서로 다른 주파수를 가지는 구동파형들이 공급된다. 실제로, 구동파형의 주파수들은 제 9입력단자(a9)로부터 제 1입력단자(a1)로 갈수록 2배씩 증가하도록 설정된다. 다시 말하여, 제 8입력단자(a8)로 공급되는 구동파형의 주파수는 제 9입력단자(a9)로 공급되는 구동파형의 주파수보다 2배 높은 주파수로 설정되고, 제 7입력단자(a7)로 공급되는 구동파형의 주파수는 제 8입력단자(a8)로 공급되는 구동파형의 주파수보다 2배 높은 주파수로 설정된다. 또한, 제 6입력단자(a6)로 공급되는 구동파형의 주파수는 제 7입력단자(a7)로 공급되는 구동파형의 주파수보다 2배 높은 주파수로 설정되고, 제 5입력단자(a5)로 공급되는 구동파형의 주파수는 제 6입력단자(a6)로 공급되는 구동파형의 주파수보다 2배 높은 주파수로 설정된다.

한편, 본 발명에서는 입력받는 주파수에 대응하여 디코더들(30, 32, 34)의 배치함으로써 라인배선의 기생캐패를 최소화할 수 있다. 예를 들어, 빠른 주파수를 입력받는 디코더를 부정 논리곱 게이트들(NAND1 내지 NAND320)과 가깝게 배치함으로써 기생캐패 및 저항을 낮출 수 있고, 이에 따라 동작속도가 개선될 수 있다.

도 7은 도 5에 도시된 논리곱 게이트들의 연결을 나타내는 도면이다. 도 8a는 도 6에 도시된 제 1입력단자(a1), 제 2입력단자(a2) 및 제 3입력단자(a3)로 공급되는 구동파형을 상세히 나타내는 도면이다.

도 7에서는 설명의 편의성을 위하여 제 1디코더(30)에 포함되는 논리곱 게이트들(AND1, AND2, AND3, ..., AND8)의 연결을 나타내기 위하여 한다. 여기서, 제 2디코더(32) 및 제 3디코더(34)에 포함된 논리곱 게이트들(AND9 내지 AND21)의 연결 구성도 연결되는 입력단자만 상이할 뿐 동일하게 설정된다.

다시 말하여, 도 7과 같이 제 1논리곱 게이트(AND1)가 제 1입력단자(/a1), 제 2입력단자(/a2) 및 제 3입력단자(/a3)와 접속되면, 제 9논리곱 게이트(AND9)는 제 4입력단자(/a4) 내지 제 6입력단자(/a6)와 접속된다. 마찬가지로, 제 17논리곱 게이트(AND17)도 제 7입력단자(/a7) 내지 제 9입력단자(/a9)와 접속된다.

도 7을 참조하면, 주사신호를 순차적으로 출력하기 위해서 제 1논리곱 게이트(AND1) 내지 제 8논리곱 게이트(AND8)는 하이극성의 신호를 순차적으로 출력해야 한다. 이를 위해서, 제 1논리곱 게이트(AND1)는 제 1입력바단자(/a1)로부터의 구동신호를 제 1입력신호(IN1)로 공급받고, 제 2입력바단자(/a2)로부터의 구동신호를 제 2입력신호(IN2)로 공급받는다. 그리고, 제 1논리곱 게이트(AND1)는 제 3입력바단자(/a3)로부터의 구동신호를 제 3입력신호(IN3)로 공급받는다.(여기서, 제 1입력단자(a1)의 구동신호는 제 1입력바신호(/IN1), 제 2입력단자(a2)의 구동신호는 제 2입력바신호(/IN2), 제 3입력단자(a3)의 구동신호는 제 3입력바신호(/IN3)로 사용된다.)

그러면, 도 8a에 도시된 제 1기간(T1) 동안 제 1논리곱 게이트(AND1)로부터 하이극성의 전압이 출력된다. 한편, 제 1기간(T1) 동안에는 제 4입력바신호(/a4), 제 5입력바신호(/a5) 및 제 6입력바신호(/a6)가 하이극성으로 설정되기 때문에 제 9논리곱 게이트(AND9)에서 하이극성의 전압이 출력된다. 그리고, 제 1기간(T1) 동안 제 7입력바신호(/a7), 제 8입력바신호(/a8) 및 제 9입력바신호(/a9)가 하이극성으로 설정되기 때문에 제 17논리곱 게이트(AND17)에서 하이극성의 전압이 출력된다.

이 경우, 제 1논리곱 게이트(AND1), 제 9논리곱 게이트(AND9) 및 제 17논리곱 게이트(AND17)와 접속된 제 1부정 논리곱 게이트(NAND1)에서 로우극성의 신호, 즉 주사신호가 출력된다. 즉, 제 1기간(T1) 동안에는 제 1주사선(S1)으로 주사신호가 출력된다.

제 2논리곱 게이트(AND2)는 제 1입력단자(a1)로부터의 구동신호를 제 1입력신호(IN1)로 공급받고, 제 2입력바단자(/a2)로부터의 구동신호를 제 2입력신호(IN2)로 공급받는다. 그리고, 제 2논리곱 게이트(AND2)는 제 3입력바단자(/a3)로부터의 구동신호를 제 3입력신호(IN3)로 공급받는다.(여기서, 제 1입력바단자(/a1)의 구동신호는 제 1입력바신호(/IN1), 제 2입력단자(a2)의 구동신호는 제 2입력바신호(/IN2), 제 3입력단자(a3)의 구동신호는 제 3입력바신호(/IN3)로 사용된다.)

그러면, 제 2기간(T2)동안 제 2논리곱 게이트(AND2)로부터 하이극성의 전압이 출력된다. 한편, 제 2기간(T2) 동안에는 제 4입력바신호(/a4), 제 5입력바신호(/a5) 및 제 6입력바신호(/a6)가 하이극성으로 설정되기 때문에 제 9논리곱 게이트(AND9)에서 하이극성의 전압이 출력된다. 그리고, 제 2기간(T2) 동안 제 7입력바신호(/a7), 제 8입력바신호(/a8) 및 제 9입력바신호(/a9)가 하이극성으로 설정되기 때문에 제 17논리곱 게이트(AND17)에서 하이극성의 전압이 출력된다.

이 경우, 제 2논리곱 게이트(AND2), 제 9논리곱 게이트(AND9) 및 제 17논리곱 게이트(AND17)와 접속된 제 2부정 논리곱 게이트(NAND2)에서 로우극성의 신호, 즉 주사신호가 출력된다. 즉, 제 2기간(T2) 동안에는 제 2주사선(S2)으로 주사신호가 출력된다.

제 8논리곱 게이트(AND8)는 제 1입력단자(a1)로부터의 구동신호를 제 1입력신호(IN1)로 공급받고, 제 2입력단자(a2)로부터의 구동신호를 제 2입력신호(IN2)로 공급받는다. 그리고, 제 8논리곱 게이트(AND8)는 제 3입력단자(a3)로부터의 구동신호를 제 3입력신호(IN3)로 공급받는다.(여기서, 제 1입력바단자(/a1)의 구동신호는 제 1입력바신호(/IN1), 제 2입력바단자(/a2)의 구동신호는 제 2입력바신호(/IN2), 제 3입력바단자(/a3)의 구동신호는 제 3입력바신호(/IN3)로 사용된다.)

그러면, 제 8기간(T8) 동안 제 8논리곱 게이트(AND8)로부터 하이극성의 전압이 출력된다. 한편, 제 8기간(T8) 동안에는 제 4입력바신호(/a4), 제 5입력바신호(/a5) 및 제 6입력바신호(/a6)가 하이극성으로 설정되기 때문에 제 9논리곱 게이트(AND9)에서 하이극성의 전압이 출력된다. 그리고, 제 8기간(T8) 동안 제 7입력바신호(/a7), 제 8입력바신호(/a8) 및 제 9입력바신호(/a9)가 하이극성으로 설정되기 때문에 제 17논리곱 게이트(AND17)에서 하이극성의 전압이 출력된다.

이 경우, 제 8논리곱 게이트(AND8), 제 9논리곱 게이트(AND9) 및 제 17논리곱 게이트(AND17)와 접속된 제 8부정 논리곱 게이트(NAND8)에서 로우극성의 신호, 즉 주사신호가 출력된다. 다시 말하여, 제 8기간(T8) 동안에는 제 8주사선(S8)으로 주사신호가 출력된다.

이와 같은 방식으로 본 발명의 주사 구동부는 주사선들(S1 내지 S320)로 주사신호를 순차적으로 공급한다. 여기서, 본 발명의 주사 구동부는 PMOS로 이루어진 논리곱 게이트들(AND1 내지 AND21) 및 PMOS로 이루어진 부정 논리곱 게이트들(NAND1 내지 NAND320)로 구성된다. 즉, 본 발명의 주사 구동부는 유기전계발광 표시장치의 패널에 실장 가능하다는 장점이 있다.

한편, 도 5에서는 주사선들(S1 내지 S320)으로 주사신호를 순차적으로 공급되는 연결구성을 도시하였으나, 본 발명에 이에 한정되는 것은 아니다. 현재, 유기전계발광 표시장치의 화소들의 전압편차 등을 보완하기 위하여 유기전계발광 표시장치를 디지털방식으로 구동하는 방법이 제안되었다. 디지털 방식은 "1" 또는 "0"의 데이터신호를 공급하고, 화소들 각각의 발광시간을 제어함으로써 소정의 화상을 표시하는 방식이다.

이와 같은 디지털 방식을 서브 프레임 단위로 나누어 구동하는 경우 의사윤곽 노이즈(Contour noise) 등이 발생하는 문제점이 있다. 따라서, 주사신호를 순차적으로 공급하지 않고 임의의 선으로 공급하는 방식이 제안되었다. 예를 들어, 제 10주사선(S10)으로 주사신호를 공급한 후 제 60주사선(S60)으로 주사신호를 공급하는 방식으로 비발광 시간을 줄여 의사윤곽 노이즈 등을 제거하게 된다. 여기서, 본 발명의 주사 구동부는 도 6에 도시된 구동과형 및/또는 도 5에 도시된 연결 구성을 변경함으로써 간단히 임의의 선으로 주사신호를 공급할 수 있다.

예를 들어, 제 1부정 논리곱 게이트(NAND1)를 제 10주사선(S10)에 접속시키고, 제 2부정 논리곱 게이트(NAND2)를 제 60주사선(S60)에 접속시킬 수 있다. 다시 말하여, 본 발명에서는 부정 논리곱 게이트들(NAND1 내지 NAND320)의 연결 위치를 변경함으로써 주사신호를 공급하고자 하는 곳으로 공급할 수 있는 장점이 있고, 이에 따라 디지털 구동에 쉽게 적용 가능하다.

한편, 본 발명에서는 도 8b와 같이 출력단자들(a1 내지 a9, /a1 내지 /a9)로 공급되는 구동과형에서 로우극성의 기간보다 하이극성의 기간을 길게 설정할 수 있다.

상세히 설명하면, 제 1입력단자(a1)로 공급되는 구동과형에서 하이극성의 기간은 로우극성의 기간보다 길게 설정된다. 그리고, 제 1입력바단자(/a1)로 공급되는 구동과형에서 하이극성의 기간을 로우극성의 기간보다 길게 설정한다. 이 경우, 제 1입력바단자(/a1)로 공급되는 구동과형은 인버터(INV1)에 의하여 생성되지 않고, 외부로부터 공급된다. 이와 같이, 구동과형에서 하이극성의 기간이 로우극성의 기간보다 길게 설정되면 딜레이 등에 의하여 로우기간이 중첩되는 것을 방지할 수 있고, 이에 따라 안정된 구동을 확보할 수 있다.

도 9는 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

도 9를 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차영역에 형성된 화소들(140)을 포함하는 화소부(130)와, 주사선들(S1 내지 Sn)을 구동하기 위한 주사 구동부(110)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(120)와, 주사 구동부(110) 및 데이터 구동부(120)를 제어하기 위한 타이밍 제어부(150)를 구비한다.

데이터 구동부(120)는 타이밍 제어부(150)로부터 공급되는 데이터 구동제어신호(DCS)에 응답하여 데이터신호들을 생성하고, 생성된 데이터신호들을 데이터선들(D1 내지 Dm)로 공급한다. 이때, 데이터 구동부(120)는 각각의 수평기간(1H)마다 한 라인분의 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

주사 구동부(110)는 타이밍 제어부(150)로부터 공급되는 주사 구동제어신호(SCS)(예를 들면, 도 6과 같은 구동과형)에 응답하여 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 공급한다. 여기서, 주사 구동부(110)에서 생성된 주사신호는 임의의 순서로 주사선들(S1 내지 Sn)로 공급되거나 순차적으로 공급된다. 그리고, 주사 구동부(110)는 도 5에 도시된 바와 같이 PMOS 트랜지스터들로 이루어진 다수의 논리곱 게이트 및 부정 논리곱 게이트들로 구성되어 패널에 형성된다.

한편, 주사 구동부(110)에 포함되는 디코더들(30, 32, 34)은 패널의 실장 면적을 줄이기 위하여 데이터 구동부(120)에 집적회로 형태로 형성될 수 있다. 다시 말하여, 데이터 구동부(120)의 칩을 형성할 때 디코더들(30, 32, 34)이 포함되도록 데이터 구동부(120)를 형성한다. 그리고, 패널에 형성되는 부정 논리곱 게이트들과 디코더들(30, 32, 34)을 전기적으로 접속시킴으로써 패널의 실장 면적을 줄이면서 주사 구동부(110)를 안정적으로 구동시킬 수 있다.

타이밍 제어부(150)는 외부로부터 공급되는 동기신호들에 대응하여 데이터 구동제어신호(DCS) 및 주사 구동제어신호(SCS)를 생성한다. 타이밍 제어부(150)에서 생성된 데이터 구동제어신호들(DCS)은 데이터 구동부(120)로 공급되고, 주사 구동제어신호들(SCS)은 주사 구동부(110)로 공급된다. 그리고, 타이밍 제어부(150)는 외부로부터 공급되는 데이터(Data)를 재정렬하여 데이터 구동부(120)로 공급한다.

화소부(130)는 외부로부터 제 1구동전원(ELVDD) 및 제 2구동전원(ELVSS)을 공급받아 화소들(140) 각각으로 공급한다. 제 1구동전원(ELVDD) 및 제 2구동전원(ELVSS)을 공급받은 화소들(140)은 데이터신호에 대응하여 제 1구동전원(ELVDD)으로부터 유기 발광 다이오드(OLED)를 경유하여 제 2구동전원(ELVSS)으로 흐르는 전류량을 제어한다.

상기 발명의 상세한 설명과 도면은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 따라서, 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 보호 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

발명의 효과

상술한 바와 같이, 본 발명의 실시 예에 따른 논리 게이트 및 이를 이용한 주사 구동부와 유기전계발광 표시장치에 의하면 PMOS로 이루어진 부정 논리곱 게이트 및 논리곱 게이트들을 이용하여 주사 구동부를 구성할 수 있다. 이 경우, 주사 구동부에 포함되는 트랜지스터들이 모두 PMOS로 설정되기 때문에 마스크 수 증가 없이 패널에 실장 가능하고, 이에 따라 제조비용 등을 절감할 수 있는 장점이 있다. 또한, 본 발명의 주사 구동부는 구동과형 또는 논리 게이트들간의 연결을 변경함으로써 주사선들로 공급되는 주사신호의 순서를 다양하게 설정할 수 있고, 이에 따라 다양한 구동방식에 쉽게 적용 가능하다.

도면의 간단한 설명

도 1은 본 발명의 실시예에 의한 부정 논리곱 게이트를 나타내는 회로도이다.

도 2는 본 발명의 제 1실시예에 의한 논리곱 게이트를 나타내는 회로도이다.

도 3은 본 발명의 제 2실시예에 의한 논리곱 게이트를 나타내는 회로도이다.

도 4는 본 발명의 제 3실시예에 의한 논리곱 게이트를 나타내는 회로도이다.

도 5는 본 발명의 실시예에 의한 논리곱 게이트 및 부정 논리곱 게이트를 이용하여 구현되는 주사 구동부를 나타내는 도면이다.

도 6은 도 5의 입력단자들로 공급되는 구동과형의 실시예를 나타내는 도면이다.

도 7은 도 5에 도시된 논리곱 게이트들의 입력단자의 연결 구성을 나타내는 도면이다.

도 8a는 도 6에서 제 1입력단자, 제 2입력단자 및 제 3입력단자로 공급되는 구동과형을 상세히 나타내는 도면이다.

도 8b는 제 1입력단자로 공급되는 구동과형의 다른 실시예를 나타내는 도면이다.

도 9는 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

10,12,14,14',16,18,18',20,20' : 구동부

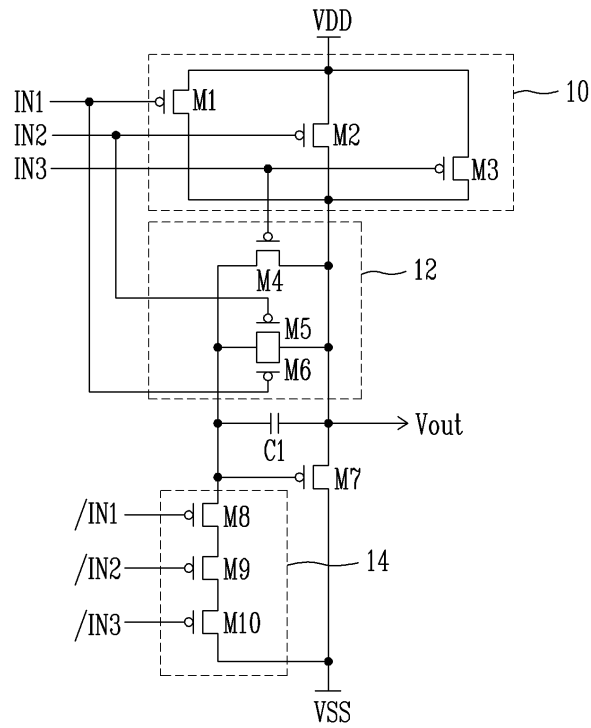
30,32,34 : 디코더 110 : 주사 구동부

120 : 데이터 구동부 130 : 화소부

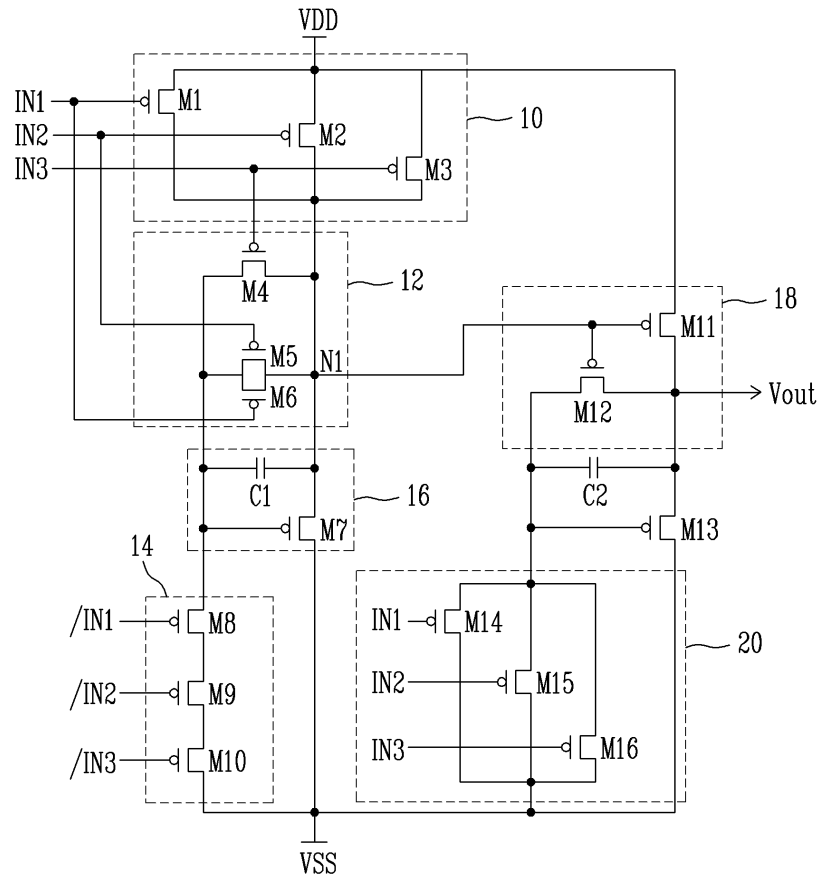
140 : 화소 150 : 타이밍 제어부

도면

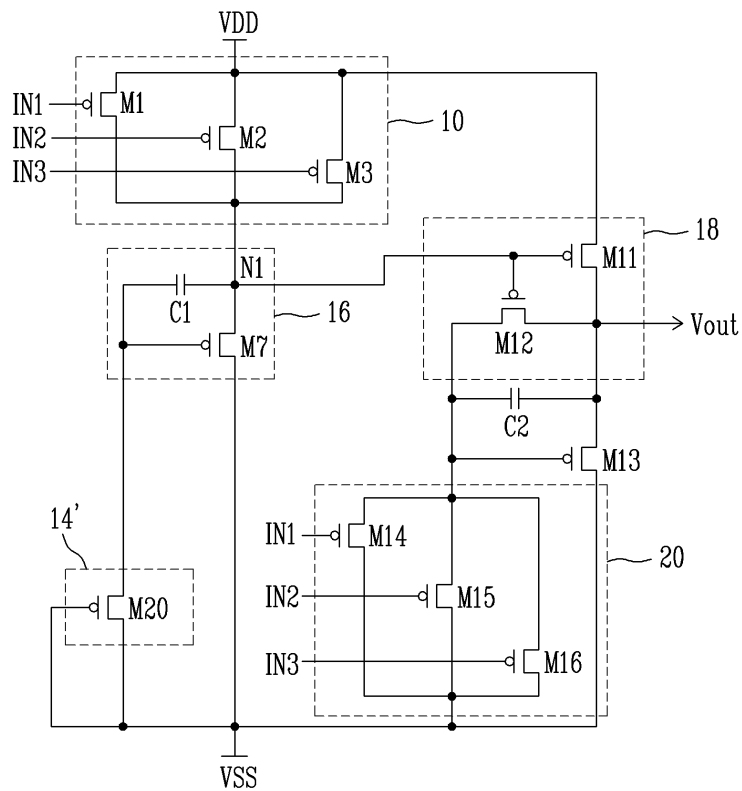
도면1



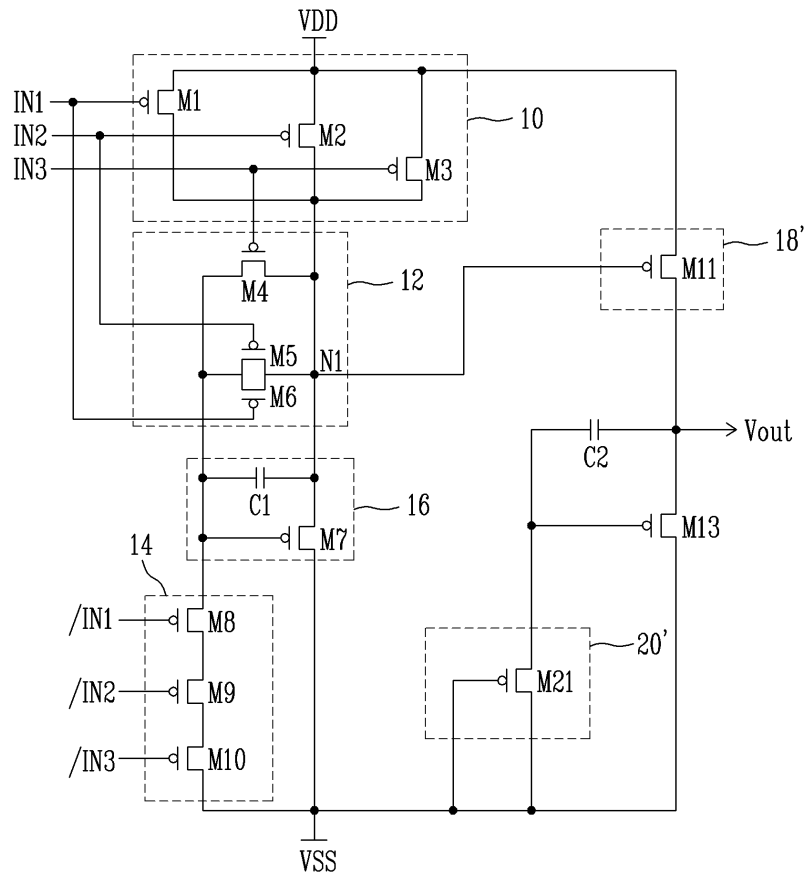
도면2



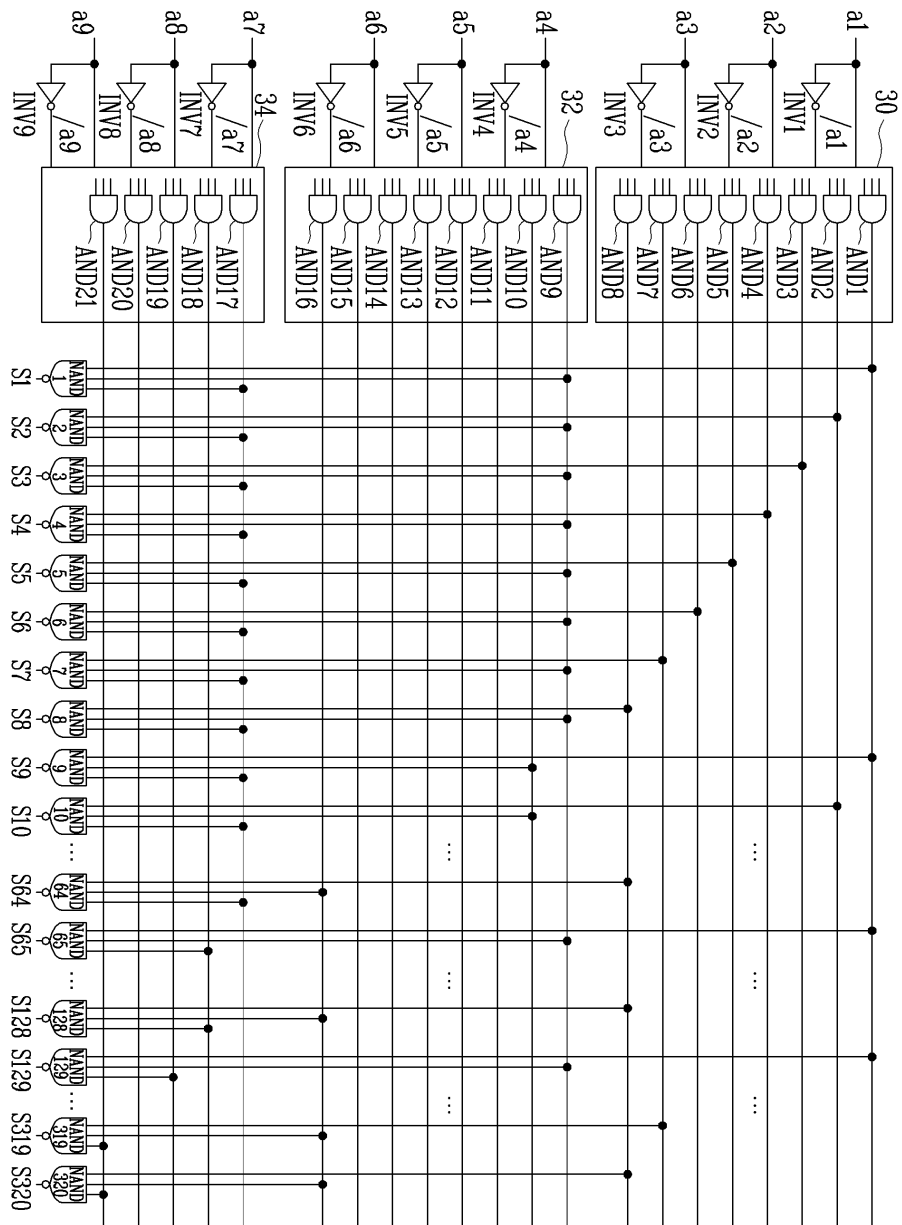
도면3



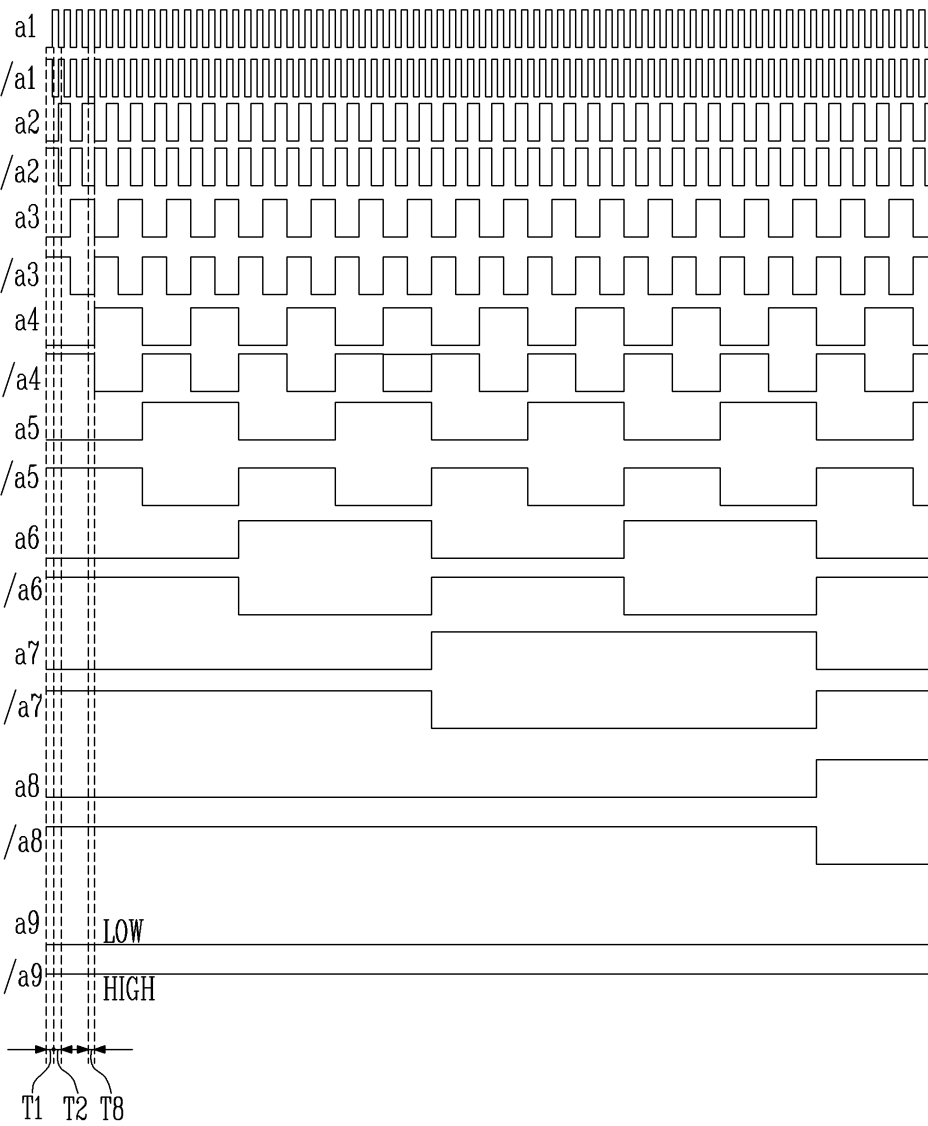
도면4



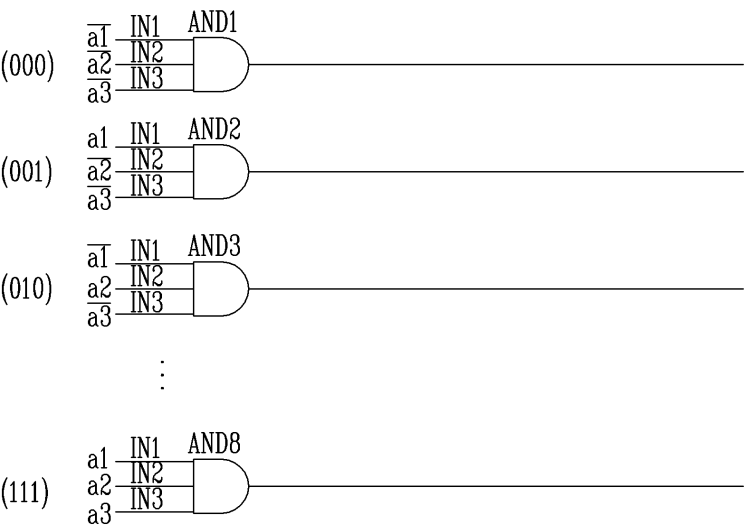
도면5



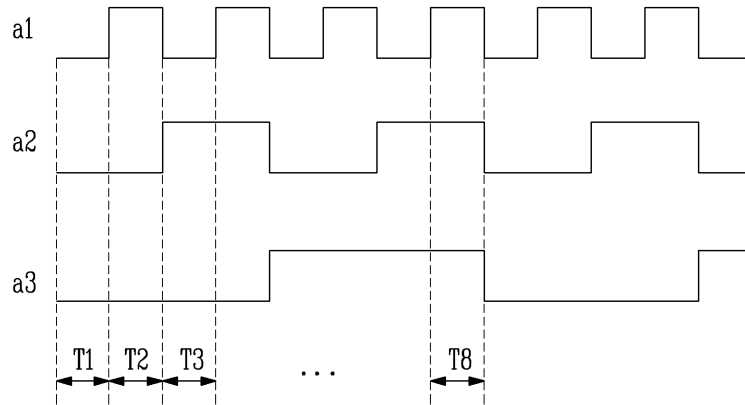
도면6



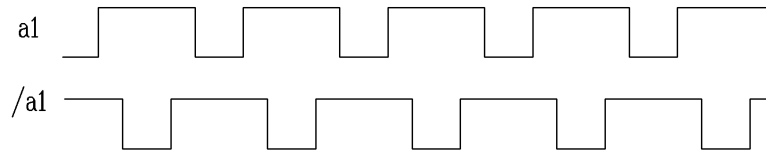
도면7



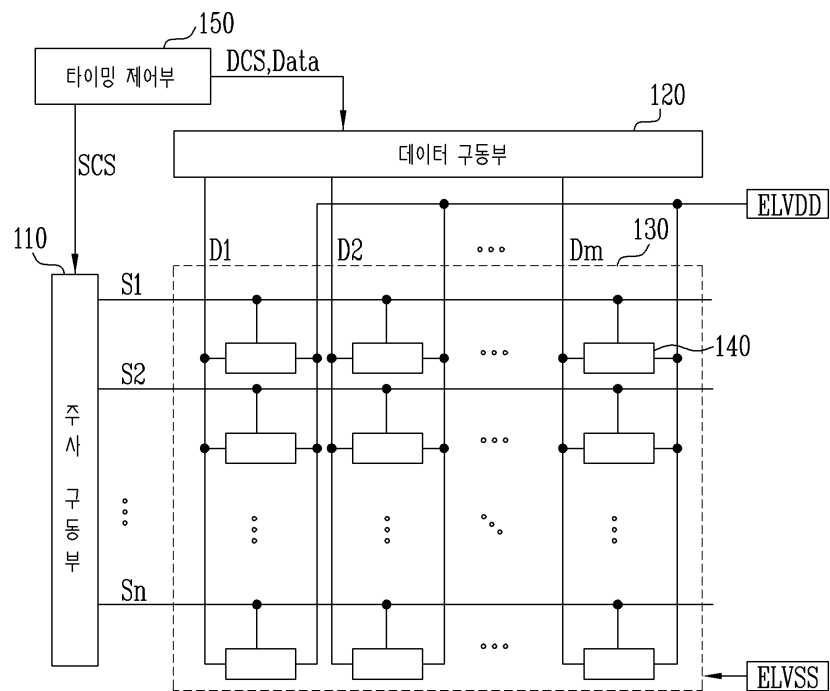
도면8a



도면8b



도면9



专利名称(译)	逻辑门，使用该逻辑门的扫描驱动器和有机发光显示器		
公开(公告)号	KR100748358B1	公开(公告)日	2007-08-03
申请号	KR1020060074584	申请日	2006-08-08
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	BOYONG CHUNG 정보용		
发明人	정보용		
IPC分类号	G09G3/30 G09G3/20 G09G3/32		
CPC分类号	H03K19/09441 H03K19/0013 G09G3/3266		
代理人(译)	SHIN , YOUNG MOO		
外部链接	Espacenet		

摘要(译)

提供逻辑门，扫描驱动器和使用其的OLED装置，以通过调整扫描驱动器与逻辑门的连接来设置提供给扫描线的各种扫描信号序列。 OLED（有机发光显示器）装置包括数据和扫描驱动器，以及多个像素。数据和扫描驱动器分别向数据和扫描线提供数据和扫描信号。当提供扫描信号时，连接到数据和扫描线的像素对与数据信号对应的电压充电。扫描驱动器包括至少一个解码器（30,32,34）和多个NAND门（NAND1~NAND320）。解码器包括多个AND门。连接到不同扫描线的NAND门对解码器的输出执行NAND操作并产生扫描信号。AND和NAND门由多个PMOS型晶体管组成。

