

청구항 1.

기관;

복수개의 발광 소자, 박막 트랜지스터 및 캐패시터를 구비한 상기 기관 상의 디스플레이 영역;

상기 디스플레이 영역 외곽에 위치하고, 전극 전원 공급 라인이 상기 디스플레이 영역에 전기적으로 연결된 전극 전원 공급 영역;

상기 전극 전원 공급 영역을 관통하여 상기 디스플레이 영역에 전기적으로 연결되는 복수개의 데이터 라인들; 을 포함하고,

상기 전극 전원 공급 라인에는 복수개의 개구부들이 형성되고, 상기 전극 전원 공급 영역을 관통하는 데이터 라인들 사이에 형성되는 상기 개구부들의 면적의 합이 동일하게 형성된 평판 디스플레이 장치.

청구항 2.

제 1항에 있어서,

상기 전극 전원 공급 영역의 데이터 라인 상에 배치되는 개구부들의 면적의 합이 동일하게 형성된 평판 디스플레이 장치.

청구항 3.

제 2항에 있어서,

상기 디스플레이 영역 및 상기 전극 전원 공급 영역을 덮는 보호막을 더 구비하는 평판 디스플레이 장치.

청구항 4.

제 3항에 있어서,

상기 전극 전원 공급 라인은 상기 전극 전원 공급 영역의 보호막 상에 배치되는 평판 디스플레이 장치.

청구항 5.

제 3항에 있어서,

상기 디스플레이 영역 보호막 상에 배치되고, 상기 디스플레이 영역 보호막에 형성된 컨택홀을 통해 상기 표시 영역의 박막 트랜지스터에 전기적으로 연결된 복수개의 화소 전극들을 더 구비하는 평판 디스플레이 장치.

청구항 6.

제 5항에 있어서,

상기 전극 전원 공급 라인은 상기 전극 전원 공급 영역의 보호막 상에 배치되며, 상기 화소 전극과 동일한 재료로 형성되는 평판 디스플레이 장치.

청구항 7.

제 6항에 있어서,

상기 화소 전극이 노출되도록 상기 디스플레이 영역 및 전극 전원 공급 영역 보호막 상에 배치되는 화소 정의막을 더 구비하는 평판 디스플레이 장치.

청구항 8.

제 7항에 있어서,

상기 화소 정의막은 상기 전극 전원 공급 라인의 적어도 일부를 노출시키는 컨택홀을 구비하고, 대향 전극은 상기 컨택홀을 통해 상기 전극 전원 공급 라인과 전기적으로 연결되는 평판 디스플레이 장치.

청구항 9.

제 1항 내지 8항의 어느 한 항에 있어서,

상기 기관과 전극 전원 공급 라인 사이에 박막 트랜지스터 및 캐패시터를 구비한 평판 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 평판 디스플레이 장치에 관한 것으로서, 보다 상세하게는 각 화소에 인가되는 데이터 전압을 일정하게 유지함으로써 유기 발광 소자의 발광 특성의 저하를 방지하는 평판 디스플레이 장치에 관한 것이다.

유기 발광 디스플레이 장치는 화소전극과 대향전극 사이에 유기물로 이루어진 발광층을 갖는 디스플레이 장치이다. 이 유기 발광 디스플레이 장치는 이들 전극에 양극 및 음극 전압이 각각 인가됨에 따라 화소전극으로부터 주입된 정공(hole)이 정공 수송층을 경유하여 발광층으로 이동되고, 전자는 대향전극으로부터 전자 수송층으로 주입되어 발광층으로 주입되어, 전자와 정공이 발광층에서 서로 결합하여 소멸하면서 여기자(exciton)를 형성하고, 이 여기자가 여기 상태에서 기저 상태로 천이하면서 발광층의 형광성 분자에 에너지를 전달하고 이것이 발광함으로써 화상이 형성되는 디스플레이 장치이다.

도 1에는 통상적인 유기 발광 디스플레이 장치의 평면도가, 그리고 도 2에는 도 1의 II-II 선을 따라 취한 단면도가 개략적으로 도시되어 있다.

도시된 바와 같이, 유기 발광 디스플레이 장치는 기관(10) 상에 유기 발광 소자를 포함하는 소정의 디스플레이 영역(20)을 갖고, 이 디스플레이 영역(20)을 밀봉하도록 밀봉 부재인 메탈 캡(90)이 밀봉재(81)로 구성된 밀봉부(80)에 의해 밀봉된 것이다. 이 때 디스플레이 영역(20)에는 박막 트랜지스터 및 유기 발광 소자가 복수개의 화소를 구성하여 배열되어 있는데, 이 때 유기 발광 소자의 대향 전극(40)이 디스플레이 영역(20)의 외측에 구비된 전극 배선부(41)를 통해 단자 영역(70)에 연결된다. 또한, 디스플레이 영역(20)으로는 복수개의 구동 라인(VDD, 31)들이 배치되는데, 이 구동 라인(31)들은 디스플레이 영역(20)에 구동 전원 배선부(30)를 통해 단자 영역(70)과 연결되어 디스플레이 영역(20)에 구동 전원을 공급한다. 그리고, 상기 디스플레이 영역(20)의 외측에는 상기 디스플레이 영역(20)의 박막 트랜지스터 등에 신호를 입력하는 수직 회로부(50)와 수평 회로부(60)가 더 구비되고, 이들은 모두 회로 배선부(51)(61)에 의해 단자 영역(70)과 연결된다.

상기와 같은 구조에 있어서, 디스플레이 영역(20)과 그 외측의 수직 회로부(50) 및 수평 회로부(60)에는 복수개의 박막 트랜지스터들이 구비되는데, 이들 박막 트랜지스터들을 보호하고 그 상부를 평탄화하기 위해 이들 박막 트랜지스터들 상부에 보호막이 구비된다. 또한, 디스플레이 영역(20)의 외측에는, 화소의 전기적 특성 등을 진단하는 목적 등을 위해 화소부와 동일한 형상의 더미 픽셀이 형성되기도 하는데, 이 더미 픽셀 상에도 보호막이 형성된다.

이 보호막은 기판 전면에 걸쳐 일체로 형성되는데, 이에 따라 보호막을 소성할 경우, 보호막에서 아웃가스(outgas)가 발생하여 디스플레이 영역(20)에 구비되는 유기 발광 소자와 같은 디스플레이 소자의 열화를 유발한다는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 각 화소에 인가되는 데이터 전압을 일정하게 유지함으로써 유기 발광 소자의 발광 특성의 저하를 방지하는 박막박막 트랜지스터 및 이를 구비한 평판 디스플레이 장치를 제공하는 것을 목적으로 한다.

발명의 구성

상기와 같은 목적 및 그 밖의 여러 목적을 달성하기 위하여, 본 발명은 기판과, 복수개의 발광 소자, 박막 트랜지스터 및 캐패시터를 구비한 상기 기판 상의 디스플레이 영역과, 상기 디스플레이 영역 외곽에 위치하고, 전극 전원 공급 라인이 상기 디스플레이 영역에 전기적으로 연결된 전극 전원 공급 영역과, 상기 전극 전원 공급 영역을 관통하여 상기 디스플레이 영역에 전기적으로 연결되는 복수개의 데이터 라인들을 포함하고, 상기 전극 전원 공급 라인에는 복수개의 개구부들이 형성되고, 상기 전극 전원 공급 영역을 관통하는 데이터 라인들 사이에 형성되는 상기 개구부들의 면적의 합이 동일하게 형성된 평판 디스플레이 장치를 제공한다.

이러한 본 발명의 다른 특징에 의하면, 상기 전극 전원 공급 영역의 데이터 라인 상에 배치되는 개구부들의 면적의 합이 동일하게 형성될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 디스플레이 영역 및 상기 전극 전원 공급 영역을 덮는 보호막을 더 구비할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 전극 전원 공급 라인은 상기 전극 전원 공급 영역의 보호막 상에 배치될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 디스플레이 영역 보호막 상에 배치되고, 상기 디스플레이 영역 보호막에 형성된 콘택홀을 통해 상기 표시 영역의 박막 트랜지스터에 전기적으로 연결된 복수개의 화소 전극들을 더 구비할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 전극 전원 공급 라인은 상기 전극 전원 공급 영역의 보호막 상에 배치되며, 상기 화소 전극과 동일한 재료로 형성될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 전극이 노출되도록 상기 디스플레이 영역 및 전극 전원 공급 영역 보호막 상에 배치되는 화소 정의막을 더 구비할 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 화소 정의막은 상기 전극 전원 공급 라인의 적어도 일부를 노출시키는 콘택홀을 구비하고, 대향 전극은 상기 콘택홀을 통해 상기 전극 전원 공급 라인과 전기적으로 연결될 수 있다.

본 발명의 또 다른 특징에 의하면, 상기 기판과 전극 전원 공급 라인 사이에 박막 트랜지스터 및 캐패시터를 구비할 수 있다.

이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

도 3 내지 도 7을 참조하면, 본 발명의 바람직한 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치가 도시되어 있다. 도 3은 본 발명의 일 실시예에 관한 유기 발광 디스플레이 장치의 전체적인 구성을 나타내는 평면도이고, 도 4는 도 3의 A 영역의 부분 확대도이다. 도 5는 도 4의 V-V 선을 따라 취한 단면도이고, 도 6은 디스플레이 영역(2)에 대한 등가 회로도이고, 도 7은 도 4의 VII-VII 선을 따라 취한 개략적인 단면도이다.

도 3을 참조하면, 본 실시예에 따른 유기 발광 디스플레이 장치는 기관(11) 상에 소정의 디스플레이 영역(2)을 갖고, 이 디스플레이 영역(2)은 밀봉 글라스 캡에 의해 밀봉된다.

디스플레이 영역(2)에는 박막 트랜지스터 및 유기 발광 소자가 복수개의 화소를 구성하여 배열되어 있는데, 상기 화소들과 데이터 라인(27)들을 공유하면서 화소들의 대향 전극(243)에 전원을 공급하는 전극 전원 공급 라인(42)이 디스플레이 영역(2)의 하단에 위치하여 단자 영역(3)에 연결되어 있다. 이 데이터 라인(27)들은 전극 전원 공급 영역(4)의 외측에 위치한 수평 회로부(52)를 통해 전극 전원 공급 영역(4)을 경유하여 데이터 신호를 디스플레이 영역(2)의 화소부에 전달한다. 본 실시예에서는 디스플레이 영역(2), 전극 전원 공급 영역(4), 수평 회로부(52)의 순서로 일렬로 배치되어 있으나, 디스플레이 영역(2)과 전극 전원 공급 영역(4)이 데이터 라인(27)을 공유하는 구조라면 어떠한 변형도 가능하다.

또한, 디스플레이 영역(2)에는 복수개의 구동 라인(VDD, 25)들이 디스플레이 영역의 외측의 구동 전원 공급 라인(41)을 통해 단자 영역(3)에 연결되어 디스플레이 영역에 구동전원을 공급한다. 그리고 상기 디스플레이 영역(2)의 외측에는 수직 회로부(51)가 더 구비되고 회로 배선부에 의해 단자 영역(3)과 연결되어 있으나, 상기와 같은 구조 이외에도 다양한 변형이 가능함은 물론이다.

이하, 도 4 내지 도 7을 참조하여 본 실시예에 따른 유기 발광 디스플레이 장치에 관하여 보다 상세히 설명한다.

본 실시예에 따른 유기 발광 디스플레이 장치는 박막 트랜지스터 기관(11)을 구비한다. 이 박막 트랜지스터 기관(11)은, 글라스재, 금속재 및 플라스틱재 등으로 이루어진 기관(11)과, 상기 기관(11) 상의 복수개의 제 1, 2 박막 트랜지스터(21)(23), 캐패시터(22)들을 포함하는 디스플레이 영역(2)과, 디스플레이 영역(2)과 데이터 라인(27)들을 공유하는 전극 전원 공급 영역(4)을 구비한다. 그리고 이러한 박막 트랜지스터 기관(11) 상에 유기 발광 소자(24)가 구비되어 있는데, 이 유기 발광 소자(24)는, 화소 전극(241), 이에 대향된 대향 전극(243)과, 화소 전극(241)과 대향 전극(243) 사이에 개재된 적어도 발광층을 포함하는 중간층(242)을 구비한다.

먼저, 도 4 내지 도 6을 참조하여 본 실시예에 따른 유기 발광 디스플레이 장치의 디스플레이 영역(2)을 이루는 화소들의 구조 및 구동 원리에 대하여 설명한다.

본 실시예에 따른 유기 발광 디스플레이 장치의 디스플레이 영역(2)을 이루는 각 화소는 스위칭용인 제 1 박막 트랜지스터(21)와, 구동용인 제 2 박막 트랜지스터(23)와, 하나의 캐패시터(22) 및 유기 발광 소자(24)로 이루어진다. 상기와 같은 박막 트랜지스터와 캐패시터의 개수는 반드시 이에 한정되는 것은 아니다.

제 1 박막 트랜지스터(21)는 스캔 라인(26)에 인가되는 스캔(scan) 신호에 구동되어 데이터 라인(27)에 인가되는 데이터(data) 신호를 전달하는 역할을 한다. 제 2 박막 트랜지스터(23)는 상기 제 1 박막 트랜지스터(21)를 통해 전달되는 데이터 신호에 따라서, 즉 게이트 전극(212)과 소스 전극(213) 간의 전압차(V_{gs})에 의해서 유기 발광 소자(24)로 유입되는 전류량을 결정한다. 캐패시터(22)는 제 1 박막 트랜지스터(21)를 통해 전달되는 데이터 신호를 한 프레임동안 저장하는 역할을 한다.

이러한 회로를 구현하기 위해, 본 실시예에 따른 유기 발광 디스플레이 장치의 디스플레이 영역(2)을 이루는 화소의 구조를 도 5를 참조하여 상세히 설명한다.

제 1 박막 트랜지스터(21)는 버퍼층(111) 상에 형성된 제 1 반도체층(211)과, 이 제 1 반도체층(211)의 상부에 형성된 게이트 절연막(112)과, 게이트 절연막(112) 상부의 게이트 전극(212)을 갖는다.

제 1 반도체층(211)은 비정질 실리콘 박막 또는 다결정질 실리콘 박막으로 형성될 수 있으며, 또는 유기 반도체 물질로 형성될 수도 있다. 도면에서 자세히 도시되지는 않았으나, 필요에 따라 제 1 반도체층(211)은 N+ 형 또는 P+ 형의 도펀트들로 도핑된 소스 및 드레인 영역과, 채널 영역을 구비 할 수 있다.

제 1 반도체층(211)의 일면 상부에는 제 1 게이트 전극(212)이 구비되는데, 이 게이트 전극(212)에 인가되는 신호에 따라 제 1 소스 전극(213)과 제 1 드레인 전극(214)이 전기적으로 소통된다. 제 1 게이트 전극(212)은 인접층과의 밀착성, 증착되는 층의 표면 평탄층 그리고 가공성 등을 고려하여, 예를 들어 MoW, Al/Cu 등과 같은 물질로 형성된다. 이때 제 1 반도체층(211)과 제 1 게이트 전극(212)과의 절연성을 확보하기 위하여, 예컨대 플라즈마 강화 화학 기상 증착(PECVD)을 통해 SiO₂ 등으로 구성되는 게이트 절연막(112)이 제 1 반도체층(211)과 게이트 전극(212) 사이에 개재된다.

게이트 전극(212)의 상부에는 중간 절연막(inter-insulator:113)이 SiO₂, SiNx 등의 물질로 단층 또는 다층으로 형성되고, 콘택홀을 통해 제 1 소스 전극(213)과 제 1 드레인 전극(214)이 각각 제 1 반도체층(211)의 소스 영역 및 드레인 영역과 접하도록 형성한다. 소스 전극(213)은 데이터 라인(27)과 연결되어 제 1 반도체층(211)에 데이터 신호를 공급하고, 상기 제 1 드레인 전극(214)은 캐패시터(22)의 제 1 전극(221)에 연결되어 캐패시터(22)에 전원을 공급한다.

제 1 소스 전극(213) 및 제 1 드레인 전극(214)의 상부에는 보호막(패시베이션막)(114)이 구비되어 하부의 박막 트랜지스터를 보호한다. 이 보호막(114)은 BCB(benzocyclobutene) 또는 아크릴(acral) 등과 같은 유기물, 또는 SiNx와 같은 무기물로 형성될 수도 있고, 단층으로 형성되거나 이중 혹은 다중층으로 구성될 수도 있는 등 다양한 변형이 가능하다. 이 보호막 상부에는 아크릴 등에 의한 평탄화막이 형성되어 있다.

충전용 캐패시터(22)는 제 1 박막 트랜지스터(21)와 제 2 박막 트랜지스터(23)의 사이에 위치되어 한 프레임 동안 제 2 박막 트랜지스터(23)를 구동시키는데 필요한 구동 전압을 저장하는 것으로, 제 1 박막 트랜지스터(21)의 드레인 전극(214)과 접속되는 제 1 전극(221)과, 제 1 전극(221)의 상부에 제 1 전극(221)과 오버랩 되도록 형성되고, 구동 라인(25)과 전기적으로 연결되는 제 2 전극(222)과, 제 1 전극(221)과 제 2 전극(222) 사이에 형성되어 유전체로 사용되는 중간 절연막으로 구비될 수 있다. 물론 이러한 충전용 캐패시터(22)의 구조는 반드시 이에 한정되는 것은 아니며, 박막 트랜지스터의 실리콘 박막과 게이트 전극(212)의 도전층이 제 1 및 제 2 전극으로 사용되고, 게이트 절연층이 유전층으로 사용될 수 있으며, 이 외에도 다양한 방법에 의해 형성 가능하다.

제 2 박막 트랜지스터(23)의 제 2 게이트 전극(232)의 상부에 구동 라인(25)과 접속되어 제 2 반도체층(231)에 구동을 위한 기준전압(reference)을 공급하는 제 2 소스 전극(233)과, 제 2 박막 트랜지스터(23)와 유기 발광 소자(24)를 연결시켜 유기 발광 소자(24)에 구동 전원을 인가하는 제 2 드레인 전극(234)으로 구성되는 점을 제외하고는 제 1 박막 트랜지스터(21)의 구조와 동일하다. 제 2 드레인 전극(234)은 유기 발광 소자(24)의 화소 전극(241)에 전기적으로 연결된다.

유기 발광 소자(24)는 소정의 화소 전극(241)과, 이 화소 전극(241)에 대향하는 대향 전극(243)과 이 전극들 사이에 개재된 적어도 발광층을 포함하는 중간층(242)을 구비한다.

화소 전극(241)은 보호막 상에 구비되는데, 이 화소 전극(241)은 콘택홀을 통하여 하부의 소스 또는 드레인 전극(234)에 전기적으로 연결된다. 화소 전극(241)은 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명 전극으로 사용될 때에는 ITO, IZO, ZnO 또는 In₂O₃로 구비될 수 있다. 반사형 전극으로 사용될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 반사막을 형성한 후, 그 위에 ITO, IZO, ZnO 또는 In₂O₃를 형성할 수 있다.

한편, 대향 전극(243)도 투명 전극 또는 반사형 전극으로 구비될 수 있는데, 투명전극으로 사용될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물이 유기 발광막을 향하도록 증착한 후, 그 위에 ITO, IZO, ZnO 또는 In₂O₃ 등의 투명 전극 형성용 물질로 보조 전극층이나 버스 전극 라인을 형성할 수 있다. 그리고 반사형 전극으로 사용될 때에는 위 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물을 전면 증착하여 형성한다. 그러나, 반드시 이에 한정되는 것은 아니며, 화소 전극(241) 및 대향 전극(243)으로 전도성 폴리머 등 유기물을 사용할 수도 있다.

중간층(242)은 저분자 또는 고분자 유기물로 구비될 수 있다. 저분자 유기물로 형성될 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N, N'-Di(naphthalene-1-yl)-N, N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯해 다양한 물질이 사용될 수 있다. 이러한 층들은 진공증착의 방법으로 형성될 수 있다.

고분자 유기물로 형성될 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)으로 구비된 구조를 가질 수 있으며, 이 때, 상기 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 유기물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법 등으로 형성할 수 있다.

상기와 같은 중간층(242)은 반드시 이에 한정되는 것은 아니고, 다양한 실시예들이 적용될 수 있음은 물론이다.

도 7을 참조하면, 본 실시예에 따른 유기 발광 디스플레이 장치의 전극 전원 공급 영역(4)의 구조를 알 수 있다.

전극 전원 공급 영역(4)은 전극 전원 공급 라인(42)과 디스플레이 영역(2)과 공유하는 데이터 라인(27)들을 구비한다.

전극 전원 공급 라인(42)은 대향 전극(243)에 전원을 공급하기 위한 것으로서, 보호막 상에 배치될 수 있다. 이때 공정상 디스플레이 영역(2)의 화소 전극(241)과 동시에 형성됨으로써 화소 전극(241)과 동일한 재료로 형성될 수 있다. 물론 필요에 따라서는 다른 물질로 형성될 수 있다.

전술한 바와 같이 보호막은 통상적으로 유기막과 무기막의 복합막으로 형성 되는데, 아웃가스(outgas)가 발생하여 디스플레이 영역(2)에 구비되는 유기 발광 소자(24)와 같은 디스플레이 소자의 열화를 유발한다는 문제점이 있었다. 따라서 본 발명에서는 보호막 상의 전극 전원 공급 라인(42)에 개구부(421)를 형성함으로써, 유기 발광 소자(24)와 결합하기 전에 박막 트랜지스터 기관(11)이 모듈로 존재하는 동안 충분한 아웃가싱(outgasing)을 할 수 있기 때문에 전술한 문제를 방지할 수 있다.

한편, 전극 전원 공급 라인(42) 하부에는 디스플레이 영역(2)의 각 화소로 입력되는 데이터 라인(27)들이 통과하고 있다. 이 데이터 라인(27)들은 수평 회로부(52)에서 인가하는 데이터 신호를 각 화소의 박막 트랜지스터에 전달하는 역할을 한다. 즉, 수평 회로부(52)에서 인가하는 데이터 신호가 스캔 신호에 구동되어 제 1 박막 트랜지스터(21)를 통과한 후, 구동 트랜지스터인 제 2 박막 트랜지스터(23)의 게이트와 소스 간의 전압차(V_{gs})에 의해서 유기 발광 소자(24)로 들어가는 전류량을 결정한다. 이때 유기 발광 소자에 인가되는 전류량은 제 2 박막 트랜지스터(23)의 게이트와 소스 간의 전압차(V_{gs})의 값에 비례하는 관계에 있다.

이를 식으로 표현하면 다음과 같다.

$$I_{OLED} = \beta/2 \{V_{gs} - |V_{th}| \}^2 \text{ (여기서, } V_{gs} = V_s - V_g \text{).}$$

상기 V_{th} 는 구동 트랜지스터의 문턱전압으로 각 구동 트랜지스터마다 고유한 값을 가지며, V_s 는 구동 트랜지스터의 소스 전압으로 일반적으로 구동 전압(VDD)과 같은 값을 가진다. 그러므로, 문턱 전압(V_{th})과 소스 전압(V_s)은 일정한 값을 가지므로, 게이트 전압(V_g)은 유기 발광 소자의 전류값(I_{OLED})에 중요하게 영향을 미친다. 따라서, 게이트 전압(V_g)을 일정하게 유지하는 것은 유기 발광 소자에 인가되는 전류량을 일정하게 유지하여 유기 발광 디스플레이 장치의 발광 특성의 열화를 방지하는데 있어 중요한 역할을 한다.

그런데, 디스플레이 영역(2)의 각 화소를 통과하는 데이터 라인(27)들은 전극 전원 공급 영역(4)도 통과하게 되는데, 이때 각 데이터 라인(27)들과 전극 전원 공급 라인(42)들 사이에는 보호막(내지 평탄화막) 또는 게이트 절연막(112)이나 중간 절연막(113)과 같은 절연체가 개재함으로써, 캐패시터의 역할을 하는 구조를 형성하게 된다. 그 결과, 수평 회로부(52)로부터 인가된 데이터 전압은 두 개의 캐패시터를 통과하는 것과 동등한 효력을 갖게 되므로, 전극 전원 공급 라인(42)과 데이터 라인(27)에 의한 전기용량(capacity, 이하 C_{data} 라 함)은 구동 트랜지스터(23)의 게이트 전압(V_g)값에 영향을 미치며 그 영향에 대한 관계식은 하기와 같다.

$$V_g = (C_{data}V_{data} + C_{st}V_s)/(C_{data} + C_{st}).$$

(여기서 C_{st} 는 화소 영역의 캐패시터(22)의 전기용량, V_{data} 는 수평 회로부(52)로부터 전극 전원 공급 라인(42)에 인가되는 전압을 말한다.)

상기의 식에서 알 수 있듯이 C_{data} 의 값을 일정하게 유지하여야 게이트 전압값(V_g)과 유기 발광 소자(24)에 인가되는 전류의 양(I_{OLED})을 일정하게 할 수 있다. 그런데, 전기용량의 값은 대향하는 도전판의 면적에 비례하는 값이기 때문에, 만약 개구부를 구비한 전극 전원 공급 라인(42)의 면적이 각 데이터 라인(27)들 사이에서 일정하지 않으면 C_{data} 값은 변화하게 된다.

따라서, 본 실시예에서는 전극 전원 공급 영역(4)을 경유하는 데이터 라인(27)들 사이에 형성되는 개구부(421)들의 면적의 합이 동일하도록 형성함으로써, 각 화소에 인가되는 C_{data} 값을 일정하게 유지함으로써, 유기 발광 소자(24)에 인가되는 전류값을 일정하게 하여 유기 발광 소자(24)의 발광 특성의 저하를 방지할 수 있다.

또한, 바람직하게는 전극 전원 공급 영역(4)의 데이터 라인(27) 상에 배치되는 개구부(421)들의 면적의 합을 각각 동일하게 형성할 수 있다. 데이터 라인(27)과 가장 가까운 거리에 있는 개구부(421)의 면적이 C_{data} 값에 가장 큰 영향을 미치므로, 데이터 라인(27) 상에 배치된 개구부(421)들의 면적이 동일할 경우 C_{data} 값의 안정성을 더욱 구현할 수 있기 때문이다.

도 8은 본 실시예에 대한 비교예에 관한 개략적인 평면도이다. 상기 도면을 참조하면, 보호막상에 개구부들의 모양을 단지 대칭적으로 형성한다든지 균일하게 형성하는 것만으로는 본 실시예가 적용되지 않음을 알 수 있다. 즉, 전체적으로 전극 전원 영역에 형성된 개구부들의 형상이 대칭적이고 균일하지만 각 데이터 라인 사이에 형성된 개구부들의 면적의 합이 서로 달라, 데이터 라인과 전극 전원 공급 라인 사이의 도전판의 면적의 합이 다르게 되므로 C_{data} 값이 다르게 된다. 그 결과 디스플레이 영역(2)의 각 유기 발광 소자(24)에 인가되는 전류값(I_{OLED})이 달라지게 된다.

상기와 같은 전극 전원 공급 라인(42)과 대향 전극(243) 사이에는 화소 정의막(115)이 구비되는데, 이는 각 화소들에 대응하는 개구, 즉 화소 전극(241)이 노출되도록 하는 개구를 가짐으로써 화소를 정의하는 역할을 하기도 하고, 화소 전극(241)의 단부와 대향 전극(243) 사이의 거리를 증가시킴으로써 화소 전극(241)의 단부에서 아크 등이 생기는 것을 방지하는 역할을 하기도 한다. 이 화소 정의막(115)은 개구부(421) 외측의 전극 전원 공급 라인(42)의 적어도 일부를 노출시키는 컨택홀(422)을 구비할 수 있다. 그리고 이 컨택홀(422)을 통해 전극 전원 공급 라인(42)과 대향전극이 전기적으로 연결될 수 있다.

본 실시예에 의한 개구부(421)의 형상은 원형으로 도시되었으나, 본 발명은 이에 한정되지 않고 다양한 형상의 개구부가 적용될 수 있다. 또한 본 실시예에 의한 개구부의 개수도 도면에 도시된 것 뿐 아니라 다양하게 적용될 수 있음은 물론이다. 그리고 본 실시예와 같이 박막 트랜지스터나 캐패시터 등이 전극 전원 공급 라인(42)과 기판(11) 사이에 구비되어 디스플레이 영역(2)의 화소의 특성을 측정하는 더미 픽셀(pixel)로 사용되는 구조뿐만 아니라, 이들을 구비하지 않고 단지 층간 절연막이나 보호막(114) 등과 같은 절연막을 구비한 간단한 구조에도 본 발명은 적용될 수 있다.

발명의 효과

상기한 바와 같이 이루어진 본 발명의 박막 트랜지스터 기판 및 이를 구비한 평판 디스플레이 장치에 따르면, 다음과 같은 효과를 얻을 수 있다.

첫째, 보호막 상의 전극 전원 공급 라인에 개구부를 형성함으로써, 보호막의 아웃가싱(outgasing)에 의한 디스플레이 장치의 열화를 방지할 수 있다.

둘째, 전극 전원 공급 영역을 경유하는 데이터 라인들 사이에 형성되는 전극 전원 공급 라인의 개구부들의 면적의 합을 동일하게 함으로써, 유기 발광 소자의 발광 특성의 저하를 방지할 수 있다.

본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해 할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면의 간단한 설명

도 1은 종래의 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

도 2는 도 1의 II-II 선을 따라 취한 단면도이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 평판 디스플레이 장치, 특히 유기 발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.

도 4는 도 3의 A영역의 부분 확대 평면도이다.

도 5는 도 4의 V-V 선을 따라 취한 단면도이다.

도 6은 도 5의 디스플레이 영역(2)에 대한 등가 회로도이다.

도 7은 도 4의 VII-VII 선을 따라 취한 단면도이다.

도 8은 본 실시예에 대한 비교예에 관한 개략적인 평면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

2: 디스플레이 영역 12: 밀봉부

11: 기관 21: 제 1 박막 트랜지스터

22: 캐패시터 23: 제 2 박막 트랜지스터

24: 유기 발광 소자 25: 구동 라인

26: 스캔 라인 27: 데이터 라인

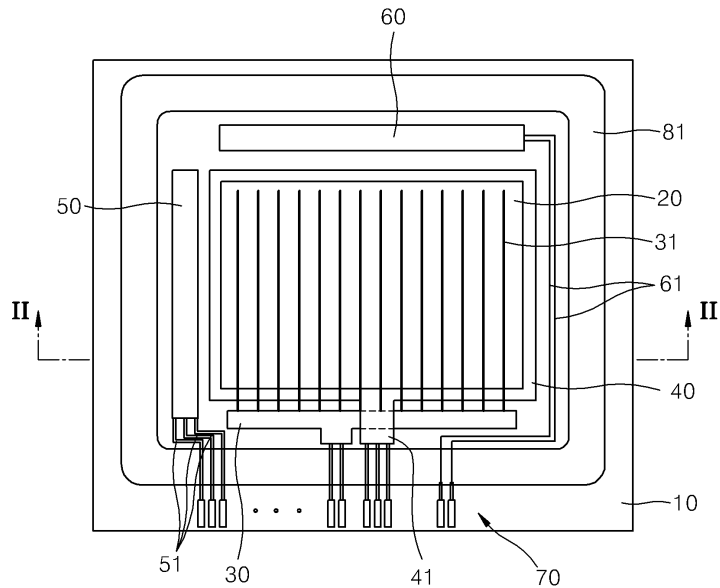
3: 단자 영역 41: 구동 전원 공급 라인

42: 전극 전원 공급 라인 51: 수직 회로부

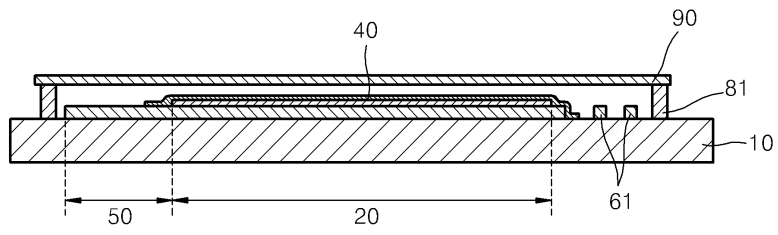
52: 수평 회로부

도면

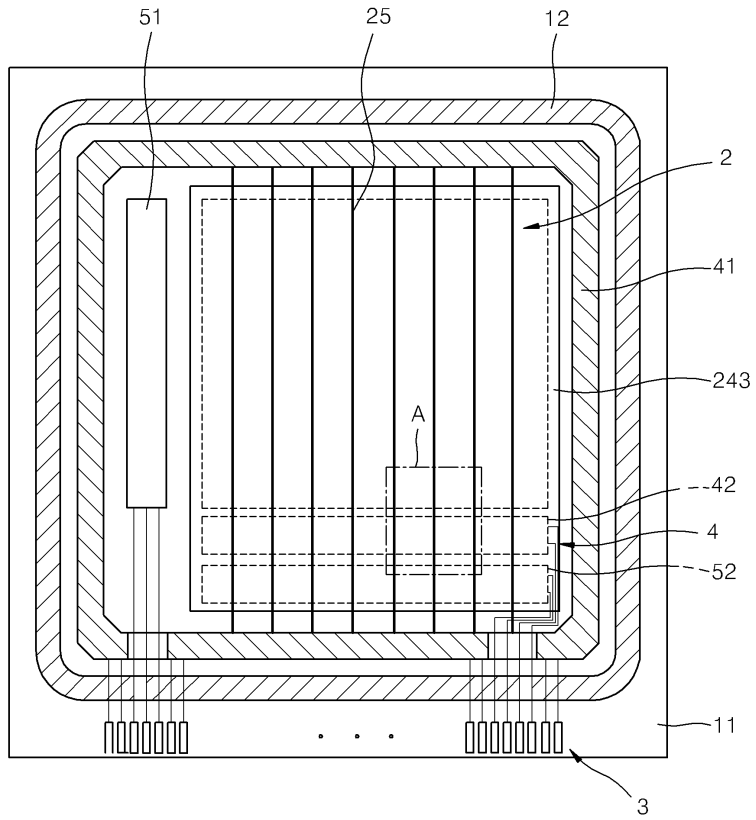
도면1



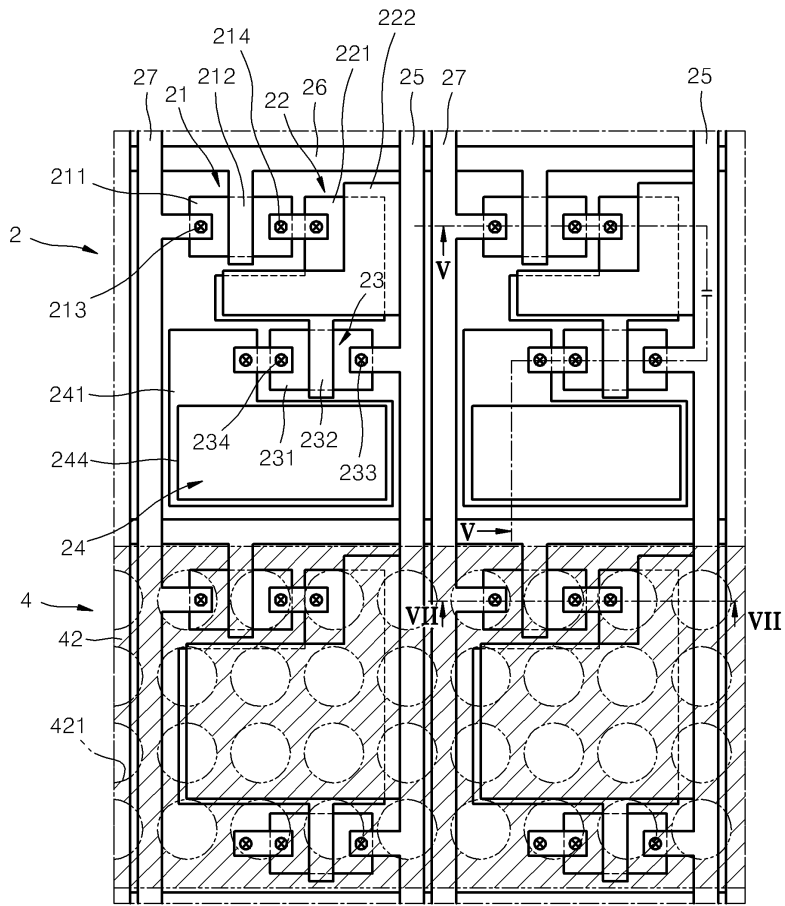
도면2



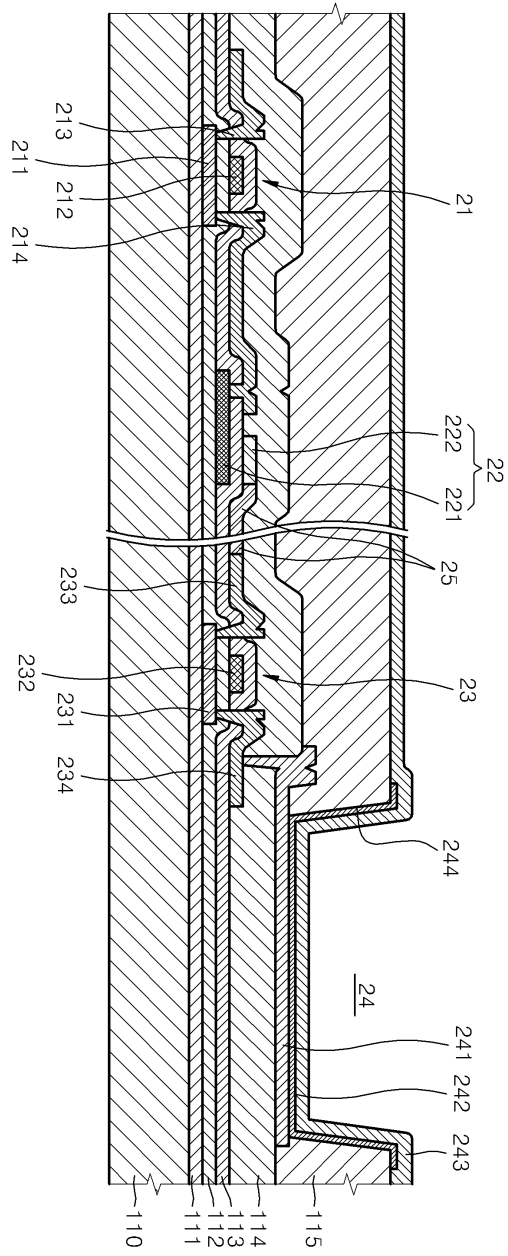
도면3



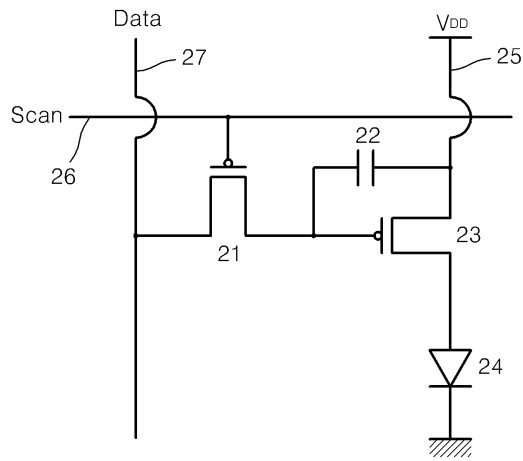
도면4



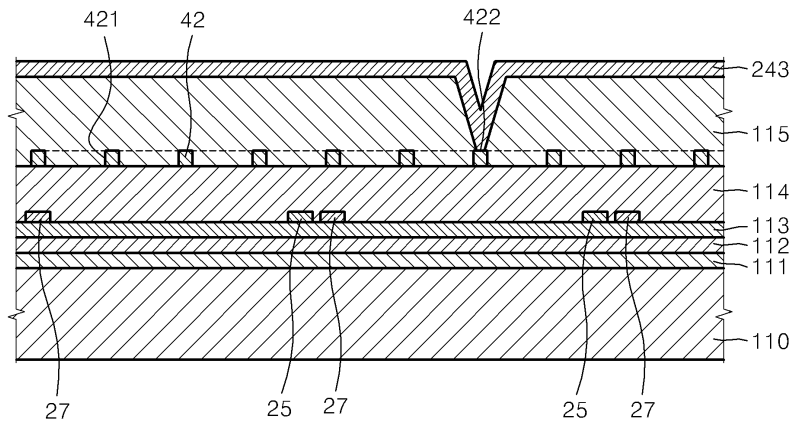
도면5



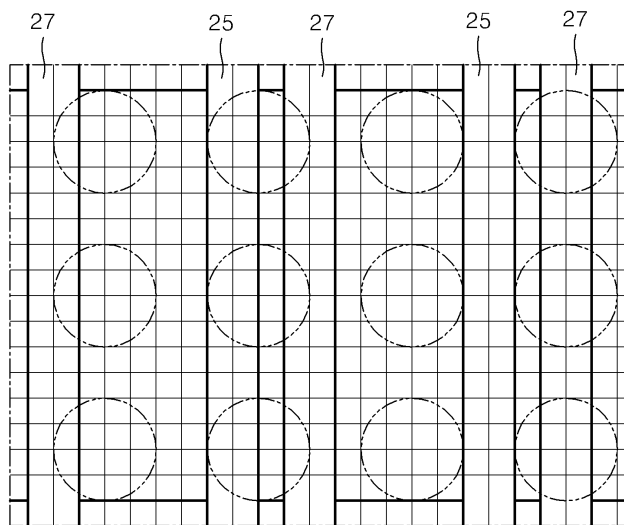
도면6



도면7



도면8



专利名称(译)	平板显示装置		
公开(公告)号	KR100730222B1	公开(公告)日	2007-06-13
申请号	KR1020060067281	申请日	2006-07-19
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	LEE JAE YONG 이재용 KIM YANG WAN 김양완		
发明人	이재용 김양완		
IPC分类号	H05B33/26		
CPC分类号	G09G3/3225 H01L27/3265 H01L27/3276 H01L51/5237		
外部链接	Espacenet		

摘要(译)

提供一种平板显示装置，通过保持施加到每个像素的恒定数据电压来防止有机发光二极管的发射特性的劣化。一种平板显示装置，包括基板和显示区域(2)。显示区域形成在基板上，并包括多个发光器件，薄膜晶体管(21,23)和电容器(22)。电极电压供应区域(4)位于显示区域的外部块上，电极电压供应线电连接到显示区域。多条数据线(27)电连接到显示区域并穿透电极电压供应区域。在电极电压供应线上形成多个孔，并且在穿过电极电压供应线的数据线之间形成的孔的面积之和相等。

