



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/06 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월09일 10-0692840 2007년03월03일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0032199 2003년05월21일 2004년11월02일	(65) 공개번호 (43) 공개일자	10-2004-0100006 2004년12월02일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	엘지전자 주식회사 서울특별시 영등포구 여의도동 20번지
(72) 발명자	강민수 경상북도구미시공단동191-1LG전자유기EL사업담당 한윤수 경상북도칠곡군북삼면인평리화성타운102동104호 탁윤희 경상북도구미시비산동강변보성타운106동1202호
(74) 대리인	이수웅

심사관 : 최창락

전체 청구항 수 : 총 7 항

(54) 유기 전계발광표시장치 및 그 제조방법

(57) 요약

본 발명은 기전전압 공급라인의 불량을 방지함과 아울러 소비전력을 절감시킬 수 있는 유기 전계발광소자 및 그 제조방법에 관한 것이다.

본 발명은 전계발광 셀 어레이와; 상기 전계발광 셀 어레이에 기저전압을 공급하며 세 층의 불투명 금속층들만으로 형성되는 기저전압 공급라인을 구비하는 것을 특징으로 한다.

대표도

도 5

특허청구의 범위

청구항 1.

전계발광 셀 어레이와;

상기 전계발광 셀 어레이에 기저전압을 공급하며 세 층의 불투명한 금속층들만으로 형성되는 기저전압 공급라인 구비하는 것을 특징으로 하는 유기 전계발광표시장치.

청구항 2.

제 1 항에 있어서,

상기 세 층의 불투명한 금속층은

상기 전계발광 셀 어레이에 포함되는 박막 트랜지스터의 게이트 전극과 동일물질로 형성된 제1 금속층과;

상기 제1 금속층 상에 형성되고 상기 박막 트랜지스터의 소스/드레인 전극과 동일 물질로 형성된 제2 금속층과;

상기 제2 금속층 상에 형성되고 상기 박막 트랜지스터의 캐소드전극과 동일 물질로 형성된 제3 금속층을 포함하는 것을 특징으로 하는 유기 전계발광표시장치.

청구항 3.

제 2 항에 있어서,

상기 제1 금속층은 알루미늄네오듐을 포함하고;

상기 제2 금속층은 몰리브덴을 포함하고;

상기 제3 금속층은 알루미늄을 포함하는 것을 특징으로 하는 유기 전계발광표시장치.

청구항 4.

제 2 항에 있어서,

상기 제1 및 제2 금속층을 덮도록 형성됨과 아울러 상기 제2 금속층과 상기 제3 금속층을 접촉시키기 위한 홀을 갖도록 형성된 보호막을 추가로 구비하는 것을 특징으로 하는 유기 전계발광표시장치.

청구항 5.

전계발광 셀과 전계발광 셀을 구비하기 위한 박막 트랜지스터를 구비하는 다수개의 화소들을 갖는 유기 전계발광표시장치에 있어서,

상기 박막 트랜지스터의 게이트 전극과 함께 상기 전계발광 셀에 기저전압을 공급하는 기저전압 공급라인의 제1 금속층을 형성하는 단계와;

상기 박막 트랜지스터의 소스/드레인 전극과 함께 상기 기저전압 공급라인의 제2 금속층을 형성하는 단계와;

상기 전계발광 셀의 양극과 함께 상기 기저전압 공급라인의 제3 금속층을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계발광표시장치의 제조방법.

청구항 6.

제 5 항에 있어서,

상기 제1 금속층은 알루미늄네오듐을 포함하고;

상기 제2 금속층은 몰리브덴을 포함하고;

상기 제3 금속층은 알루미늄을 포함하는 것을 특징으로 하는 유기 전계발광표시장치의 제조방법.

청구항 7.

제 5 항에 있어서,

상기 박막 트랜지스터와 상기 제1 및 제2 금속층을 덮도록 형성됨과 아울러 상기 제2 금속층과 상기 제3 금속층을 접촉시키기 위한 홀을 갖는 보호막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 유기 전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전계 발광표시장치에 관한 것으로, 특히 기전전압 공급라인의 불량을 방지함과 아울러 소비전력을 절감시킬 수 있는 유기 전계발광표시장치 및 그 제조방법에 관한 것이다.

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판표시장치로는 액정표시장치(Liquid Crystal Display), 전계 방출 표시장치(Field Emission Display), 플라즈마 디스플레이 패널(Plasma Display Panel) 및 전계발광표시장치(Electro Luminescence Display : 이하 "ELD"라 함) 등이 있다. 특히 ELD는 기본적으로 정공수송층, 발광층, 전자수송층으로 이루어진 EL층의 양면에 전극을 붙인 형태의 것으로서, 넓은 시야각, 고개구율, 고색도 등의 특징 때문에 차세대 평판표시장치로서 주목받고 있다.

이러한 ELD는 사용하는 재료에 따라 크게 무기 ELD와 유기 ELD로 나뉘어진다. 이 중 유기 ELD는 정공 주입 전극과 전자 주입 전극 사이에 형성된 유기 EL 층에 전하를 주입하면 전자와 정공이 쌍을 이룬 후 소멸하면서 빛을 내기 때문에 무기 ELD에 비해 낮은 전압으로 구동 가능하다는 장점이 있다. 또한, 유기 ELD는 플라스틱같이 휘 수 있는(Flexible) 투명기판 위에도 소자를 형성할 수 있을 뿐 아니라, PDP나 무기 ELD에 비해 10V 이하의 낮은 전압에서 구동이 가능하고, 전력 소모가 비교적 작으며, 색감이 뛰어나다.

도 1은 능동형 유기 ELD의 전체적인 구조를 개략적으로 나타내는 평면도이고, 도 2는 도 1에 도시된 능동형 유기 ELD의 서브화소를 나타내는 회로도이다.

도 1에 도시된 유기 ELD의 기판은 화소매트릭스를 갖는 표시영역(50)과, 표시영역(50)을 제외한 비표시영역(40)으로 나뉜다.

유기 ELD의 기판의 표시영역(50)에는 도 2에 도시된 바와 같이 게이트라인(GL)과 데이터라인(DL)의 교차로 정의된 영역에 각각 배열되어진 서브화소(150)를 구비한다. 서브화소(150)들 각각은 게이트라인(GL)에 게이트펄스가 공급될 때 데이터라인(DL)으로부터의 데이터신호를 공급받아 그 데이터신호에 상응하는 빛을 발생하게 된다.

이를 위하여, 서브화소들(150) 각각은 기저전압(GND)공급라인(13)에 음극이 접속된 EL 셀(OEL)과, 게이트라인(GL) 및 데이터 라인(DL)과 접속되고, 구동전압(VDD)공급라인(11)과 EL 셀(OEL)의 양극 사이에 셀 구동부(152)를 구비한다. 셀 구동부(152)는 스위칭용 박막트랜지스터(T1), 구동용 박막트랜지스터(T2) 및 캐패시터(C)를 구비한다.

스위칭용 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 제1 노드(N1)에 공급한다. 제1 노드(N1)에 공급된 데이터 신호는 캐패시터(C)에 충전됨과 아울러 구동용 박막 트랜지스터(T2)의 게이트 단자로 공급된다. 구동용 박막 트랜지스터(T2)는 게이트 단자로 공급되는 데이터 신호에 응답하여 공급 전압원(VDD)으로부터 EL 셀(OEL)로 공급되는 전류량(I)을 제어함으로써 EL 셀(OEL)의 발광량을 조절하게 된다. 그리고, 스위칭용 박막 트랜지스터(T1)가 턴-오프되더라도 캐패시터(C)에서 데이터 신호가 방전되므로 구동용 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 구동전압공급라인으로부터의 전류(I)를 EL 셀(OEL)에 공급하여 EL 셀(OEL)이 발광을 유지하게 한다.

유기 ELD의 기관의 비표시영역(40)에는 표시영역(50)의 게이트 라인(GL)과 접속된 게이트 드라이버(9), 데이터 라인(DL)과 접속된 데이터 드라이버(19), 구동전압공급라인(11), 기저전압공급라인(13), 제어신호공급패드(3) 및 에이징 패드(5)를 구비한다.

게이트 드라이버(9)는 게이트 라인(GL)에 스캔신호를 순차적으로 공급하고, 데이터 드라이버(19)는 데이터 라인(DL)을 통해 공급된 화소신호를 각 서브화소(150)들에 공급하게 한다.

구동전압공급라인(11)은 구동용 박막 트랜지스터(T2)에 접속되어 공통전압을 공급한다.

제어신호공급패드(3)는 PCB(Printed circuit Board)에 실장된 타이밍 컨트롤러(미도시)로부터 생성된 게이트 제어신호 및 데이터 제어신호를 게이트 드라이버(9) 및 데이터 드라이버(19)에 공급한다.

에이징 패드(5)는 EL 셀(OEL)의 특성을 안정화시키는 에이징 공정시 표시영역(50)의 EL 셀(OEL)에 에이징 신호를 공급한다.

기저전압공급라인(13)는 별도의 전압원에서 생성된 EL 셀을 구동하기 위한 기저전압을 EL 셀의 음극에 공급한다.

도 3a는 종래의 능동형 유기 전계발광표시장치의 기저전압 공급라인을 나타내는 평면도이고, 도 3b는 도 3a에 도시된 기저전압 공급부를 I-I' 선을 따라 절단하여 도시된 단면도이다.

도 3a 및 도 3b에 도시된 기저전압공급라인(13)는 기관(51) 상에 순차적으로 형성된 제1 금속층(59) 및 제2 금속층(57)과, 제1 금속층(59) 및 제2 금속층(57)을 덮도록 형성되고 접촉홀(85)을 갖는 보호막(69)과, 보호막(69)위에 형성되고 그의 접촉홀(85)을 통해 제2 금속층(57)과 접촉된 투명도전층(73)과, 투명금속층(73) 상에 형성된 제3 금속층(77)을 구비한다.

이러한 기저전압 공급라인(13)는 전원공급부에서 생성된 기저전압을 EL 셀과 접속된 캐소드전극(미도시)에 공급한다.

도 4a 내지 도 4f는 도 3b에 도시된 기저전압공급라인의 제조방법을 박막 트랜지스터와 결부하여 설명하기 위한 단면도이다.

먼저, 기관(51)상에 버퍼층(52)이 증착된 후 패터닝됨으로써 기관(51)의 표시영역(50) 상에 버퍼층(52)이 형성된다. 이후, 아몰퍼스 실리콘막이 증착된 후 패터닝됨으로써 박막 트랜지스터의 액티브층(64)이 형성된다. 이후, 액티브층(64)이 형성된 기관(51) 상에 게이트 절연막(62)이 전면 증착되고 패터닝됨으로써 게이트 절연막(62)이 형성된다. 게이트 절연막(62)이 형성된 기관(51) 상에 게이트 금속층이 전면 증착된 후 패터닝됨으로써 도 4a에 도시된 바와 같이 박막 트랜지스터의 게이트 전극(56)이 형성된다. 이와 동시에 기관의 비표시영역(40)에 상에 기저전압공급라인(13)의 제1 금속층(59)이 형성된다. 여기서, 게이트금속물질로는 알루미늄네오듐(AlNd)등이 이용된다.

게이트 전극(56)과 제1 금속층(59)이 형성된 기관(51)상에 절연물질이 증착됨으로써 층간절연막(66)이 형성된다. 층간절연막(66)은 질화실리콘(SiNx)을 포함하는 무기절연 물질 또는 BCB, 아크릴계 수지를 포함하는 유기절연물질이 이용된다. 이후 층간절연막(66)의 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 액티브층(64)을 노출시키는 소스접촉홀(44S)과 드레인 접촉홀(44D)이 형성됨과 아울러 게이트 전극(56)이 노출된다.

층간절연막(66)이 형성된 기판(51)상에 소스/드레인 금속물질이 증착된 후 포토리소그래피공정과 식각공정에 의해 패터닝됨으로 도 4b에 도시된 바와 같이 소스/드레인 전극(58,60,61) 및 제2 금속층(57)이 동시에 형성된다. 소스/드레인 전극(58,60,61)은 액티브층(64)과 각각 접촉되며, 제2 금속층(57)은 제1 금속층(59)과 접촉된다. 여기서, 소스/드레인 금속물질로는 몰리브덴(Mo)등이 이용된다.

소스/드레인 전극(58,60,61) 및 제2 금속층(57)이 각각 형성된 기판(51) 상에 보호막물질이 전면 증착됨으로써 보호막이 형성된다. 보호막물질로는 질화실리콘(SiNx)을 포함하는 무기절연 물질 또는 BCB, 아크릴계 수지를 포함하는 유기절연 물질이 이용된다. 이 후 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 도 4c에 도시된 바와 같이 박막 트랜지스터의 드레인 전극(60)을 노출시키기 위한 화소접촉홀(70)과 기저전압 공급라인(13)의 제2 금속층(57)을 노출시키시 위한 관통홀(53)이 형성된 보호막(69)이 형성된다.

보호막(69)이 형성된 기판(51)상에 투명도전성 물질이 증착된 후 포토리소그래피공정과 습식식각공정에 의해 패터닝됨으로써 도 4d에 도시된 바와 같이 박막 트랜지스터의 드레인 전극(60)과 접속되는 애노드전극(72)이 형성된다. 이와 동시에 기판의 비표시영역(40)에 상에 기저전압공급라인(13)의 보호막(69) 및 제2 금속층(57) 상에 투명도전층(73)이 형성된다. 여기서, 투명도전성물질로는 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO) 등이 이용된다.

이 후, 애노드전극(72)이 형성된 기판(51)의 표시영역상(50)에 순차적으로 절연막(88)과 유기발광층(74)이 형성된다.

박막 트랜지스터의 절연막(88) 및 유기발광층(74)과 기저전압 공급라인(13)의 투명도전층(73) 상에 도전성금속물질이 증착된 후 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 도 4e에 도시된 바와 같이 캐소드전극(76)과 기저전압공급라인(13)의 제3 금속층(177)이 동시에 형성된다. 여기서, 도전성금속물질로는 알루미늄(Al)등이 이용된다.

이와 같이 종래의 기저전압 공급라인(13)는 투명도전층(73)과 제3 금속층(77)이 접촉된다. 이에 따라, 투명도전층(73)에 포함된 옥사이드(Oxide)와 제3 금속층(7)의 알루미늄(Al)이 반응하여 투명도전층(73)과 제2 금속층(77) 사이에 저항성이 큰 산화알루미늄($AlOx$)층이 형성된다. 이 저항성이 큰 산화알루미늄($AlOx$)층에 의해 전류주입이 용이하지 않게 됨으로써 소비전력이 상승되는 문제가 있다.

또한, 기전력의 차이가 큰 제3 금속층(77)과 투명도전층(73)이 서로 접촉되면, 제3 금속층(77)과 투명도전층(73) 사이에서 상대적으로 큰 전위차가 발생되어 갈바닉(galvanic) 부식이 일어나게 된다. 즉, 상대적으로 내식성이 큰 투명도전층(73)의 부식은 억제되고 상대적으로 내식성이 약한 제3 금속층(77)은 상대적으로 빠르게 부식된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 기저전압 공급라인의 불량을 방지함과 아울러 소비전력을 절감시킬 수 있는 유기 전계발광표시 장치 및 그 제조방법에 관한 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 유기 전계발광장치는 전계발광 셀 어레이와; 상기 전계발광 셀 어레이에 기저전압을 공급하며 세 층의 불투명 금속층들만으로 형성되는 기저전압 공급라인을 구비하는 것을 특징으로 한다.

상기 세 층의 불투명금속층은 상기 전계발광 셀 어레이에 포함되는 박막 트랜지스터의 게이트 전극과 동일물질로 형성된 제1 금속층과; 상기 제1 금속층 상에 형성되고 상기 박막 트랜지스터의 소스/드레인 전극과 동일 물질로 형성된 제2 금속층과; 상기 제2 금속층 상에 형성되고 상기 박막 트랜지스터의 캐소드전극과 동일 물질로 형성된 제3 금속층을 포함하는 것을 특징으로 한다.

상기 제1 금속층은 알루미늄네오듐을 포함하고; 상기 제2 금속층은 몰리브덴을 포함하고; 상기 제3 금속층은 알루미늄을 포함하는 것을 특징으로 한다.

상기 제1 및 제2 금속층을 덮도록 형성됨과 아울러 상기 제2 금속층과 상기 제3 금속층을 접촉시키기 위한 홀을 갖도록 형성된 보호막을 추가로 구비하는 것을 특징으로 한다.

본 발명에 따른 유기 전계발광장치의 제조방법은 전계방출 셀과 전계방출 셀을 구비하기 위한 박막 트랜지스터를 구비하는 다수개의 화소들을 갖는 전계방출표시장치에 있어서, 상기 박막 트랜지스터의 게이트 전극과 함께 상기 전계방출 셀에 기저전압을 공급하는 기저전압 공급라인의 제1 금속층을 형성하는 단계와; 상기 박막 트랜지스터의 소스/드레인 전극과 함께 상기 기저전압 공급라인의 제2 금속층을 형성하는 단계와; 상기 전계방출 셀의 양극과 함께 상기 기저전압 공급라인의 제3 금속층을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 제1 금속층은 알루미늄네오듐을 포함하고; 상기 제2 금속층은 몰리브덴을 포함하고; 상기 제3 금속층은 알루미늄을 포함하는 것을 특징으로 한다.

상기 박막 트랜지스터와 상기 제1 및 제2 금속층을 덮도록 형성됨과 아울러 상기 제2 금속층과 상기 제3 금속층을 접촉시키기 위한 홀을 갖는 보호막을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시 예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 도 5 내지 도 6e를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 5는 본 발명의 실시 예에 따른 능동형 유기 ELD의 기저전압 공급라인을 도시한 단면도이다.

도 5에 도시된 기저전압공급라인은 기판(151) 상의 비표시영역 상에 순차적으로 형성되는 제1 내지 제3 금속층(159,157,177)을 구비한다. 제3 금속층(177)은 캐소드전극과 동일물질로 형성되어 캐소드전극에 기저전압을 공급한다. 제1 금속층(159)은 제2 구동용 박막 트랜지스터의 게이트 전극과 동일물질로 형성되며, 제2 금속층(157)은 제2 구동용 박막 트랜지스터의 소스/드레인 전극과 동일 물질로 형성된다. 제1 및 제2 금속층(159,157)은 제3 금속층(177)의 도전율을 높이는 역할을 한다. 여기서, 제1 금속층(159) 위에 제2 금속층(157)이 적층되고 제2 금속층(157) 위에 제3 금속층(177)이 적층된다. 제3 금속층(177)은 보호막(169)을 관통하는 관통홀에 의해 제2 금속층(157)과 접촉된다.

이러한 기저전압 공급라인은 전원공급부에서 생성된 기저전압을 EL셀과 접속된 캐소드전극에 공급한다.

이에 따라, 기저전압공급라인은 몰리브덴(Mo)과 알루미늄(Al)등의 기전력차이가 작은 제2 금속층(157)과 제3 금속층(177)을 접촉시킴으로써 접촉저항을 줄임과 아울러 알루미늄(Al)의 부식을 방지할 수 있다.

도 6a 내지 도 6f는 도 5에 도시된 기저전압공급라인의 제조방법을 박막 트랜지스터와 결부하여 설명하기 위한 단면도이다.

먼저, 기판(151)상에 버퍼층(152)이 증착된 후 패터닝됨으로써 기판(151)의 표시영역 상에 버퍼층(152)이 형성된다. 이후, 아몰퍼스 실리콘막이 증착된 후 패터닝됨으로써 박막 트랜지스터의 액티브층(164)이 형성된다. 이후, 액티브층(164)이 형성된 기판(151) 상에 게이트 절연막(162)이 전면 증착되고 패터닝됨으로써 박막 트랜지스터의 게이트 절연막(162)이 형성된다. 게이트 절연막(162)이 형성된 기판(151) 상에 게이트 금속층이 전면 증착된 후 패터닝됨으로써 도 6a에 도시된 바와 같이 박막 트랜지스터의 게이트 전극(156)이 형성된다. 이와 동시에 기판(151)의 비표시영역 상에 기저전압공급라인의 제1 금속층(159)이 형성된다. 여기서, 게이트금속물질로는 알루미늄네오듐(AlNd)등이 이용된다.

게이트 전극(156)과 제1 금속층(159)이 형성된 기판(151)상에 절연물질이 증착됨으로써 층간절연막(166)이 형성된다. 층간절연막(166)은 질화실리콘(SiNx)을 포함하는 무기절연 물질 또는 BCB, 아크릴계 수지를 포함하는 유기절연물질이 이용된다. 이후 층간절연막(166)의 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 액티브층(164)을 노출시키는 소스접촉홀(144S)과 드레인 접촉홀(144D)이 형성됨과 아울러 게이트 전극(156)이 노출된다.

층간절연막(166)이 형성된 기판(151)상에 소스/드레인 금속물질이 증착된 후 포토리소그래피공정과 식각공정에 의해 패터닝됨으로 도 6b에 도시된 바와 같이 소스/드레인 전극(158,160,161) 및 제2 금속층(157)이 동시에 형성된다. 소스/드레인 전극(158,160,161)은 액티브층(164)과 각각 접촉되며, 제2 금속층(157)은 제1 금속층(159)과 접촉된다. 여기서, 소스/드레인 금속물질로는 몰리브덴(Mo)등이 이용된다.

소스/드레인 전극(158,160,161) 및 제2 금속층(157)이 각각 형성된 기판(151) 상에 보호막물질이 전면 증착됨으로써 보호막이 형성된다. 보호막물질로는 질화실리콘(SiNx)을 포함하는 무기절연 물질 또는 BCB, 아크릴계 수지를 포함하는 유

기절연물질이 이용된다. 이 후 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 도 6c에 도시된 바와 같이 박막 트랜지스터의 드레인 전극(160)을 노출시키기 위한 화소접촉홀(170)과 기저전압 공급부의 제2 금속층(157)을 노출시키시 위한 관통홀(153)이 형성된 보호막(169)이 형성된다.

보호막(169)이 형성된 기판(151)상에 투명도전성 물질이 증착된 후 포토리소그래피공정과 습식식각공정에 의해 패터닝됨으로써 도 6d에 도시된 바와 같이 박막 트랜지스터의 드레인 전극(160)과 접속되는 애노드전극(172)이 형성된다. 이때, 기저전압공급라인에 증착된 투명도전성물질은 제1 금속층(159)이 노출되도록 습식식각 공정에 의해 선택적으로 식각된다. 여기서, 투명도전성물질로는 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO) 등이 이용된다.

이 후, 애노드전극(172)이 형성된 기판(151)의 표시영역상에 순차적으로 절연막(188)과 유기발광층(174)이 형성된다.

박막 트랜지스터의 절연막(188) 및 유기발광층(174)과 기저전압 공급라인의 제2 금속층(157) 상에 도전성금속물질이 증착된 후 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 도 6e에 도시된 바와 같이 캐소드전극(176)과 기저전압 공급라인의 제3 금속층(177)이 동시에 형성된다. 제3 금속층(177)은 관통홀(153)을 통해 제2 금속층(157)과 접촉된다. 여기서, 도전성금속물질로는 알루미늄(Al)등이 이용된다.

이와 같이 본 발명의 실시예에 따른 유기 전계발광표시장치의 기저전압공급라인은 몰리브덴(Mo)을 포함하는 제2 금속층(157)상에 알루미늄을 포함하는 제3 금속층(177)이 형성된다. 제2 금속층(157)에 포함된 몰리브덴(Mo)과 제3 금속층(177)에 포함된 알루미늄은 기전력차가 작기 때문에 기저전압공급라인이 부식환경에 노출되는 경우 알루미늄의 부식을 방지할 수 있다.

또한, 기저전압공급라인에 증착되는 투명도전성물질이 습식식각에 의해 제거됨으로써 투명도전성물질에 포함된 옥사이드와 알루미늄의 반응에 의해 형성된 저항성이 큰 산화알루미늄의 생성이 방지된다. 이로써, 전류주입이 용이하여 소비전력이 절감된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기 전계발광소자 및 그 제조방법은 기저전압공급부이 기전력차이가 작은 금속을 포함하는 불투명금속층만으로 형성됨으로써 접촉저항을 줄일수 있게 된다. 이로써, 전류 주입이 용이하여 소비전력이 절감된다.

또한, 기전력차이가 작은 금속을 포함하는 금속층만이 접촉되므로써 금속의 부식에 의한 기저전압공급라인의 불량을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 능동형 유기 전계발광표시장치의 전체적인 구조를 나타내는 단면도.

도 2는 도 1에 도시된 능동형 유기 전계발광표시장치의 서브화소를 나타내는 회로도이다.

도 3a 및 도 3b는 종래의 능동형 유기 전계발광표시장치의 기저전압 공급부를 나타내는 평면도 및 단면도.

도 4a 내지 도 4e는 도 3b에 도시된 기저전압 공급라인의 제조방법을 나타내는 도면.

도 5은 본 발명의 실시예에 따른 능동형 유기 전계발광표시장치의 기저전압 공급라인을 나타내는 단면도.

도 6a 및 도 6e는 도 5에 도시된 능동형 유기 전계발광표시장치의 기저전압 공급라인의 제조방법을 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 설명>

9 : 데이터 드라이버 13 : 기저전압공급라인

51,151 : 기관 59, 159 : 제1 불투명금속층

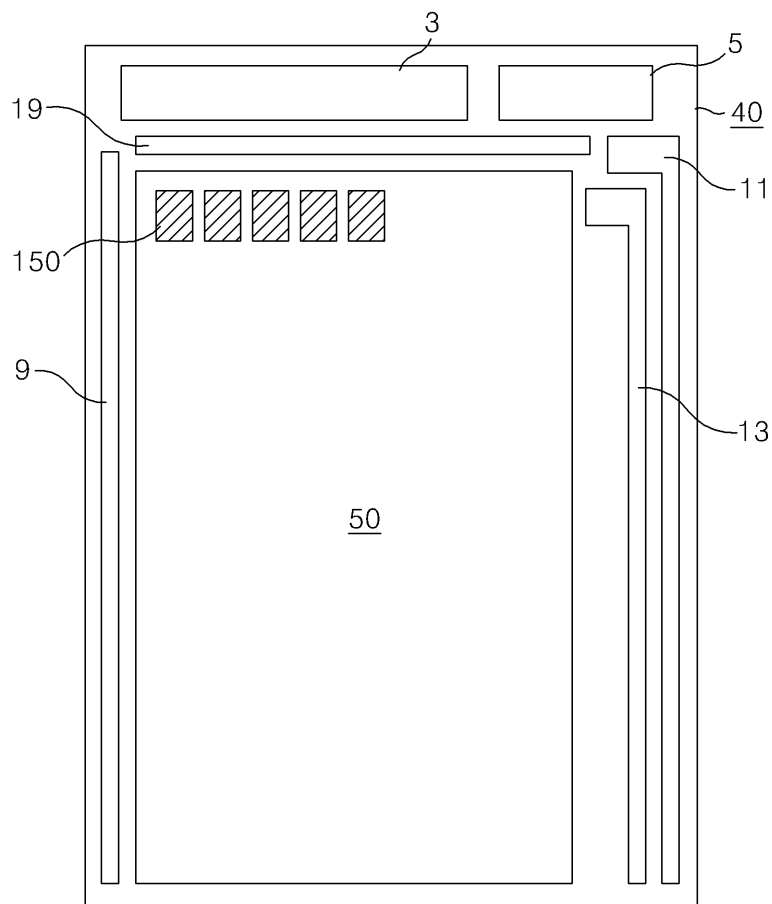
77,177 : 제3 불투명금속층 52,152 : 버퍼층

58,158 : 소스전극 60,160 : 드레인 전극

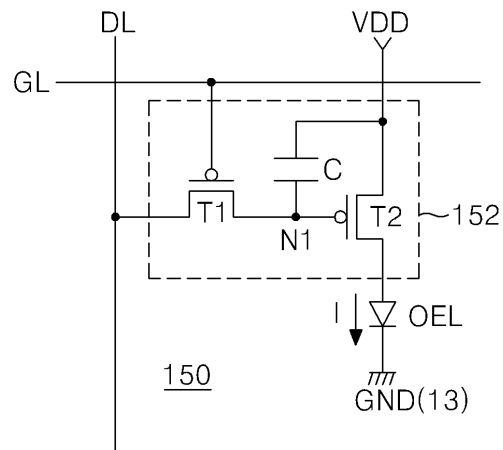
10,110 : 유기 발광층

도면

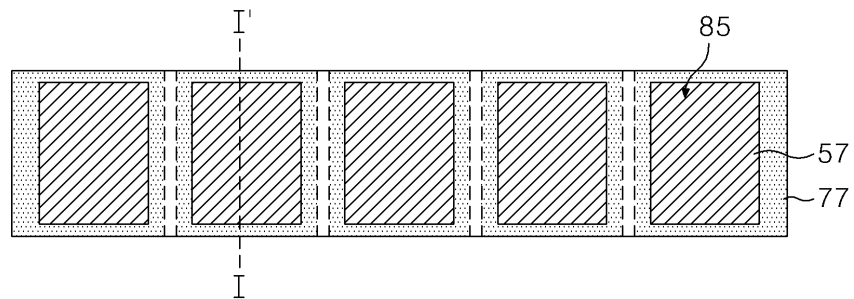
도면1



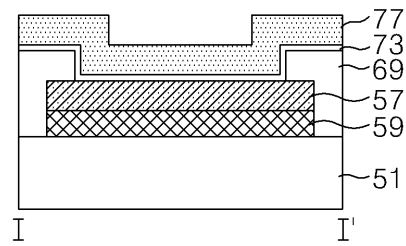
도면2



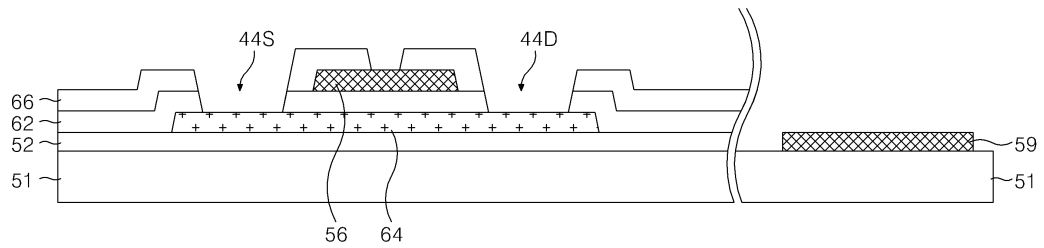
도면3a



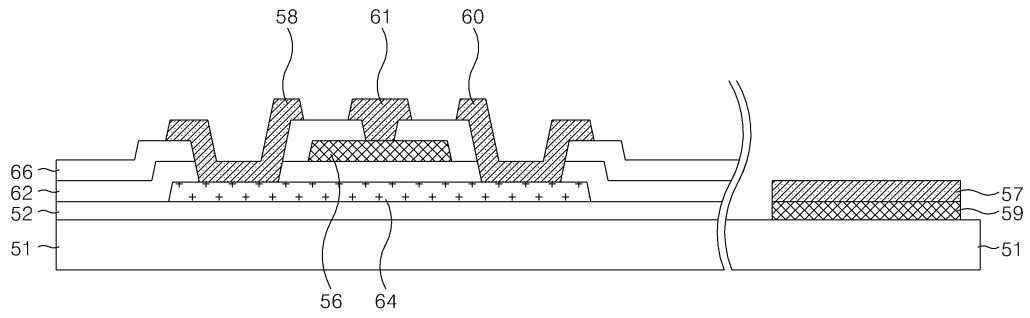
도면3b



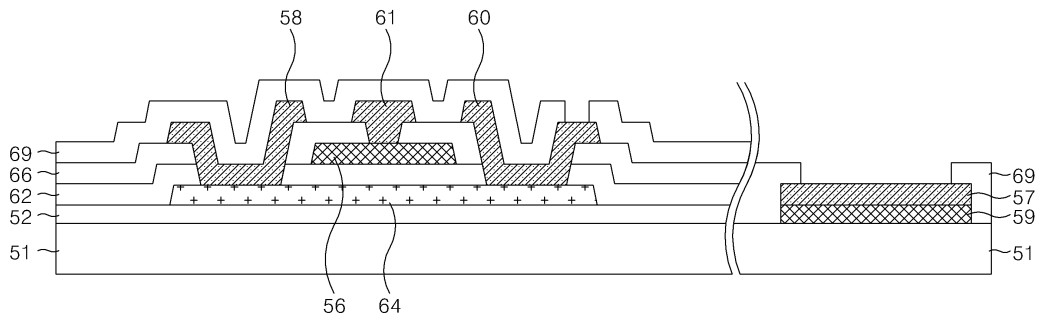
도면4a



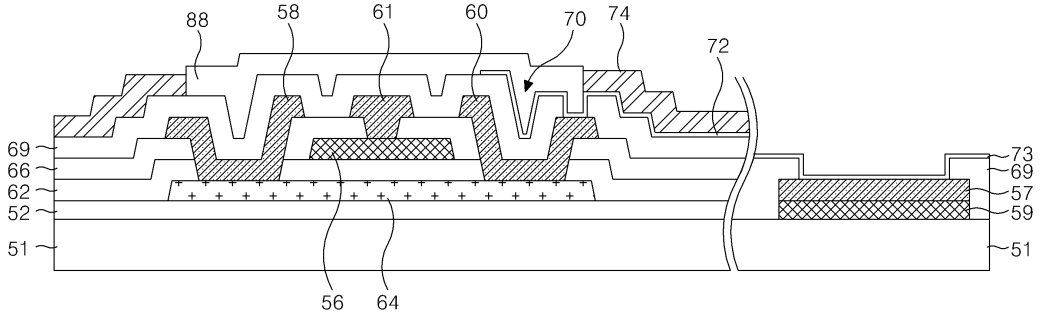
도면4b



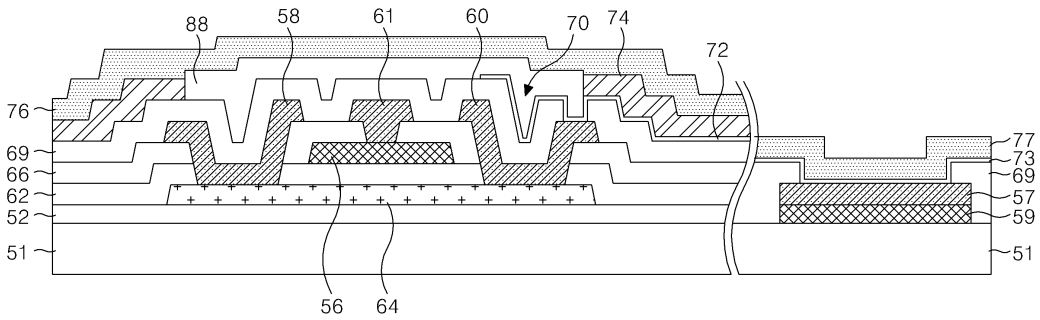
도면4c



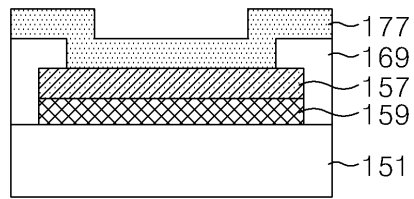
도면4d



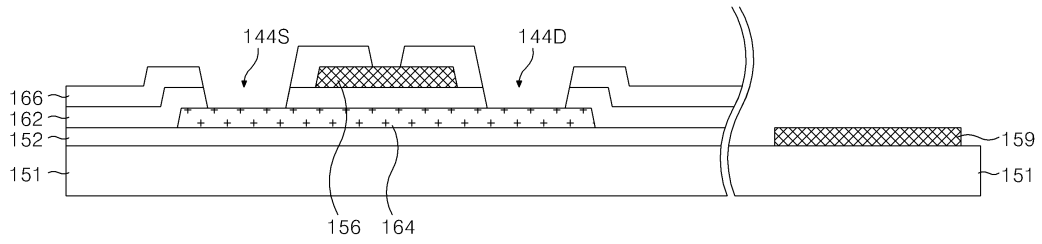
도면4e



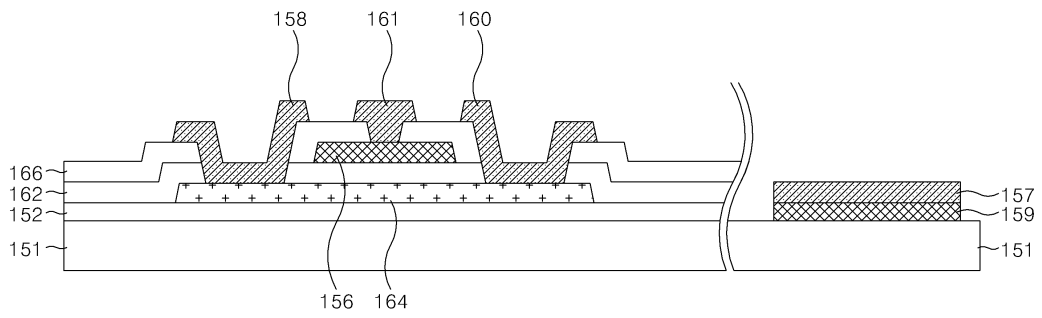
도면5



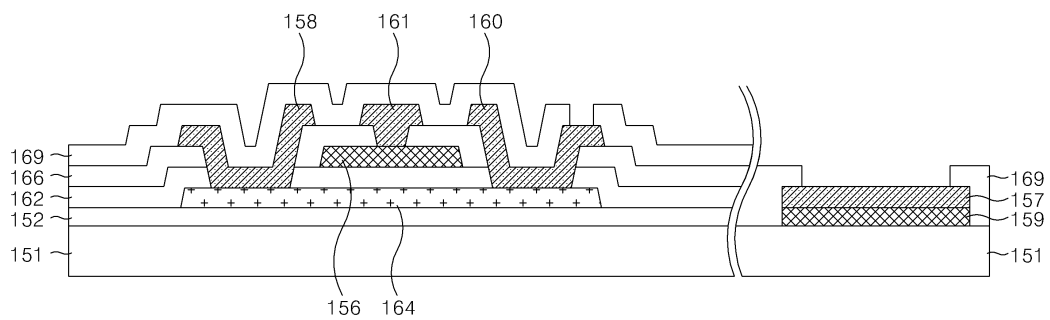
도면6a



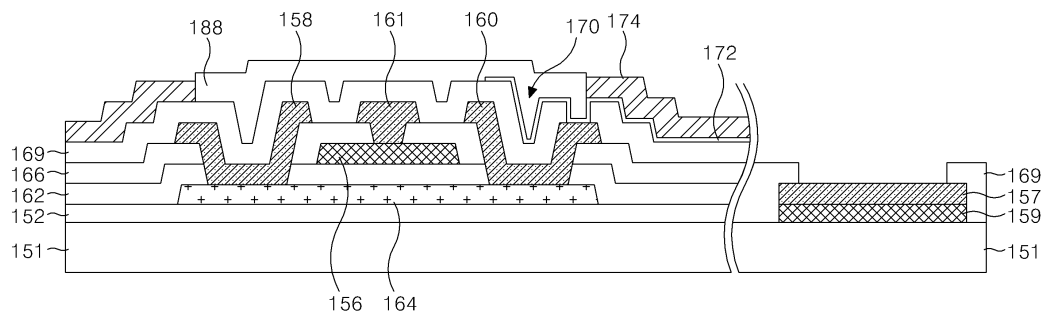
도면6b



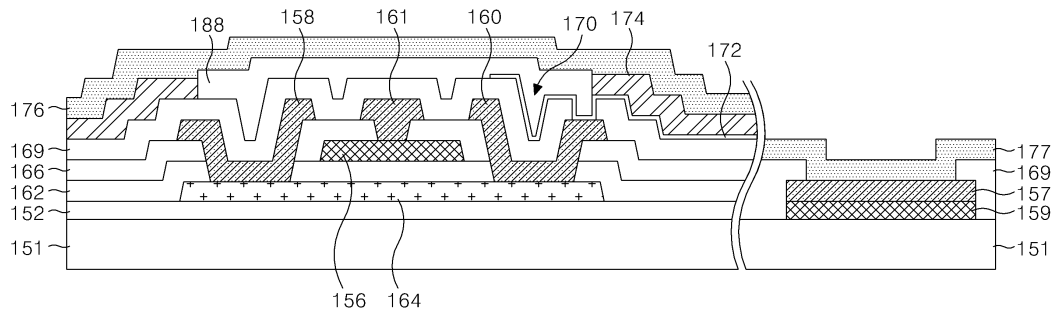
도면6c



도면6d



도면6e



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR100692840B1	公开(公告)日	2007-03-09
申请号	KR1020030032199	申请日	2003-05-21
申请(专利权)人(译)	LG电子公司		
当前申请(专利权)人(译)	LG电子公司		
[标]发明人	KANG MINSU 강민수 HAN YOONSOO 한윤수 TAK YOONHEUNG 탁윤희		
发明人	강민수 한윤수 탁윤희		
IPC分类号	H05B33/06		
CPC分类号	H01L27/3276 H01L51/0021		
代理人(译)	李, SOO WOONG		
其他公开文献	KR1020040100006A		
外部链接	Espacenet		

摘要(译)

用途：提供一种有机场效应发光显示装置及其制造方法，以通过使用由电动势较小的金属制成的不透明金属层形成基极电压供给部来降低接触电阻。 构成：一种有机场效应发光显示装置，包括场效应发光单元阵列和由至少两个不透明金属层制成的基极电压供给线。基极电压供应线将基极电压提供给场效应发光单元阵列。至少两个不透明金属层包括由与场效应发光单元阵列中包括的薄膜晶体管中的栅电极等效的材料制成的第一金属层（159），形成在第一金属层（157）上的第二金属层（157）。金属层由与薄膜晶体管中的源/漏电极等效的材料制成，并且第三金属层（177）形成在第二金属层上并且由与薄膜晶体管中的阴极电极等效的材料制成。

