

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁸
H05B 33/00 (2006.01)

(45) 공고일자 2006년01월20일
(11) 등록번호 10-0543011
(24) 등록일자 2006년01월06일

(21) 출원번호	10-2003-0081206	(65) 공개번호	10-2005-0047386
(22) 출원일자	2003년11월17일	(43) 공개일자	2005년05월20일

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 구재본
 경기도용인시수지구읍풍덕천리풍림아파트105동504호

곽원규
경기도성남시분당구구미동88번지까치주공아파트207-903

(74) 대리인 박상수

심사관 : 여운석

(54) 박막트랜지스터 및 그를 이용한 유기전계발광표시장치

요약

박막트랜지스터 및 그를 이용한 유기전계발광표시장치를 제공한다. 상기 박막트랜지스터는 제 1 소오스 영역, 상기 제 1 소오스 영역과 동일한 도전형의 제 1 드레인 영역, 상기 제 1 소오스 영역과 상기 제 1 드레인 영역 사이에 개재된 채널 영역 및 상기 제 1 소오스 영역에 접하면서 상기 채널 영역의 반대편에 위치하고 상기 제 1 소오스 영역과 서로 다른 도전형인 제 2 소오스 영역을 구비하되, 동작 시에 상기 제 1 소오스 영역과 상기 제 2 소오스 영역 사이에는 역바이어스가 인가되는 반도체층; 및 상기 반도체층과 서로 절연되면서, 상기 채널 영역을 가로지르는 게이트를 포함한다.

대표도

도 4

색인어

박막트랜지스터, 구동박막트랜지스터, S-factor, 계조표시

명세서

도면의 간단한 설명

도 1은 일반적인 능동 매트릭스 유기전계발광표시장치의 단위화소구동회로를 나타낸 회로도이다.

도 2는 일반적인 피모스 박막트랜지스터를 나타낸 단면도이다.

도 3은 도 2에 나타난 바와 같은 단면구조를 갖는 피모스 박막트랜지스터의 게이트 전압의 변화에 따른 전류전달특성을 나타낸 그래프이다.

도 4는 본 발명의 제 1 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다.

도 5는 본 발명의 제 2 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다.

도 6는 본 발명의 제 3 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다.

도 7은 본 발명의 제 4 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다.

도 8은 본 발명의 제 5 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다.

도 9은 본 발명의 제 6 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다.

도 10 내지 도 12는 상기 제 1 내지 제 3 실시예에 따른 피모스 박막트랜지스터들의 게이트 전압변화에 따른 전류전달특성을 각각 나타낸 그래프이다.

(도면의 주요 부위에 대한 부호의 설명)

200 : 반도체층 205 : 제 1 소오스 영역

209 : 제 2 소오스 영역 206 : 제 1 드레인 영역

550 : 구동반도체층 570 : 스위칭반도체층

555: 제 1 구동소오스 영역 559 : 제 2 구동소오스 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막트랜지스터, 그를 이용한 유기전계발광표시장치에 관한 것으로, 특히 S-factor값이 증가된 박막트랜지스터, 그를 이용한 유기전계발광표시장치에 관한 것이다.

일반적으로 유기전계발광표시장치(Organic Light-Emitting Display Device)는 형광성 유기화합물을 전기적으로 여기시켜 발광하게 하는 자발광형 표시장치로서, $N \times M$ 개의 화소들을 구동하는 방식에 따라 수동 매트릭스(passive matrix)방식과 능동 매트릭스(active matrix)방식으로 나뉘어진다. 이중 상기 능동 매트릭스 방식은 화소를 전류구동 혹은 전압구동하기 위한 단위화소구동회로가 각 화소별로 배치되어 있는 것을 특징으로 하며, 상기 수동 매트릭스 방식에 비해 전력소모가 적어 대면적 구현에 적합하며, 고해상도를 갖는 장점이 있다.

도 1은 일반적인 능동 매트릭스 유기전계발광표시장치의 단위화소구동회로를 나타낸 회로도이다.

도 1을 참조하면, 일방향으로 n 번째 주사선이 위치하고 상기 주사선과 절연되면서 교차하는 m 번째 데이터선이 위치한다. 또한, 상기 주사선과 서로 절연되면서 교차하고, 상기 데이터선에 서로 이격되어 공통전원선이 위치한다.

상기 주사선과 상기 데이터선이 교차하는 곳에 스위칭 박막트랜지스터(M1)가 위치한다. 상기 스위칭 박막트랜지스터(M1)는 구동 박막트랜지스터(M2)의 게이트와 연결되어 상기 구동 박막트랜지스터(M2)에 데이터신호를 인가한다. 이 때, 인가되는 데이터신호를 일정기간 유지하기 위한 저장콘덴서(Cst)가 상기 구동 박막트랜지스터(M2)의 게이트와 드레인 사

이에 연결되어 위치한다. 상기 구동 박막트랜지스터(M2)의 게이트에 인가된 데이터신호는 상기 구동 박막트랜지스터(M2)에 전류를 흐르게 하고, 상기 구동 박막트랜지스터(M2)에 흐르는 전류는 상기 구동 박막트랜지스터(M2)와 연결된 유기발광다이오드(D)에 공급되어 상기 유기발광다이오드(D)의 발광을 유도한다.

상기 유기발광다이오드(D)에 있어서, 발광색의 계조(gray scale)표시는 상기 유기발광다이오드(D)에 공급되는 전류의 량에 따라 결정되는데, 상기 전류의 량은 상기 구동 박막트랜지스터(M2)의 게이트에 인가되는 데이터신호 즉, 전압에 의해 조절된다.

도 2는 일반적인 피모스 박막트랜지스터를 나타낸 단면도이다.

도 2를 참고하면, 기판(10) 상에 반도체층(20)이 위치한다. 상기 반도체층(20)은 소오스 영역(25), 드레인 영역(26), 상기 소오스 영역(25)과 상기 드레인 영역(26) 사이에 개재된 채널 영역(21)을 구비한다. 상기 소오스 영역(25)과 상기 드레인 영역(26)은 p 형 영역이다. 상기 반도체층(20) 상에 게이트 절연막(30)이 위치하고, 상기 게이트 절연막(30) 상에 상기 채널 영역(21)을 가로지르는 게이트(35)가 위치한다. 상기 게이트(35)를 포함한 기판(10) 전면 상에 층간 절연막(40)이 위치한다. 상기 층간 절연막(40) 내에 상기 소오스 영역(25) 및 상기 드레인 영역(26)을 노출시키는 콘택홀들을 각각 위치하고, 상기 콘택홀들을 통해 노출된 상기 소오스 영역(25) 및 상기 드레인 영역(26)에 각각 접하는 소오스 전극(45) 및 드레인 전극(46)이 상기 층간 절연막(40) 상에 위치한다.

한편, 상기 피모스 박막트랜지스터를 상기 도 1에 있어서의 구동 박막트랜지스터(도 1의 M2)로 사용할 경우에 있어, 상기 피모스 박막트랜지스터 즉, 상기 구동 박막트랜지스터(도 1의 M2)는 소정 범위의 전류를 상기 유기발광다이오드(도 1의 D)에 전달하여야 한다. 이 때, 상기 유기발광다이오드(도 1의 D)가 1nA 내지 500nA의 전류범위 내에서 64 계조를 표시한다면, 상기 구동 박막트랜지스터(도 1의 M2)는 상기 1nA 내지 500nA의 전류범위를 64등분한 전류를 상기 유기발광다이오드(도 1의 D)에 전달하여 계조를 표시하도록 하여야 한다. 상기 구동 박막트랜지스터(도 1의 M2)가 계조표시를 위해 상기 유기발광다이오드(도 1의 D)에 전달하는 전류는 상기 피모스 박막트랜지스터의 게이트에 인가된 전압에 의해 조절된다.

도 3은 도 2에 나타난 바와 같은 단면구조를 갖는 피모스 박막트랜지스터의 게이트 전압의 변화에 따른 전류전달특성을 나타낸 그래프이다.

도 3을 참조하면, 상기 피모스 박막트랜지스터에서 상기 1nA 내지 500nA범위내의 드레인 전류(I_d)를 얻으려면 상기 피모스 박막트랜지스터의 게이트에 인가해야 하는 전압의 범위는 K로 표시된다. 상기 피모스 박막트랜지스터가 상기 도 1에 있어서의 구동 박막트랜지스터(도 1의 M2)로 사용할 경우에 있어, 상기 드레인 전류(I_d)는 상기 유기발광다이오드(도 1의 D)에 전달되는 전류이다. 이 때, 상기 전압범위(K)가 넓은 즉, s-factor가 큰 피모스 박막트랜지스터일수록 게이트 전압 변화에 따른 드레인 전류(I_d)의 변화가 적어, 상기 게이트 전압의 제어에 의해 상기 드레인 전류(I_d)를 제어하는 것이 용이하고, 이는 상기 유기발광다이오드(도 1의 D)의 계조표시를 제어하는 것을 용이하게 한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, s-factor값이 증가된 박막트랜지스터를 제공함에 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기한 종래기술의 문제점을 해결하기 위한 것으로, 상기 박막트랜지스터를 구동박막트랜지스터로서 사용하여 계조표시를 제어하는 것이 용이한 유기전계발광표시장치를 제공함에 있다.

발명의 구성 및 작용

상기 기술적 과제를 이루기 위하여 본 발명은 박막트랜지스터를 제공한다. 상기 박막트랜지스터는 제 1 소오스 영역, 상기 제 1 소오스 영역과 동일한 도전형의 제 1 드레인 영역, 상기 제 1 소오스 영역과 상기 제 1 드레인 영역 사이에 개재된 채널 영역 및 상기 제 1 소오스 영역에 접하면서 상기 채널 영역의 반대편에 위치하고 상기 제 1 소오스 영역과 서로 다른 도전형인 제 2 소오스 영역을 구비하되, 동작 시에 상기 제 1 소오스 영역과 상기 제 2 소오스 영역 사이에는 역바이어스가 인가되는 반도체층; 및 상기 반도체층과 서로 절연되면서, 상기 채널 영역을 가로지르는 게이트를 포함한다.

상기 박막트랜지스터는 상기 제 1 드레인 영역에 접하고 상기 게이트와 절연된 드레인 전극; 및 상기 제 2 소오스 영역에 접하고 상기 게이트와 절연된 소오스 전극을 더욱 포함하는 것이 바람직하다. 상기 제 1 소오스 영역 및 상기 제 1 드레인 영역은 p 형 영역이고, 상기 제 2 소오스 영역은 n 형 영역인 것이 바람직하다.

상기 반도체층은 상기 제 2 소오스 영역에 접하면서 상기 제 1 소오스 영역의 반대편에 위치하고 상기 제 2 소오스 영역과 서로 다른 도전형인 제 3 소오스 영역을 더욱 구비할 수 있다. 이 경우, 상기 박막트랜지스터는 상기 제 1 드레인 영역에 접하고 상기 게이트와 절연된 드레인 전극; 및 상기 제 3 소오스 영역에 접하고 상기 게이트와 절연된 소오스 전극을 더욱 포함하는 것이 바람직하다. 또한, 이 경우, 상기 제 1 소오스 영역, 상기 제 3 소오스 영역 및 상기 제 1 드레인 영역은 p 형 영역이고, 상기 제 2 소오스 영역은 n 형 영역인 것이 바람직하다.

이와는 달리, 상기 반도체층은 상기 제 1 드레인 영역에 접하면서 상기 채널 영역의 반대편에 위치하고 상기 제 1 드레인 영역과 서로 다른 도전형인 제 2 드레인 영역을 더욱 구비할 수 있다. 이 경우, 상기 박막트랜지스터는 상기 제 2 드레인 영역에 접하고 상기 게이트와 절연된 드레인 전극; 및 상기 제 2 소오스 영역에 접하고 상기 게이트와 절연된 소오스 전극을 더욱 포함하는 것이 바람직하다. 또한, 이 경우, 상기 제 1 소오스 영역 및 상기 제 1 드레인 영역은 p 형 영역이고, 상기 제 2 소오스 영역 및 상기 제 2 드레인 영역은 n 형 영역인 것이 바람직하다.

상기 반도체층은 폴리실리콘층인 것이 바람직하다.

상기 박막트랜지스터는 유기전계발광표시장치의 단위화소내의 구동 박막트랜지스터인 것이 바람직하다.

상기 다른 기술적 과제를 이루기 위하여 본 발명은 유기전계발광표시장치를 제공한다. 상기 유기전계발광표시장치는 제 1 구동소오스 영역, 상기 제 1 구동소오스 영역과 동일한 도전형의 제 1 구동드레인 영역, 상기 제 1 구동소오스 영역과 상기 제 1 구동드레인 영역 사이에 개재된 구동채널 영역 및 상기 제 1 구동소오스 영역에 접하면서 상기 구동채널 영역의 반대편에 위치하고 상기 제 1 구동소오스 영역과 서로 다른 도전형인 제 2 구동소오스 영역을 구비하되, 동작 시에 상기 제 1 구동소오스 영역과 상기 제 2 구동소오스 영역 사이에는 역바이어스가 인가되는 구동반도체층; 및 상기 구동반도체층과 서로 절연되면서, 상기 구동채널 영역을 가로지르는 구동게이트를 구비하는 구동박막트랜지스터를 포함한다.

상기 유기전계발광표시장치는 스위칭소오스 영역, 스위칭드레인 영역 및 상기 스위칭소오스 영역과 상기 스위칭드레인 영역 사이에 개재된 스위칭 채널영역; 및 상기 스위칭 채널영역과 서로 절연되면서, 상기 스위칭채널 영역을 가로지르는 스위칭게이트를 구비하고, 상기 구동박막트랜지스터에 전기적 신호를 인가하는 스위칭박막트랜지스터를 더욱 포함하는 것이 바람직하다.

상기 구동박막트랜지스터는 상기 제 1 구동드레인 영역에 접하고 상기 구동게이트와 절연된 구동드레인 전극; 및 상기 제 2 구동소오스 영역에 접하고 상기 구동게이트와 절연된 구동소오스 전극을 더욱 구비하는 것이 바람직하다. 또한, 상기 제 1 구동소오스 영역 및 상기 제 1 구동드레인 영역은 p 형 영역이고, 상기 제 2 구동소오스 영역은 n 형 영역인 것이 바람직하다.

상기 구동박막트랜지스터에 있어서, 상기 구동반도체층은 상기 제 2 구동소오스 영역에 접하면서 상기 제 1 구동소오스 영역의 반대편에 위치하고, 상기 제 2 구동소오스 영역과 서로 다른 도전형인 제 3 구동소오스 영역을 더욱 구비할 수 있다. 이 때, 상기 구동박막트랜지스터는 상기 제 1 구동드레인 영역에 접하고 상기 구동게이트와 절연된 구동드레인 전극; 및 상기 제 3 구동소오스 영역에 접하고 상기 구동게이트와 절연된 구동소오스 전극을 더욱 구비하는 것이 바람직하다. 또한, 이 경우, 상기 구동박막트랜지스터에 있어서, 상기 제 1 구동소오스 영역, 상기 제 3 구동소오스 영역 및 상기 제 1 구동드레인 영역은 p 형 영역이고, 상기 제 2 구동소오스 영역은 n 형 영역인 것이 바람직하다.

상기 구동박막트랜지스터에 있어서, 상기 구동반도체층은 상기 제 1 구동드레인 영역에 접하면서 상기 구동채널 영역의 반대편에 위치하고, 상기 제 1 구동드레인 영역과 서로 다른 도전형인 제 2 구동드레인 영역을 더욱 구비할 수 있다. 이 때, 상기 구동박막트랜지스터는 상기 제 2 구동드레인 영역에 접하고 상기 구동게이트와 절연된 구동드레인 전극; 및 상기 제 2 구동소오스 영역에 접하고 상기 구동게이트와 절연된 구동소오스 전극을 더욱 구비하는 것이 바람직하다. 또한, 이 경우, 상기 구동박막트랜지스터에 있어서, 상기 제 1 구동소오스 영역 및 상기 제 1 구동드레인 영역은 p 형 영역이고, 상기 제 2 구동소오스 영역 및 상기 제 2 구동드레인 영역은 n 형 영역인 것이 바람직하다.

상기 구동반도체층은 폴리실리콘층인 것이 바람직하다. 또한, 상기 스위칭반도체층은 폴리실리콘층인 것이 바람직하다.

상기 스위칭소오스 영역 및 상기 스위칭드레인 영역은 p 형 영역인 것이 바람직하다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 바람직한 실시예들을 첨부된 도면들을 참조하여 보다 상세하게 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다.

도면들에 있어서, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소를 나타낸다.

도 4는 본 발명의 제 1 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다.

도 4를 참조하면, 절연기판(100) 상에 반도체층(200)이 위치한다. 상기 반도체층(200)은 비정질 실리콘층 또는 다결정 실리콘층으로 형성된다. 바람직하게는 상기 반도체층(200)은 비정질 실리콘층에 비해 높은 전하이동도를 얻을 수 있는 다결정 실리콘층으로 형성된다.

상기 반도체층(200)은 제 1 소오스 영역(205), 상기 제 1 소오스 영역(205)과 동일한 도전형을 갖는 제 1 드레인 영역(206), 상기 제 1 소오스 영역(205)과 상기 제 1 드레인 영역(206) 사이에 개재된 채널 영역(201) 및 상기 제 1 소오스 영역(205)에 접하되 상기 채널 영역(201)의 반대편에 위치하고 상기 제 1 소오스 영역(205)과 서로 다른 도전형을 갖는 제 2 소오스 영역(209)을 구비한다.

상기 반도체층(200) 상에 게이트 절연막(250)이 위치하고, 상기 게이트 절연막(250) 상에 상기 채널 영역(201)을 가로지르는 게이트(300)가 위치한다. 상기 게이트(300)를 포함한 기판(100) 전면 상에 층간 절연막(350)이 위치한다. 상기 층간 절연막(350) 내에 상기 제 2 소오스 영역(209) 및 상기 제 1 드레인 영역(206)을 각각 노출시키는 콘택홀들이 위치하고, 상기 콘택홀들을 통해 노출된 상기 제 2 소오스 영역(209) 및 상기 드레인 영역(206)에 각각 접하는 소오스 전극(410) 및 드레인 전극(430)이 상기 층간 절연막(350) 상에 위치한다.

상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)은 n 형 또는 p 형 영역일 수 있다. 상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)이 n 형 영역인 경우 즉, n 형 박막트랜지스터인 경우, 상기 제 2 소오스 영역(209)은 p 형 영역이다. 한편, 상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)이 p 형 영역인 경우 즉, p 형 박막트랜지스터인 경우, 상기 제 2 소오스 영역(209)은 n 형 영역이다. 상기 p형 박막트랜지스터를 동작시킴에 있어서, 상기 게이트에는 문턱전압이상의 음의 전압을 인가하고, 상기 드레인 전극(430)에는 음의 전압을 인가함과 동시에 상기 소오스 전극(410)은 접지시킨다. 이로써, 상기 p형의 도전형을 갖는 제 1 소오스 영역(205)과 상기 n형의 도전형을 갖는 제 2 소오스 영역(209) 사이에는 역바이어스가 인가된다. 상기 n형 박막트랜지스터를 동작시킴에 있어서는 상기 게이트에는 문턱전압이상의 양의 전압을 인가하고, 상기 드레인 전극(430)에는 양의 전압을 인가함과 동시에 상기 소오스 전극(410)은 접지시킨다. 이로써, 상기 n형의 도전형을 갖는 제 1 소오스 영역(205)과 상기 p형의 도전형을 갖는 제 2 소오스 영역(209) 사이에는 역바이어스가 인가된다.

상기 박막트랜지스터는 유기전계발광표시장치의 구동박막트랜지스터로 사용되는 것이 바람직하다. 이 경우, 상기 박막트랜지스터는 p형 박막트랜지스터인 것이 바람직하다.

도 5는 본 발명의 제 2 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 박막트랜지스터는 상기 제 1 실시예에 따른 박막트랜지스터에 대해 반도체층의 구조를 달리한다.

도 5를 참조하면, 절연기판(100) 상에 반도체층(200)이 위치한다. 상기 반도체층(200)은 비정질 실리콘층 또는 다결정 실리콘층으로 형성된다. 바람직하게는 상기 반도체층(200)은 비정질 실리콘층에 비해 높은 전하이동도를 얻을 수 있는 다결정 실리콘층으로 형성된다.

상기 반도체층(200)은 제 1 소오스 영역(205), 상기 제 1 소오스 영역(205)과 동일한 도전형을 갖는 제 1 드레인 영역(206), 상기 제 1 소오스 영역(205)과 상기 제 1 드레인 영역(206) 사이에 개재된 채널 영역(201), 상기 제 1 소오스 영역(205)에 접하되 상기 채널 영역(201)의 반대편에 위치하고 상기 제 1 소오스 영역(205)과 서로 다른 도전형을 갖는 제 2 소오스 영역(209) 및 상기 제 1 드레인 영역(206)에 접하되 상기 채널 영역(201)의 반대편에 위치하고 상기 제 1 드레인 영역(206)과 서로 다른 도전형을 갖는 제 2 드레인 영역(210)을 구비한다.

상기 반도체층(200) 상에 게이트 절연막(250)이 위치하고, 상기 게이트 절연막(250) 상에 상기 채널 영역(201)을 가로지르는 게이트(300)가 위치한다. 상기 게이트(300)를 포함한 기판(100) 전면 상에 층간 절연막(350)이 위치한다. 상기 층간 절연막(350) 내에 상기 제 2 소오스 영역(209) 및 상기 제 2 드레인 영역(210)을 각각 노출시키는 콘택홀들이 위치하고, 상기 콘택홀들을 통해 노출된 상기 제 2 소오스 영역(209) 및 상기 제 2 드레인 영역(210)에 각각 접하는 소오스 전극(410) 및 드레인 전극(430)이 상기 층간 절연막(350) 상에 위치한다.

상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)은 n 형 또는 p 형 영역일 수 있다. 상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)이 n 형 영역인 경우 즉, n 형 박막트랜지스터인 경우, 상기 제 2 소오스 영역(209) 및 상기 제 2 드레인 영역(210)은 p 형 영역이다. 한편, 상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)이 p 형 영역인 경우 즉, p 형 박막트랜지스터인 경우, 상기 제 2 소오스 영역(209) 및 상기 제 2 드레인 영역(210)은 n 형 영역이다.

상기 p형 박막트랜지스터를 동작시킴에 있어서, 상기 게이트에는 문턱전압이상의 음의 전압을 인가하고, 상기 드레인 전극(430)에는 음의 전압을 인가함과 동시에 상기 소오스 전극(410)은 접지시킨다. 이로써, 상기 p형의 도전형을 갖는 제 1 소오스 영역(205)과 상기 n형의 도전형을 갖는 제 2 소오스 영역(209) 사이에는 역바이어스가 인가되고, 상기 p형의 도전형을 갖는 제 1 드레인 영역(206)과 상기 n형의 도전형을 갖는 제 2 드레인 영역(210) 사이에는 정바이어스가 인가된다. 한편, 상기 n형 박막트랜지스터를 동작시킴에 있어서는 상기 게이트에는 문턱전압이상의 양의 전압을 인가하고, 상기 드레인 전극(430)에는 양의 전압을 인가함과 동시에 상기 소오스 전극(410)은 접지시킨다. 이로써, 상기 n형의 도전형을 갖는 제 1 소오스 영역(205)과 상기 p형의 도전형을 갖는 제 2 소오스 영역(209) 사이에는 역바이어스가 인가되고, 상기 n형의 도전형을 갖는 제 1 드레인 영역(206)과 상기 p형의 도전형을 갖는 제 2 드레인 영역(210) 사이에는 정바이어스가 인가된다.

상기 박막트랜지스터는 유기전계발광표시장치의 구동박막트랜지스터로 사용되는 것이 바람직하다. 이 경우, 상기 박막트랜지스터는 p형 박막트랜지스터인 것이 바람직하다.

도 6은 본 발명의 제 3 실시예에 따른 박막트랜지스터를 설명하기 위한 단면도이다. 본 실시예에 따른 박막트랜지스터는 상기 제 1 실시예에 따른 박막트랜지스터에 대해 반도체층의 구조를 달리한다.

도 6을 참조하면, 절연기판(100) 상에 반도체층(200)이 위치한다. 상기 반도체층(200)은 비정질 실리콘층 또는 다결정 실리콘층으로 형성된다. 바람직하게는 상기 반도체층(200)은 비정질 실리콘층에 비해 높은 전하이동도를 얻을 수 있는 다결정 실리콘층으로 형성된다.

상기 반도체층(200)은 제 1 소오스 영역(205), 상기 제 1 소오스 영역(205)과 동일한 도전형을 갖는 제 1 드레인 영역(206), 상기 제 1 소오스 영역(205)과 상기 제 1 드레인 영역(206) 사이에 개재된 채널 영역(201), 상기 제 1 소오스 영역(205)에 접하되 상기 채널 영역(201)의 반대편에 위치하고 상기 제 1 소오스 영역(205)과 서로 다른 도전형을 갖는 제 2 소오스 영역(209) 및 상기 제 2 소오스 영역(209)에 접하되 상기 제 1 소오스 영역(205)의 반대편에 위치하고 상기 제 2 소오스 영역(209)과 서로 다른 도전형을 갖는 제 3 소오스 영역(213)을 구비한다.

상기 반도체층(200) 상에 게이트 절연막(250)이 위치하고, 상기 게이트 절연막(250) 상에 상기 채널 영역(201)을 가로지르는 게이트(300)가 위치한다. 상기 게이트(300)를 포함한 기판(100) 전면 상에 층간 절연막(350)이 위치한다. 상기 층간 절연막(350) 내에 상기 제 3 소오스 영역(213) 및 상기 제 1 드레인 영역(206)을 각각 노출시키는 콘택홀들이 위치하고, 상기 콘택홀들을 통해 노출된 상기 제 3 소오스 영역(213) 및 상기 제 1 드레인 영역(206)에 각각 접하는 소오스 전극(410) 및 드레인 전극(430)이 상기 층간 절연막(350) 상에 위치한다.

상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)은 n 형 또는 p 형 영역일 수 있다. 상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)이 n 형 영역인 경우 즉, n 형 박막트랜지스터인 경우, 상기 제 2 소오스 영역(209)은 p 형이고, 상기 제 3 소오스 영역(213)은 n 형 영역이다. 한편, 상기 제 1 소오스 영역(205) 및 상기 제 1 드레인 영역(206)이 p 형 영역인 경우 즉, p 형 박막트랜지스터인 경우, 상기 제 2 소오스 영역(209)은 n 형이고, 상기 제 3 소오스 영역(213)은 p 형 영역이다.

상기 p형 박막트랜지스터를 동작시킴에 있어서, 상기 게이트에는 문턱전압이상의 음의 전압을 인가하고, 상기 드레인 전극(430)에는 음의 전압을 인가함과 동시에 상기 소오스 전극(410)은 접지시킨다. 이로써, 상기 p형의 도전형을 갖는 제 1 소오스 영역(205)과 상기 n형의 도전형을 갖는 제 2 소오스 영역(209) 사이에는 역바이어스가 인가되고, 상기 제 2 소오스 영역(209)과 상기 p형의 도전형을 갖는 제 3 소오스 영역(213) 사이에는 정바이어스가 인가된다. 한편, 상기 n형 박막트랜

지스터를 동작시킵에 있어서는 상기 게이트에는 문턱전압이상의 양의 전압을 인가하고, 상기 드레인 전극(430)에는 양의 전압을 인가함과 동시에 상기 소오스 전극(410)은 접지시킨다. 이로써, 상기 n형의 도전형을 갖는 제 1 소오스 영역(205)과 상기 p형의 도전형을 갖는 제 2 소오스 영역(209) 사이에는 역바이어스가 인가되고, 상기 제 2 소오스 영역(209)과 상기 n형의 도전형을 갖는 제 3 소오스 영역(213) 사이에는 정바이어스가 인가된다.

상기 박막트랜지스터는 유기전계발광표시장치의 구동박막트랜지스터로 사용되는 것이 바람직하다. 이 경우, 상기 박막트랜지스터는 p형 박막트랜지스터인 것이 바람직하다.

도 7은 본 발명의 제 4 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도로서 유기전계발광표시장치에 있어 단위화소에 국한하여 나타낸 단면도이다. 본 실시예에 따른 유기전계발광표시장치는 구동박막트랜지스터로서 상기 제 1 실시예에 따른 박막트랜지스터를 구비한다.

도 7을 참조하면, 개구영역(a), 구동박막트랜지스터 영역(b), 스위칭박막트랜지스터 영역(c)을 갖는 절연기판(500)을 제공한다. 상기 기판(500) 전면에 완충막(525)을 형성한다. 상기 완충막(525)은 상기 기판(500)으로부터 유출되는 불순물로부터 후속하는 공정에서 형성되는 박막트랜지스터들을 보호하는 역할을 한다. 상기 구동박막트랜지스터 영역(b) 및 상기 스위칭박막트랜지스터 영역(c)의 완충막(525) 상에 각각 구동반도체층(550)과 스위칭반도체층(570)을 형성한다. 상기 반도체층들(550, 570)은 서로에 관계없이 비정질 실리콘층 또는 다결정 실리콘층으로 형성할 수 있다. 바람직하게는 상기 반도체층들(550, 570)은 비정질 실리콘층에 비해 높은 전하이동도를 얻을 수 있는 다결정 실리콘층으로 형성한다.

이어서, 상기 기판(500) 상에 상기 반도체층들(550, 570)을 덮는 게이트 절연막(600)을 형성하고, 상기 구동박막트랜지스터 영역(b) 및 상기 스위칭박막트랜지스터 영역(c)의 게이트 절연막(600) 상에 각각 구동게이트(650)와 스위칭게이트(670)를 형성한다.

이어서, 상기 게이트들(650, 670)이 형성된 기판(500) 상에 상기 게이트들(650, 670)에 인접한 소정영역을 노출시키는 제 1 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴 및 상기 게이트들(650, 670)을 마스크로 하여 상기 반도체층들(550, 570)에 제 1 불순물을 주입함으로써, 상기 구동 반도체층(550)에 제 1 구동소오스 영역(555) 및 제 1 구동드레인 영역(556)을 형성함과 동시에 상기 구동게이트(650) 하부의 구동채널 영역(551)을 한정하고, 또한, 상기 스위칭 반도체층(570)에 스위칭소오스 영역(575)과 스위칭드레인 영역(576)을 형성함과 동시에 상기 스위칭게이트(670) 하부의 스위칭채널 영역(571)을 한정한다. 상기 제 1 포토레지스트 패턴을 제거한 후, 상기 구동 반도체층(550)의 제 1 구동소오스 영역(555)에 접하되 상기 채널 영역(551)의 반대편에 위치하는 소정영역을 노출시키는 제 2 포토레지스트 패턴(미도시)을 형성하고, 상기 제 2 포토레지스트 패턴을 마스크로 하여 상기 구동반도체층(550)에 제 2 불순물을 주입함으로써, 제 2 구동소오스 영역(559)을 형성한다. 그 후, 제 2 포토레지스트 패턴을 제거한다. 이와는 달리, 상기 스위칭소오스 영역(575)과 스위칭드레인 영역(576)을 형성하는 것은 상기 제 2 구동소오스 영역(559)을 형성함과 동시에 형성할 수도 있다.

이로써, 상기 구동반도체층(550)은 상기 제 1 구동소오스 영역(555), 상기 제 1 구동소오스 영역(555)과 동일한 도전형을 갖는 상기 제 1 구동드레인 영역(556), 상기 제 1 구동소오스 영역(555)과 상기 제 1 구동드레인 영역(556) 사이에 개재된 구동채널 영역(551) 및 상기 제 1 구동소오스 영역(555)에 접하되 상기 구동채널 영역(551)의 반대편에 위치하고 상기 제 1 구동소오스 영역(555)과 서로 다른 도전형을 갖는 제 2 구동소오스 영역(559)을 구비한다. 또한, 상기 스위칭반도체층(570)은 상기 스위칭소오스 영역(575), 상기 스위칭드레인 영역(576) 및 상기 스위칭소오스 영역(575)과 상기 스위칭드레인 영역(576) 사이에 개재된 스위칭채널 영역(571)을 구비한다.

상기 제 1 불순물은 n형 또는 p형 불순물이다. 상기 제 1 불순물이 n형인 경우 상기 제 2 불순물은 p형이고, 상기 제 1 불순물이 p형인 경우 상기 제 2 불순물은 n형이다. 바람직하게는 상기 제 1 불순물은 p형 불순물이고, 상기 제 2 불순물은 n형 불순물이다. 즉, 상기 제 1 구동소오스 영역(555), 상기 제 1 구동드레인 영역(556), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)은 p형 영역이고, 상기 제 2 구동소오스 영역(559)은 n형 영역으로 형성하는 것이 바람직하다.

이어서, 상기 소오스 영역들(555, 559, 575) 및 상기 드레인 영역들(556, 576)이 형성된 기판(500) 전면에 층간 절연막(700)을 형성한다. 상기 층간 절연막(700) 내에 상기 제 2 구동소오스 영역(559), 상기 구동드레인 영역(556), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)을 각각 노출시키는 콘택홀들을 형성하고, 상기 콘택홀들을 통해 노출된 상기 제 2 구동소오스 영역(559), 상기 구동드레인 영역(556), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)에 각각 접하는 구동소오스 전극(755), 구동드레인 전극(757), 스위칭소오스 전극(775) 및 스위칭드레인 전극(777)을 상기 층간 절연막(350) 상에 형성한다. 이로써, 상기 구동박막트랜지스터 영역(b) 상에는 구동반도체층(550), 구동게이트(650), 구동소오스 전극(755) 및 구동드레인 전극(757)을 구비하는 구동박막트랜지스터가 형성되고, 상기 스위

칭박막트랜지스터 영역(c) 상에는 스위칭반도체층(570), 스위칭게이트(670), 스위칭소오스 전극(775) 및 스위칭드레인 전극(777)을 구비하는 스위칭 박막트랜지스터가 형성된다. 상기 스위칭 박막트랜지스터는 주사선과 데이터선의 선택에 의해 상기 구동박막트랜지스터에 전기적 신호를 인가하는 역할을 한다.

이어서, 상기 전극들(755, 757, 775, 777)이 형성된 기판(500) 상에 상기 구동소오스 전극(755)을 노출시키는 비아홀을 갖는 패시베이션 절연막(800)을 형성한다. 상기 패시베이션 절연막(800)은 실리콘질화막으로 형성하는 것이 바람직하다. 상기 패시베이션 절연막(800) 상에 상기 비아홀을 통해 노출된 상기 구동소오스 전극(755)에 접하는 화소전극(825)을 형성하되, 상기 화소전극(825)은 개구 영역(a)을 덮도록 형성한다.

이어서, 상기 화소전극(825)의 소정영역을 노출시키는 개구부를 갖는 화소정의막(850)을 형성하고, 상기 개구부내에 노출된 상기 화소전극(825) 상에 발광유기막(900)을 형성하고, 상기 발광유기막(900) 상에 대향전극(950)을 형성한다. 상기 화소전극(825), 상기 대향전극(950) 및 상기 화소전극(825)과 상기 대향전극(950)사이에 개재된 상기 발광유기막(900)은 유기발광다이오드를 형성한다. 상기 유기발광다이오드는 상기 스위칭 박막트랜지스터에 의해 전기적 신호를 인가받은 상기 구동 박막트랜지스터에 의해 구동된다.

도 8은 본 발명의 제 5 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도로서 유기전계발광표시장치에 있어 단위화소에 국한하여 나타난 단면도이다. 본 실시예에 따른 유기전계발광표시장치는 구동박막트랜지스터로서 상기 제 2 실시예에 따른 박막트랜지스터를 구비한다.

도 8을 참조하면, 제 4 실시예의 유기전계발광표시장치의 제조방법과 동일한 방법으로 절연기판(500) 상에 완충막(525), 구동반도체층(550), 스위칭반도체층(570), 게이트 절연막(600), 구동게이트(650) 및 스위칭게이트(670)를 형성한다.

이어서, 상기 게이트들(650, 670)이 형성된 기판(500) 상에 상기 게이트들(650, 670)에 인접한 소정영역을 노출시키는 제 1 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴 및 상기 게이트들(650, 670)을 마스크로 하여 상기 반도체층들(550, 570)에 제 1 불순물을 주입함으로써, 상기 구동 반도체층(550)에 제 1 구동소오스 영역(555) 및 제 1 구동드레인 영역(556)을 형성함과 동시에 상기 구동게이트(650) 하부의 구동채널 영역(551)을 한정하고, 또한, 상기 스위칭 반도체층(570)에 스위칭소오스 영역(575)과 스위칭드레인 영역(576)을 형성함과 동시에 상기 스위칭게이트(670) 하부의 스위칭채널 영역(571)을 한정한다. 상기 제 1 포토레지스트 패턴을 제거한 후, 상기 구동 반도체층(550)의 제 1 구동소오스 영역(555)에 접하되 상기 구동채널 영역(551)의 반대편에 위치하는 소정영역 및 상기 제 1 구동드레인 영역(556)에 접하되 상기 구동채널 영역(551)의 반대편에 위치하는 소정영역을 노출시키는 제 2 포토레지스트 패턴(미도시)을 형성하고, 상기 제 2 포토레지스트 패턴을 마스크로 하여 상기 구동반도체층(550)에 제 2 불순물을 주입함으로써, 제 2 구동소오스 영역(559) 및 제 2 구동드레인 영역(560)을 형성한다. 그 후, 제 2 포토레지스트 패턴을 제거한다. 이와는 달리, 상기 스위칭소오스 영역(575)과 스위칭드레인 영역(576)을 형성하는 것은 상기 제 2 구동소오스 영역(559)을 형성함과 동시에 형성할 수도 있다.

이로써, 상기 구동반도체층(550)은 상기 제 1 구동소오스 영역(555), 상기 제 1 구동소오스 영역(555)과 동일한 도전형을 갖는 상기 제 1 구동드레인 영역(556), 상기 제 1 구동소오스 영역(555)과 상기 제 1 구동드레인 영역(556) 사이에 개재된 구동채널 영역(551), 상기 제 1 구동소오스 영역(555)에 접하되 상기 구동채널 영역(551)의 반대편에 위치하고 상기 제 1 구동소오스 영역(555)과 서로 다른 도전형을 갖는 제 2 구동소오스 영역(559) 및 상기 제 1 구동드레인 영역(556)에 접하되 상기 구동채널 영역(551)의 반대편에 위치하고 상기 제 1 구동드레인 영역(556)과 서로 다른 도전형을 갖는 제 2 구동드레인 영역(560)을 구비한다. 또한, 상기 스위칭반도체층(570)은 상기 스위칭소오스 영역(575), 상기 스위칭드레인 영역(576) 및 상기 스위칭소오스 영역(575)과 상기 스위칭드레인 영역(576) 사이에 개재된 스위칭채널 영역(571)을 구비한다.

상기 제 1 불순물은 n형 또는 p형 불순물이다. 상기 제 1 불순물이 n형인 경우 상기 제 2 불순물은 p형이고, 상기 제 1 불순물이 p형인 경우 상기 제 2 불순물은 n형이다. 바람직하게는 상기 제 1 불순물은 p형 불순물이고, 상기 제 2 불순물은 n형 불순물이다. 즉, 상기 제 1 구동소오스 영역(555), 상기 제 1 구동드레인 영역(556), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)은 p형 영역이고, 상기 제 2 구동소오스 영역(559) 및 상기 제 2 구동드레인 영역(560)은 n형 영역으로 형성하는 것이 바람직하다.

이어서, 상기 소오스 영역들(555, 559, 575) 및 상기 드레인 영역들(556, 560, 576)이 형성된 기판(500) 전면에 층간 절연막(700)을 형성한다. 상기 층간 절연막(700) 내에 상기 제 2 구동소오스 영역(559), 상기 제 2 구동드레인 영역(560), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)을 각각 노출시키는 콘택홀들을 형성하고, 상기 콘택홀들을

통해 노출된 상기 제 2 구동소오스 영역(559), 상기 제 2 구동드레인 영역(560), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)에 각각 접하는 구동소오스 전극(755), 구동드레인 전극(757), 스위칭소오스 전극(775) 및 스위칭드레인 전극(777)을 상기 층간 절연막(350) 상에 형성한다.

이어서, 상기 제 4 실시예의 유기전계발광표시장치의 제조방법과 동일한 방법으로 패시베이션 절연막(800), 화소전극(825), 화소정의막(850), 발광유기막(900) 및 대향전극(950)을 형성한다.

도 9는 본 발명의 제 6 실시예에 따른 유기전계발광표시장치 및 그의 제조방법을 설명하기 위한 단면도이다. 본 실시예에 따른 유기전계발광표시장치는 구동박막트랜지스터로서 상기 제 3 실시예에 따른 박막트랜지스터를 구비한다.

도 9를 참조하면, 제 4 실시예의 유기전계발광표시장치의 제조방법과 동일한 방법으로 절연기관(500) 상에 완충막(525), 구동반도체층(550), 스위칭반도체층(570), 게이트 절연막(600), 구동게이트(650) 및 스위칭게이트(670)를 형성한다.

이어서, 상기 게이트들(650, 670)이 형성된 기관(500) 상에 상기 게이트들(650, 670)에 인접한 소정영역을 노출시키는 제 1 포토레지스트 패턴(미도시)을 형성하고, 상기 포토레지스트 패턴 및 상기 게이트들(650, 670)을 마스크로 하여 상기 반도체층들(550, 570)에 제 1 불순물을 주입함으로써, 상기 구동 반도체층(550)에 제 1 구동소오스 영역(555), 제 1 구동드레인 영역(556) 및 제 3 구동소오스 영역(563)을 형성함과 동시에 상기 구동 게이트(650) 하부에 구동채널 영역(551)을 한정하고, 또한, 상기 스위칭 반도체층(570)에 스위칭소오스 영역(575)과 스위칭드레인 영역(576)을 형성함과 동시에 상기 스위칭 게이트(670) 하부에 스위칭채널 영역(571)을 한정한다. 상기 제 1 포토레지스트 패턴을 제거한 후, 상기 구동 반도체층(550)의 제 1 구동소오스 영역(555) 및 상기 제 3 구동소오스 영역(559) 사이에 개재된 영역을 노출시키는 제 2 포토레지스트 패턴(미도시)을 형성하고, 상기 제 2 포토레지스트 패턴을 마스크로 하여 상기 구동반도체층(550)에 제 2 불순물을 주입함으로써, 제 2 구동소오스 영역(559)을 형성한다. 그 후, 제 2 포토레지스트 패턴을 제거한다. 이와는 달리, 상기 스위칭소오스 영역(575)과 스위칭드레인 영역(576)을 형성하는 것은 상기 제 2 구동소오스 영역(559)을 형성함과 동시에 형성할 수도 있다.

이로써, 상기 구동반도체층(550)은 상기 제 1 구동소오스 영역(563), 상기 제 1 구동소오스 영역(555)과 동일한 도전형을 갖는 상기 제 1 구동드레인 영역(556), 상기 제 1 구동소오스 영역(555)과 상기 제 1 구동드레인 영역(556) 사이에 개재된 구동채널 영역(551), 상기 제 1 구동소오스 영역(555)에 접하되 상기 구동채널 영역(551)의 반대편에 위치하고 상기 제 1 구동소오스 영역(555)과 서로 다른 도전형을 갖는 제 2 구동소오스 영역(559) 및 상기 제 2 구동소오스 영역(559)에 접하되 상기 제 1 구동소오스 영역(555)의 반대편에 위치하고 상기 제 2 구동소오스 영역(559)과 서로 다른 도전형을 갖는 제 3 구동드레인 영역(563)을 구비한다. 또한, 상기 스위칭반도체층(570)은 상기 스위칭소오스 영역(575), 상기 스위칭드레인 영역(576) 및 상기 스위칭소오스 영역(575)과 상기 스위칭드레인 영역(576) 사이에 개재된 스위칭채널 영역(571)을 구비한다.

상기 제 1 불순물은 n형 또는 p형 불순물이다. 상기 제 1 불순물이 n형인 경우 상기 제 2 불순물은 p형이고, 상기 제 1 불순물이 p형인 경우 상기 제 2 불순물은 n형이다. 바람직하게는 상기 제 1 불순물은 p형 불순물이고, 상기 제 2 불순물은 n형 불순물이다. 즉, 상기 제 1 구동소오스 영역(555), 상기 제 1 구동드레인 영역(556), 제 3 구동소오스 영역(563), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)은 p형 영역이고, 상기 제 2 구동소오스 영역(559)은 n형 영역으로 형성하는 것이 바람직하다.

이어서, 상기 소오스 영역들(555, 559, 563, 575) 및 상기 드레인 영역들(556, 576)이 형성된 기관(500) 전면에서 층간 절연막(700)을 형성한다. 상기 층간 절연막(700) 내에 상기 제 3 구동소오스 영역(563), 상기 제 1 구동드레인 영역(556), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)을 각각 노출시키는 콘택홀들을 형성하고, 상기 콘택홀들을 통해 노출된 상기 제 3 구동소오스 영역(563), 상기 제 1 구동드레인 영역(556), 상기 스위칭소오스 영역(575) 및 상기 스위칭드레인 영역(576)에 각각 접하는 구동소오스 전극(755), 구동드레인 전극(757), 스위칭소오스 전극(775) 및 스위칭드레인 전극(776)을 상기 층간 절연막(350) 상에 형성한다.

이어서, 상기 제 4 실시예의 유기전계발광표시장치의 제조방법과 동일한 방법으로 패시베이션 절연막(800), 화소전극(825), 화소정의막(850), 발광유기막(900) 및 대향전극(950)을 형성한다.

도 10 내지 도 12는 상기 제 1 내지 제 3 실시예에 따른 피모스 박막트랜지스터들의 게이트 전압변화에 따른 전류전달특성을 각각 나타낸 그래프이다. 더욱 자세하게는 상기 도 9는 상기 제 1 실시예에 있어서, 상기 제 1 소오스 영역(도 4의 205) 및 상기 제 1 드레인 영역(도 4의 206)은 p형 영역이고 상기 제 2 소오스 영역(도 4의 209)은 n형 영역인 피모스 박막트랜지스터에 대한 그래프이다. 상기 도 10은 상기 제 2 실시예에 있어서, 상기 제 1 소오스 영역(도 5의 205) 및 상기 제 1 드

레인 영역(도 5의 206)은 p형 영역이고 상기 제 2 소오스 영역(도 5의 209) 및 상기 제 2 드레인 영역(도 5의 210)은 n형 영역인 피모스 박막트랜지스터에 대한 그래프이다. 또한, 상기 도 11은 상기 제 3 실시예에 있어서, 상기 제 1 소오스 영역(도 6의 205) 및 제 1 드레인 영역(도 6의 206)은 p형 영역이고, 상기 제 2 소오스 영역(도 6의 209)은 n형 영역이며, 상기 제 3 소오스 영역(도 6의 213)은 p형인 피모스 박막트랜지스터에 대한 그래프이다.

도 10 내지 도 12를 참조하면, 상기 제 1 내지 제 3 실시예에 따른 박막트랜지스터들은 도 2에 나타난 종래기술에 따른 일반적인 피모스 박막트랜지스터(도 2)에 비해 S-factor특성이 더 큰 것을 알 수 있다. 따라서, 게조표시를 위해 상기 박막트랜지스터에서 흘러야 하는 전류범위를 1nA 내지 500nA라고 할 때, 상기 박막트랜지스터에 인가되는 게이트 전압범위(도 10의 L, 도 11의 L, 도 12의 M) 또한 종래기술에 따른 일반적인 피모스 박막트랜지스터의 게이트 전압범위(도 2의 K)에 비해 넓다. 결과적으로 상기 제 1 내지 제 3 실시예에 따른 박막트랜지스터는 상기 종래기술에 따른 일반적인 피모스 박막트랜지스터에 비해 유기전계발광소자의 구동박막트랜지스터로 사용함에 있어 게조표시가 용이하다고 할 수 있다.

이러한 결과는 상기 제 1 내지 제 3 실시예에 따른 박막트랜지스터들의 동작에 있어서, 상기 박막트랜지스터들의 제 1 소오스 영역(도 5 내지 6의 555)과 제 2 소오스 영역(도 5 내지 6의 559) 사이에 역바이어스가 인가된 결과라고 보여진다. 이러한 역바이어스의 인가로 인해 상기 박막트랜지스터들의 드레인 전압이 5V이하에서는 전류절단 현상이 나타나는 것으로 보여진다. 그러나, 전류절단 현상이 없는 5V이상의 구동전압을 사용한다면, 상기 박막트랜지스터들을 구동박막트랜지스터로 채용함에는 문제가 없는 것으로 보인다.

또한, 실시예 6 내지 9에서의 유기전계발광표시장치들에서와 같이 구동박막트랜지스터들로서 상기 제 1 내지 제 3 실시예에 따른 박막트랜지스터들을 각각 사용하고, 스위칭박막트랜지스터들로는 일반적인 박막트랜지스터들을 각각 사용함으로써, 상기 구동박막트랜지스터의 S-factor만을 선택적으로 높일 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, S-factor값이 증가된 박막트랜지스터를 얻을 수 있다. 또한, 상기 S-factor값이 증가된 박막트랜지스터를 구동박막트랜지스터로 사용함으로써 게조표시에 대한 제어가 용이한 유기전계발광표시장치를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

제 1 소오스 영역, 상기 제 1 소오스 영역과 동일한 도전형의 제 1 드레인 영역, 상기 제 1 소오스 영역과 상기 제 1 드레인 영역 사이에 개재된 채널 영역 및 상기 제 1 소오스 영역에 접하면서 상기 채널 영역의 반대편에 위치하고 상기 제 1 소오스 영역과 서로 다른 도전형인 제 2 소오스 영역을 구비하되, 동작 시에 상기 제 1 소오스 영역과 상기 제 2 소오스 영역 사이에는 역바이어스가 인가되는 반도체층; 및

상기 반도체층과 서로 절연되면서, 상기 채널 영역을 가로지르는 게이트를 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 2.

제 1 항에 있어서,

상기 제 1 드레인 영역에 접하고 상기 게이트와 절연된 드레인 전극; 및

상기 제 2 소오스 영역에 접하고 상기 게이트와 절연된 소오스 전극을 더욱 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 3.

제 1 항에 있어서,

상기 제 1 소오스 영역 및 상기 제 1 드레인 영역은 p 형 영역이고,
상기 제 2 소오스 영역은 n 형 영역인 것을 특징으로 하는 박막트랜지스터.

청구항 4.

제 1 항에 있어서,

상기 반도체층은 상기 제 2 소오스 영역에 접하면서 상기 제 1 소오스 영역의 반대편에 위치하고 상기 제 2 소오스 영역과 서로 다른 도전형인 제 3 소오스 영역을 더욱 구비하는 것을 특징으로 하는 박막트랜지스터.

청구항 5.

제 4 항에 있어서,

상기 제 1 드레인 영역에 접하고 상기 게이트와 절연된 드레인 전극; 및

상기 제 3 소오스 영역에 접하고 상기 게이트와 절연된 소오스 전극을 더욱 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 6.

제 4 항에 있어서,

상기 제 1 소오스 영역, 상기 제 3 소오스 영역 및 상기 제 1 드레인 영역은 p 형 영역이고,

상기 제 2 소오스 영역은 n 형 영역인 것을 특징으로 하는 박막트랜지스터.

청구항 7.

제 1 항에 있어서,

상기 반도체층은 상기 제 1 드레인 영역에 접하면서 상기 채널 영역의 반대편에 위치하고 상기 제 1 드레인 영역과 서로 다른 도전형인 제 2 드레인 영역을 더욱 구비하는 것을 특징으로 하는 박막트랜지스터.

청구항 8.

제 7 항에 있어서,

상기 제 2 드레인 영역에 접하고 상기 게이트와 절연된 드레인 전극; 및

상기 제 2 소오스 영역에 접하고 상기 게이트와 절연된 소오스 전극을 더욱 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 9.

제 7 항에 있어서,

상기 제 1 소오스 영역 및 상기 제 1 드레인 영역은 p 형 영역이고,

상기 제 2 소오스 영역 및 상기 제 2 드레인 영역은 n 형 영역인 것을 특징으로 하는 박막트랜지스터.

청구항 10.

제 1 항에 있어서,

상기 반도체층은 폴리실리콘층인 것을 특징으로 하는 박막트랜지스터.

청구항 11.

제 1 항에 있어서,

상기 박막트랜지스터는

유기전계발광표시장치의 단위화소내의 구동 박막트랜지스터인 것을 특징으로 하는 박막트랜지스터.

청구항 12.

제 1 구동소오스 영역; 상기 제 1 구동소오스 영역과 동일한 도전형의 제 1 구동드레인 영역; 상기 제 1 구동소오스 영역과 상기 제 1 구동드레인 영역 사이에 개재된 구동채널 영역 및 상기 제 1 구동소오스 영역에 접하면서 상기 구동채널 영역의 반대편에 위치하고 상기 제 1 구동소오스 영역과 서로 다른 도전형인 제 2 구동소오스 영역을 구비하되, 동작 시에 상기 제 1 구동소오스 영역과 상기 제 2 구동소오스 영역 사이에는 역바이어스가 인가되는 구동반도체층; 및 상기 구동반도체층과 서로 절연되면서 상기 구동채널 영역을 가로지르는 구동게이트를 구비하고, 전기적 신호에 의해 유기발광다이오드를 구동하는 구동박막트랜지스터를 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 13.

제 12 항에 있어서,

스위칭소오스 영역, 스위칭드레인 영역 및 상기 스위칭소오스 영역과 상기 스위칭드레인 영역 사이에 개재된 스위칭 채널 영역; 및 상기 스위칭 채널 영역과 서로 절연되면서, 상기 스위칭채널 영역을 가로지르는 스위칭게이트를 구비하고, 상기 구동박막트랜지스터에 상기 전기적 신호를 인가하는 스위칭박막트랜지스터를 더욱 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 14.

제 12 항에 있어서,

상기 구동박막트랜지스터는 상기 제 1 구동드레인 영역에 접하고 상기 구동게이트와 절연된 구동드레인 전극; 및 상기 제 2 구동소오스 영역에 접하고 상기 구동게이트와 절연된 구동소오스 전극을 더욱 구비하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 15.

제 12 항에 있어서,

상기 구동박막트랜지스터에 있어서,

상기 제 1 구동소오스 영역 및 상기 제 1 구동드레인 영역은 p 형 영역이고,

상기 제 2 구동소오스 영역은 n 형 영역인 것을 특징으로 하는 유기전계발광표시장치.

청구항 16.

제 12 항에 있어서,

상기 구동박막트랜지스터에 있어서,

상기 구동반도체층은 상기 제 2 구동소오스 영역에 접하면서 상기 제 1 구동소오스 영역의 반대편에 위치하고, 상기 제 2 구동소오스 영역과 서로 다른 도전형인 제 3 구동소오스 영역을 더욱 구비하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 17.

제 16 항에 있어서,

상기 구동박막트랜지스터는 상기 제 1 구동드레인 영역에 접하고 상기 구동게이트와 절연된 구동드레인 전극; 및 상기 제 3 구동소오스 영역에 접하고 상기 구동게이트와 절연된 구동소오스 전극을 더욱 구비하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 18.

제 16 항에 있어서,

상기 구동박막트랜지스터에 있어서,

상기 제 1 구동소오스 영역, 상기 제 3 구동소오스 영역 및 상기 제 1 구동드레인 영역은 p 형 영역이고,

상기 제 2 구동소오스 영역은 n 형 영역인 것을 특징으로 하는 유기전계발광표시장치.

청구항 19.

제 12 항에 있어서,

상기 구동박막트랜지스터에 있어서,

상기 구동반도체층은 상기 제 1 구동드레인 영역에 접하면서 상기 구동채널 영역의 반대편에 위치하고, 상기 제 1 구동드레인 영역과 서로 다른 도전형인 제 2 구동드레인 영역을 더욱 구비하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 20.

제 19 항에 있어서,

상기 구동박막트랜지스터는 상기 제 2 구동드레인 영역에 접하고 상기 구동게이트와 절연된 구동드레인 전극; 및 상기 제 2 구동소오스 영역에 접하고 상기 구동게이트와 절연된 구동소오스 전극을 더욱 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 21.

제 19 항에 있어서,

상기 구동박막트랜지스터에 있어서,

상기 제 1 구동소오스 영역 및 상기 제 1 구동드레인 영역은 p 형 영역이고,

상기 제 2 구동소오스 영역 및 상기 제 2 구동드레인 영역은 n 형 영역인 것을 특징으로 하는 유기전계발광표시장치.

청구항 22.

제 12 항에 있어서,

상기 구동반도체층은 폴리실리콘층인 것을 특징으로 하는 유기전계발광표시장치.

청구항 23.

제 13 항에 있어서,

상기 스위칭 채널영역은 폴리실리콘층인 것을 특징으로 하는 유기전계발광표시장치.

청구항 24.

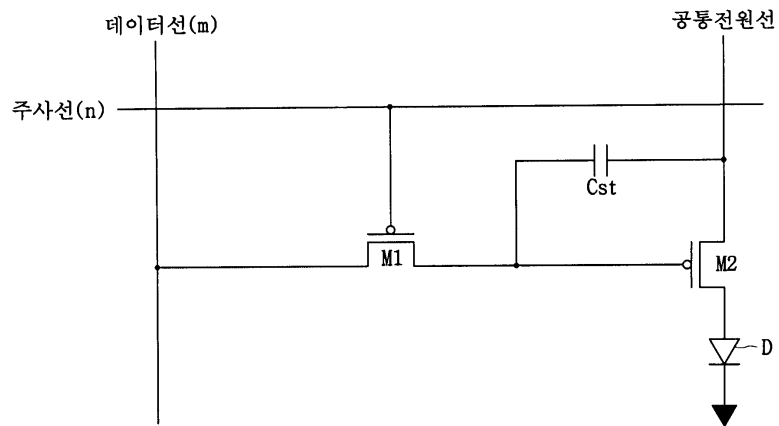
제 13 항에 있어서,

상기 스위칭박막트랜지스터에 있어서,

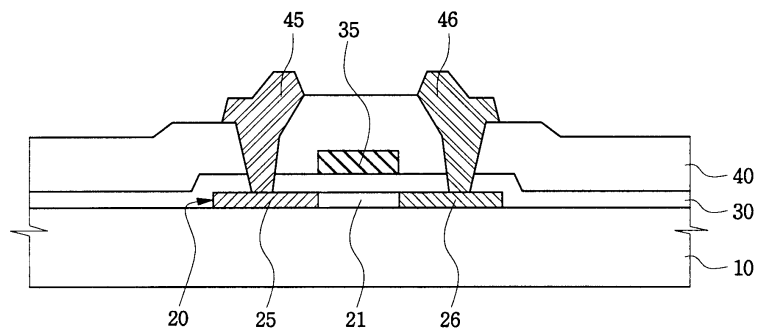
상기 스위칭소오스 영역 및 상기 스위칭드레인 영역은 p 형 영역인 것을 특징으로 하는 유기전계발광표시장치.

도면

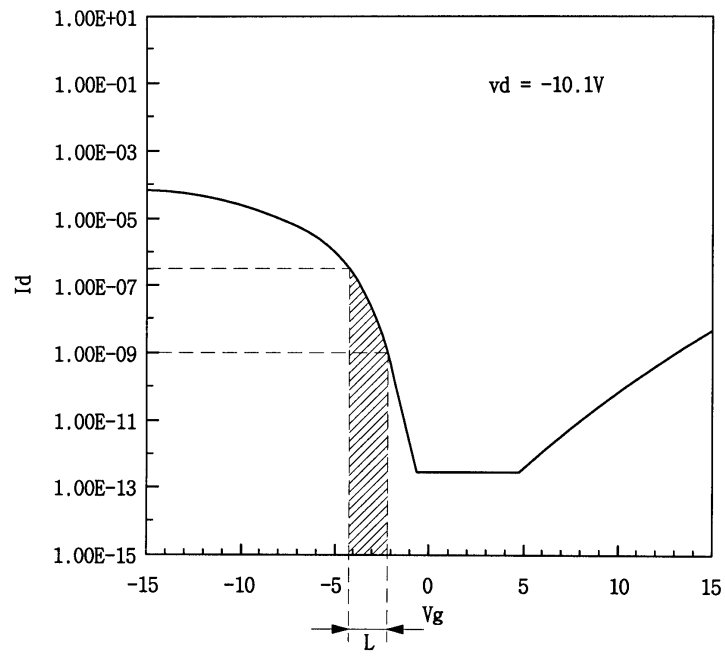
도면1



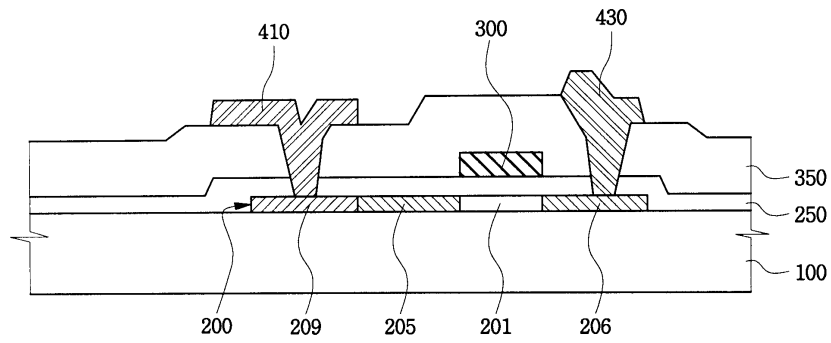
도면2



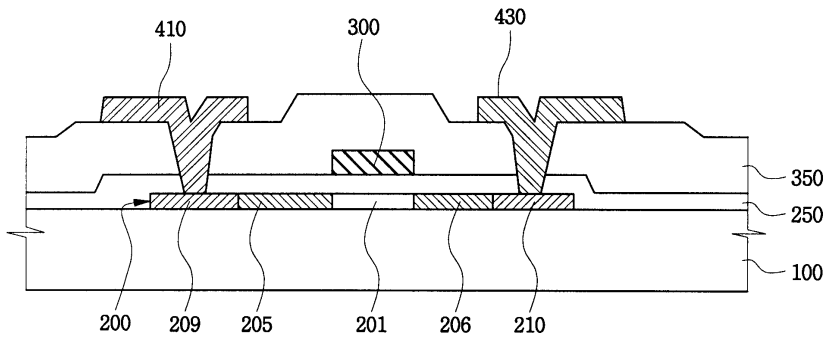
도면3



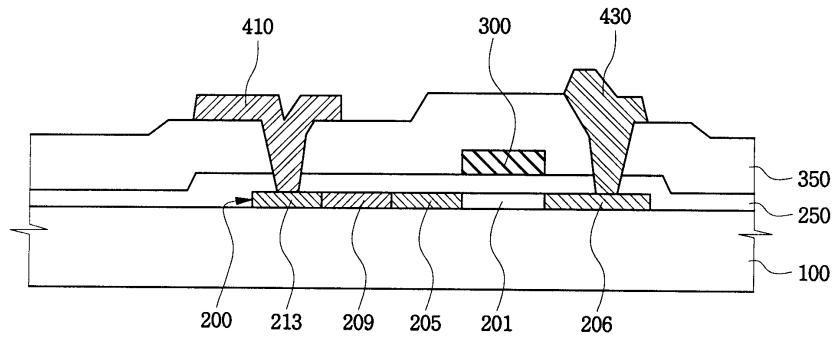
도면4



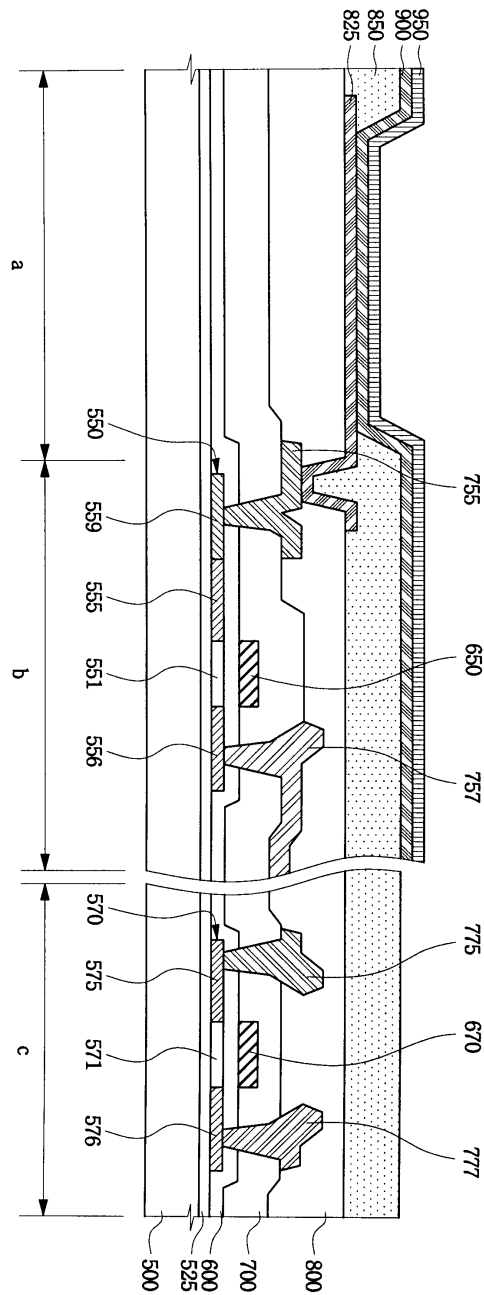
도면5



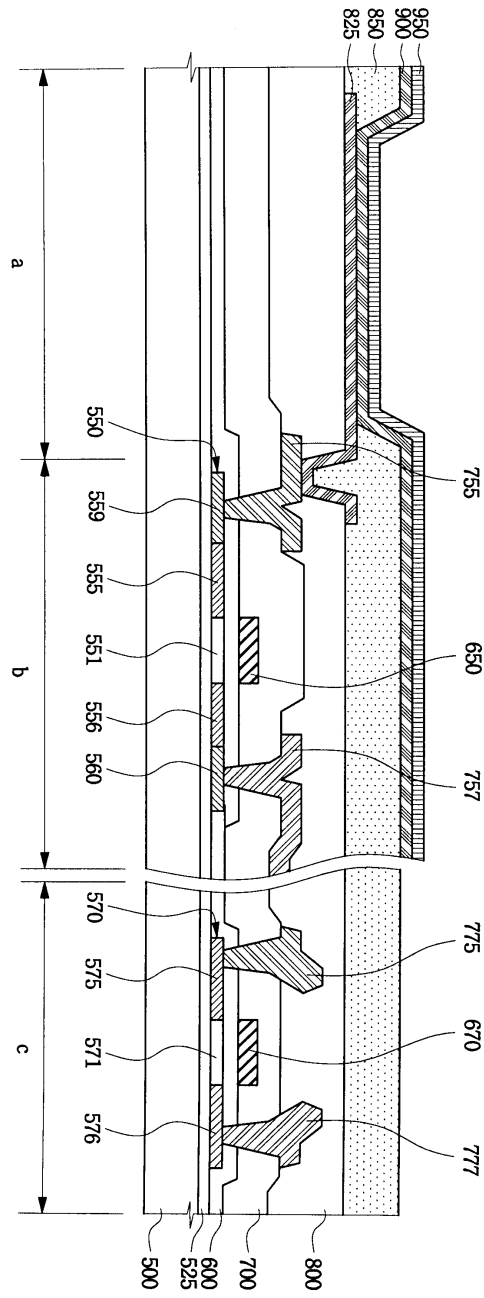
도면6



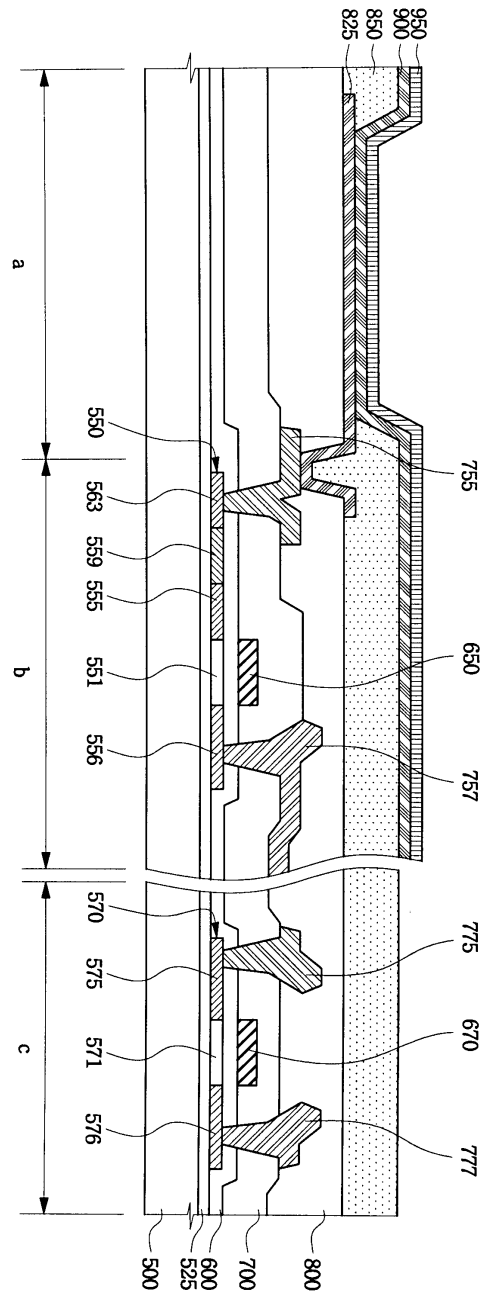
도면7



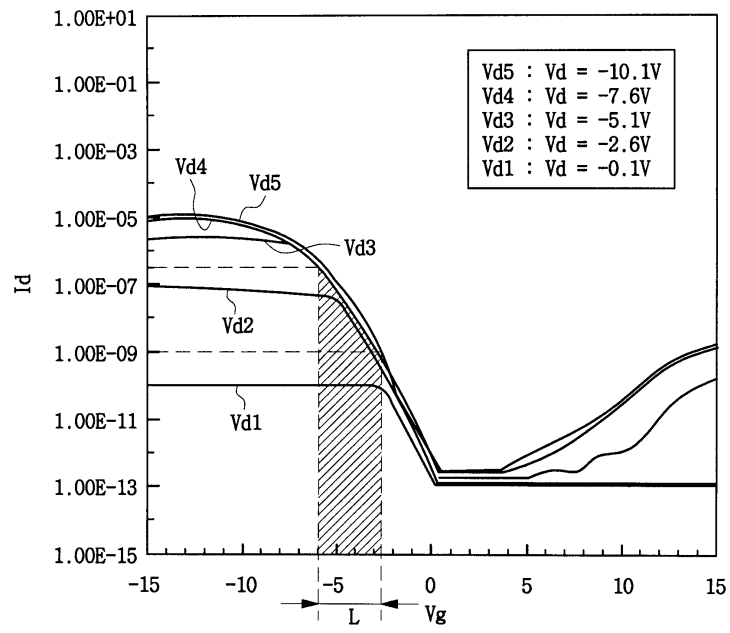
도면8



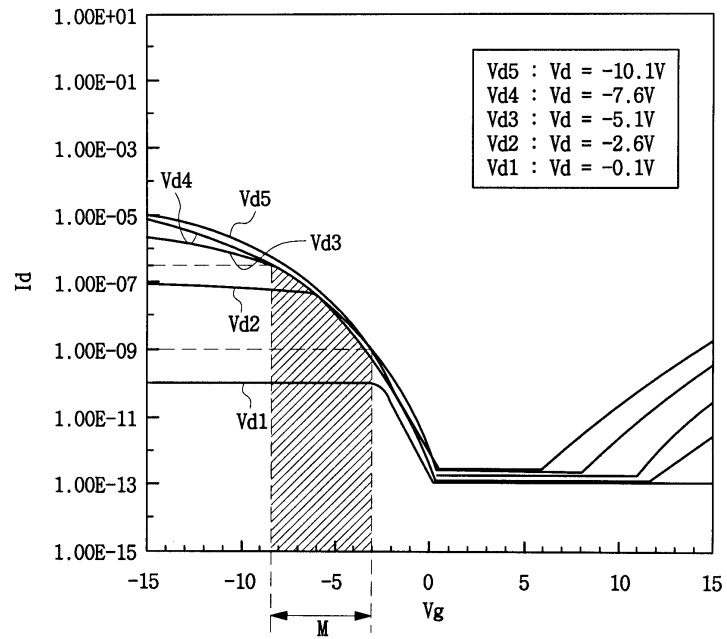
도면9



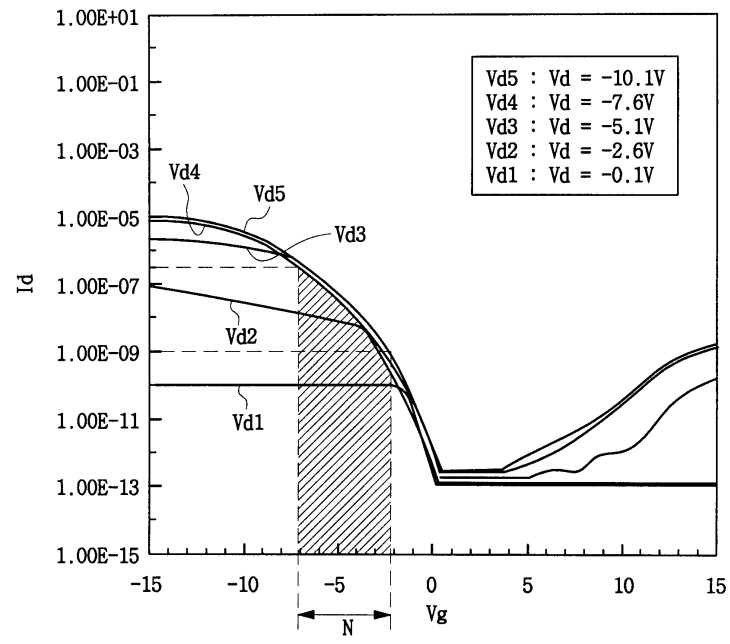
도면10



도면11



도면12



专利名称(译)	薄膜晶体管和使用其的有机发光显示器		
公开(公告)号	KR100543011B1	公开(公告)日	2006-01-20
申请号	KR1020030081206	申请日	2003-11-17
申请(专利权)人(译)	三星SD眼有限公司		
当前申请(专利权)人(译)	三星SD眼有限公司		
[标]发明人	KOO JAEON 구재본 KWAK WONKYU 박원규		
发明人	구재본 박원규		
IPC分类号	H05B33/00		
代理人(译)	PARK, 常树		
其他公开文献	KR1020050047386A		
外部链接	Espacenet		

摘要(译)

提供一种薄膜晶体管和使用该薄膜晶体管的有机发光显示器。的薄膜晶体管，而在与所述第一源极区接触，所述第一源极区和第一漏极区，所述第一源极区和所述沟道区和设置在所述第一源极区，所述的相同导电类型的第一漏极区位于沟道区域相对侧的沟道区域，第一源极区域和一个不同的导电类型第二，但具有源极区，所述第一源极区和所述半导体层之间的第二源极区域，其在操作时反向偏置;并且跨越沟道区域的栅极与半导体层绝缘。4 指数方面 薄膜晶体管，驱动薄膜晶体管，S因子，渐变显示

