



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0083337
(43) 공개일자 2011년07월20일

(51) Int. Cl.

H01L 51/50 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2010-0003515

(22) 출원일자 2010년01월14일

심사청구일자 2010년01월14일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

이원규

경기도 성남시 분당구 구미동 무지개마을청구아파트 511동 1302호

양태훈

경기 용인시 기흥구 농서동 산24번지

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

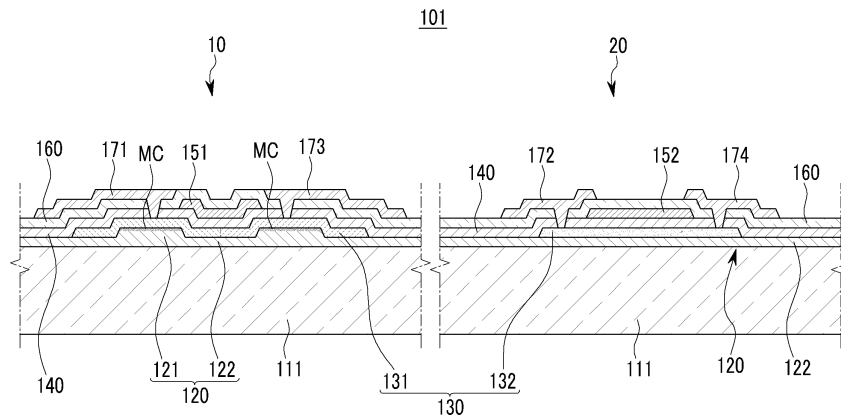
전체 청구항 수 : 총 33 항

(54) 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

유기 발광 표시 장치 및 그 제조 방법에서, 본 발명의 실시예에 따른 유기 발광 표시 장치는 기판 본체와, 상기 기판 본체 상에 형성되며 제1 두께부와 상기 제1 두께부보다 얇은 제2 두께부를 포함하는 절연층 패턴과, 상기 절연층 패턴의 상기 제1 두께부 위에 뿌려진 금속 촉매, 그리고 상기 절연층 패턴 위에 형성되며 상기 제1 두께부 및 상기 제1 두께부 주변의 상기 제2 두께부에 대응하는 제1 결정 영역과 나머지 상기 제2 두께부에 대응하는 제2 결정 영역으로 구분된 다결정 반도체층을 포함한다. 그리고 상기 다결정 반도체층의 상기 제1 결정 영역은 상기 금속 촉매를 통해 결정화되고, 상기 다결정 반도체층의 상기 제2 결정 영역은 고상 결정화된다.

대표도 - 도3



(72) 발명자

최보경

경기 용인시 기흥구 농서동 산24번지

추병권

경기 화성시 동탄면 반송리 نار마을 신도브래뉴아
파트 619동 901호

문상호

서울 양천구 신월4동 534-10호 2층

조규식

경기 수원시 영통구 영통동 황골마을2단지 신명아
파트 204동 801호

박용환

서울 양천구 신정동 952-3 주안아파트 401호

최준후

서울 용산구 한강로1가 64번지 대우월드마크용산
101동 1804호

신민철

서울 구로구 온수동 18-1 월드주택 A동 102호

이윤규

경기 용인시 기흥구 농서동 산24번지

특허청구의 범위

청구항 1

기관 본체;

상기 기관 본체 상에 형성되며, 제1 두께부와 상기 제1 두께부보다 얇은 제2 두께부를 포함하는 절연층 패턴;

상기 절연층 패턴의 상기 제1 두께부 위에 뿌려진 금속 촉매; 그리고

상기 절연층 패턴 위에 형성되며, 상기 제1 두께부 및 상기 제1 두께부 주변의 상기 제2 두께부에 대응하는 제1 결정 영역과 나머지 상기 제2 두께부에 대응하는 제2 결정 영역으로 구분된 다결정 반도체층;

을 포함하며,

상기 다결정 반도체층의 상기 제1 결정 영역은 상기 금속 촉매를 통해 결정화되고, 상기 다결정 반도체층의 상기 제2 결정 영역은 고상 결정화(solid phase crystallization, SPC)된 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 금속 촉매는 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tb), 루테튬(Ru), 카드뮴(Cd), 및 백금(Pt) 중 하나 이상을 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 금속 촉매는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈(dose)량으로 상기 절연층 패턴의 상기 제1 두께부 위에 뿌려진 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 절연층 패턴은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함하는 유기 발광 표시 장치.

청구항 5

제2항에서,

상기 기관 본체와 상기 절연층 패턴 사이에 상기 다결정 반도체층의 일부와 중첩되도록 형성된 게이트 전극과, 상기 다결정 반도체층 위에 상기 다결정 반도체층과 각각 접촉되도록 형성된 소스 전극 및 드레인 전극을 더 포함하며,

상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩된 유기 발광 표시 장치.

청구항 8

제6항에서,

상기 기판 본체는 다수의 화소 영역들을 포함하며,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성된 유기 발광 표시 장치.

청구항 9

제2항에서,

상기 다결정 반도체층의 일부와 중첩되도록 상기 다결정 반도체층과 이격 배치된 게이트 전극과, 상기 게이트 전극과 이격 배치되며 상기 다결정 반도체층과 각각 접속된 소스 전극 및 드레인 전극을 더 포함하며,

상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩된 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 기판 본체는 다수의 화소 영역들을 포함하며,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성된 유기 발광 표시 장치.

청구항 13

제1항 내지 제12항 중 어느 한 항에서,

상기 절연층 패턴은 상기 제1 두께부부터 상기 제2 두께부까지 경사진 단면을 갖는 경사 두께부를 더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 경사 두께부의 두께가 얇아질수록 상기 경사 두께부 위에 뿌려진 상기 금속 촉매의 농도가 감소된 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 경사 두께부의 경사가 완만할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 감소되고, 상기 경사 두께부의 경사가 급할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 확장된 유기 발광 표시 장치.

청구항 16

기관 본체를 마련하는 단계;

상기 기관 본체 상에 절연층을 형성하는 단계;

상기 절연층 위에 금속 촉매를 뿌리는 단계;

상기 금속 촉매가 뿌려진 상기 절연층을 사진 식각 공정을 통해 패터닝하여 제1 두께부 및 상기 제1 두께부보다 얇은 제2 두께부를 포함하는 절연층 패턴을 형성하는 단계;

상기 절연층 패턴 상에 비정질 실리콘층을 형성하는 단계; 그리고

상기 비정질 실리콘층을 결정화하여 상기 금속 촉매를 통해 결정화된 제1 결정 영역과 고상 결정화(solid phase crystallization, SPC)된 제2 결정 영역으로 구분되는 다결정 반도체층을 형성하는 단계

를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 17

제16항에서,

상기 금속 촉매는 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tb), 루테튬(Ru), 카드뮴(Cd), 및 백금(Pt) 중 하나 이상을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 18

제17항에서,

상기 절연층 패턴의 제2 두께부는 상기 금속 촉매가 뿌려진 표층이 제거되는 유기 발광 표시 장치 제조 방법.

청구항 19

제17항에서,

상기 다결정 반도체층의 상기 제1 결정 영역은 상기 절연층 패턴의 상기 제1 두께부 및 상기 제1 두께부 주변의 상기 제2 두께부에 대응되고,

상기 다결정 반도체층의 상기 제2 결정 영역은 상기 절연층 패턴의 나머지 상기 제2 두께부에 대응되는 유기 발광 표시 장치 제조 방법.

청구항 20

제17항에서,

상기 금속 촉매는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈(dose)량으로 상기 절연층 패턴의 상기 제1 두께부 위에 뿌려지는 유기 발광 표시 장치 제조 방법.

청구항 21

제17항에서,

상기 절연층 패턴은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함하는 유기 발광 표시 장치 제조 방법.

청구항 22

제17항에서,

상기 기판 본체와 상기 절연층 패턴 사이에 상기 다결정 반도체층의 일부와 중첩되도록 게이트 전극을 형성하는 단계와, 상기 다결정 반도체층 위에 상기 다결정 반도체층과 각각 접속되도록 소스 전극 및 드레인 전극을 형성하는 단계를 더 포함하며,

상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성하는 유기 발광 표시 장치 제조 방법.

청구항 23

제22항에서,

상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 24

제23항에서,

상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩되는 유기 발광 표시 장치 제조 방법.

청구항 25

제23항에서,

상기 기판 본체는 다수의 화소 영역들을 포함하며,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성되는 유기 발광 표시 장치 제조 방법.

청구항 26

제17항에서,

상기 다결정 반도체층의 일부와 중첩되도록 상기 다결정 반도체층과 이격 배치된 게이트 전극을 형성하는 단계와, 상기 게이트 전극과 이격 배치되며 상기 다결정 반도체층과 각각 접속되도록 소스 전극 및 드레인 전극을 형성하는 단계를 더 포함하며,

상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성하는 유기 발광 표시 장치 제조 방법.

청구항 27

제26항에서,

상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 28

제27항에서,

상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩되는 유기 발광 표시 장치 제조 방법.

청구항 29

제27항에서,

상기 기판 본체는 다수의 화소 영역들을 포함하며,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성되는 유기 발광 표시 장치 제조 방법.

청구항 30

제16항 내지 제29항 중 어느 한 항에서,

상기 절연층 패턴은 상기 제1 두께부부터 상기 제2 두께부까지 경사진 단면을 갖는 경사 두께부를 더 포함하는 유기 발광 표시 장치 제조 방법.

청구항 31

제30항에서,

상기 절연층 패턴의 상기 경사 두께부는 노광량을 점진적으로 조절한 마스크를 사용하여 만들어진 경사 구조의 감광막 패턴을 통해 형성되는 유기 발광 표시 장치 제조 방법.

청구항 32

제30항에서,

상기 경사 두께부의 두께가 얇아질수록 상기 경사 두께부 위에 뿌려진 상기 금속 촉매의 농도가 감소되는 유기 발광 표시 장치 제조 방법.

청구항 33

제32항에서,

상기 경사 두께부의 경사가 완만할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 감소되고,

상기 경사 두께부의 경사가 급할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 확장되는 유기 발광 표시 장치 제조 방법.

명세서

기술분야

[0001] 본 발명의 실시예는 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 하나의 화소 영역에 형성된 복수의 박막 트랜지스터들이 용도에 따라 서로 다른 방법으로 결정화된 다결정 반도체층을 갖는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광층의 내부에서 전자와 정공이 결합하여 생성된 여기자(exciton)가 여기 상태에서 기저 상태로 떨어질 때 발생하는 에너지에 의해 빛이 발생되며, 이를 이용하여 유기 발광 표시 장치는 화상을 표시한다.

[0003] 유기 발광 표시 장치에 사용되는 복수의 박막 트랜지스터들은 용도에 따라 반대급부적 상관 관계에 있는 서로 다른 특성이 요구되고 있다. 구체적으로, 일부 박막 트랜지스터는 높은 전류 구동 특성이 요구되는 반면, 다른 일부 박막 트랜지스터는 낮은 누설 전류 특성이 요구되기도 한다.

[0004] 박막 트랜지스터는 반도체층의 결정화 방법에 따라 특성이 결정된다. 하지만, 유기 발광 표시 장치에 요구되는 모든 특성을 동시에 만족하도록 박막 트랜지스터의 반도체층을 결정화시키기가 용이하지 않다.

[0005] 또한, 하나의 화소 영역에 형성된 복수의 박막 트랜지스터들의 반도체층을 용도에 따라 서로 다른 방법으로 결정화시키는 것은 더욱 어려운 문제점이 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말한다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은 하나의 화소 영역에 형성된 복수의 박막 트랜지스터들이 용도에 따라 서로 다른 방법으로 결정화된 다결정 반도체층을 갖는 유기 발광 표시 장치를 제공한다.

[0007] 또한, 상기한 유기 발광 표시 장치의 효과적인 제조 방법을 제공한다.

과제의 해결 수단

- [0008] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 기판 본체와, 상기 기판 본체 상에 형성되며 제1 두께부와 상기 제1 두께부보다 얇은 제2 두께부를 포함하는 절연층 패턴과, 상기 절연층 패턴의 상기 제1 두께부 위에 뿌려진 금속 촉매, 그리고 상기 절연층 패턴 위에 형성되며 상기 제1 두께부 및 상기 제1 두께부 주변의 상기 제2 두께부에 대응하는 제1 결정 영역과 나머지 상기 제2 두께부에 대응하는 제2 결정 영역으로 구분된 다결정 반도체층을 포함한다. 그리고 상기 다결정 반도체층의 상기 제1 결정 영역은 상기 금속 촉매를 통해 결정화되고, 상기 다결정 반도체층의 상기 제2 결정 영역은 고상 결정화(solid phase crystallization, SPC)된다.
- [0009] 상기 금속 촉매는 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tb), 루테튬(Ru), 카드뮴(Cd), 및 백금(Pt) 중 하나 이상을 포함할 수 있다.
- [0010] 상기 금속 촉매는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈(dose)량으로 상기 절연층 패턴의 상기 제1 두께부 위에 뿌려질 수 있다.
- [0011] 상기 절연층 패턴은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함할 수 있다.
- [0012] 상기 기판 본체와 상기 절연층 패턴 사이에 상기 다결정 반도체층의 일부와 중첩되도록 형성된 게이트 전극과, 상기 다결정 반도체층 위에 상기 다결정 반도체층과 각각 접촉되도록 형성된 소스 전극 및 드레인 전극을 더 포함할 수 있다. 그리고 상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성할 수 있다.
- [0013] 상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함할 수 있다.
- [0014] 상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩될 수 있다.
- [0015] 상기 기판 본체는 다수의 화소 영역들을 포함하며, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성될 수 있다.
- [0016] 상기 다결정 반도체층의 일부와 중첩되도록 상기 다결정 반도체층과 이격 배치된 게이트 전극과, 상기 게이트 전극과 이격 배치되며 상기 다결정 반도체층과 각각 접촉된 소스 전극 및 드레인 전극을 더 포함할 수 있다. 그리고 상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성할 수 있다.
- [0017] 상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함할 수 있다.
- [0018] 상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩될 수 있다.
- [0019] 상기 기판 본체는 다수의 화소 영역들을 포함하며, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성될 수 있다.
- [0020] 상기한 유기 발광 표시 장치에 있어서, 상기 절연층 패턴은 상기 제1 두께부부터 상기 제2 두께부까지 경사진 단면을 갖는 경사 두께부를 더 포함할 수 있다.
- [0021] 상기 경사 두께부의 두께가 얇아질수록 상기 경사 두께부 위에 뿌려진 상기 금속 촉매의 농도가 감소될 수 있다.
- [0022] 상기 경사 두께부의 경사가 완만할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 감소되고, 상기 경사 두께부의 경사가 급할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 확장될 수 있다.
- [0023] 또한, 본 발명의 실시예에 따르면, 유기 발광 표시 장치 제조 방법은 기판 본체를 마련하는 단계와, 상기 기판 본체 상에 절연층을 형성하는 단계와, 상기 절연층 위에 금속 촉매를 뿌리는 단계와, 상기 금속 촉매가 뿌려진 상기 절연층을 사진 식각 공정을 통해 패턴화하여 제1 두께부 및 상기 제1 두께부보다 얇은 제2 두께부를 포함하는 절연층 패턴을 형성하는 단계와, 상기 절연층 패턴 상에 비정질 실리콘층을 형성하는 단계, 그리고 상기 비정질 실리콘층을 결정화하여 상기 금속 촉매를 통해 결정화된 제1 결정 영역과 고상 결정화(solid phase

crystallization, SPC)된 제2 결정 영역으로 구분되는 다결정 반도체층을 형성하는 단계를 포함한다.

- [0024] 상기 금속 촉매는 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tb), 루테튬(Ru), 카드뮴(Cd), 및 백금(Pt) 중 하나 이상을 포함할 수 있다.
- [0025] 상기 절연층 패턴의 제2 두께부는 상기 금속 촉매가 뿌려진 표층이 제거될 수 있다.
- [0026] 상기 다결정 반도체층의 상기 제1 결정 영역은 상기 절연층 패턴의 상기 제1 두께부 및 상기 제1 두께부 주변의 상기 제2 두께부에 대응되고, 상기 다결정 반도체층의 상기 제2 결정 영역은 상기 절연층 패턴의 나머지 상기 제2 두께부에 대응될 수 있다.
- [0027] 상기 금속 촉매는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈(dose)량으로 상기 절연층 패턴의 상기 제1 두께부 위에 뿌려질 수 있다.
- [0028] 상기 절연층 패턴은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함할 수 있다.
- [0029] 상기 기판 본체와 상기 절연층 패턴 사이에 상기 다결정 반도체층의 일부와 중첩되도록 게이트 전극을 형성하는 단계와, 상기 다결정 반도체층 위에 상기 다결정 반도체층과 각각 접속되도록 소스 전극 및 드레인 전극을 형성하는 단계를 더 포함할 수 있다. 그리고 상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성할 수 있다.
- [0030] 상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함할 수 있다.
- [0031] 상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩될 수 있다.
- [0032] 상기 기판 본체는 다수의 화소 영역들을 포함하며, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성될 수 있다.
- [0033] 상기 다결정 반도체층의 일부와 중첩되도록 상기 다결정 반도체층과 이격 배치된 게이트 전극을 형성하는 단계와, 상기 게이트 전극과 이격 배치되며 상기 다결정 반도체층과 각각 접속되도록 소스 전극 및 드레인 전극을 형성하는 단계를 더 포함할 수 있다. 그리고 상기 게이트 전극, 상기 다결정 반도체층, 상기 소스 전극, 및 상기 드레인 전극은 박막 트랜지스터를 형성할 수 있다.
- [0034] 상기 박막 트랜지스터는 상기 다결정 반도체층의 상기 제1 결정 영역을 적어도 일부 사용하는 제1 박막 트랜지스터와, 상기 다결정 반도체층의 상기 제2 결정 영역을 사용하는 제2 박막 트랜지스터를 포함할 수 있다.
- [0035] 상기 게이트 전극은 상기 다결정 반도체층의 상기 제2 결정 영역과 중첩될 수 있다.
- [0036] 상기 기판 본체는 다수의 화소 영역들을 포함하며, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 각각 하나의 상기 화소 영역마다 하나 이상 형성될 수 있다.
- [0037] 상기한 유기 발광 표시 장치 제조 방법에서, 상기 절연층 패턴은 상기 제1 두께부부터 상기 제2 두께부까지 경사진 단면을 갖는 경사 두께부를 더 포함할 수 있다.
- [0038] 상기 절연층 패턴의 상기 경사 두께부는 노광량을 점진적으로 조절한 마스크를 사용하여 만들어진 경사 구조의 감광막 패턴을 통해 형성될 수 있다.
- [0039] 상기 경사 두께부의 두께가 얇아질수록 상기 경사 두께부 위에 뿌려진 상기 금속 촉매의 농도가 감소될 수 있다.
- [0040] 상기 경사 두께부의 경사가 완만할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 감소되고, 상기 경사 두께부의 경사가 급할수록 상기 다결정 반도체층의 상기 제1 결정 영역이 상대적으로 확장될 수 있다.

발명의 효과

- [0041] 본 발명의 실시예들에 따르면, 유기 발광 표시 장치는 화소 영역마다 용도에 따라 서로 다른 방법으로 결정화된 다결정 반도체층을 포함하는 복수의 박막 트랜지스터들을 가질 수 있다.
- [0042] 또한, 상기한 유기 발광 표시 장치를 효과적으로 제조할 수 있다.

도면의 간단한 설명

- [0043] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치의 구조를 개략적으로 나타낸 평면도이다.
 도 2는 도 1의 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.
 도 3은 도 1의 유기 발광 표시 장치에 사용된 박막 트랜지스터들을 확대 도시한 부분 단면도이다.
 도 4 내지 도 9는 도 3의 박막 트랜지스터들의 제조 과정을 순차적으로 나타낸 단면도들이다.
 도 10은 본 발명의 제1 실시예에 따라, 결정이 성장되는 방향을 나타낸 평면도이다.
 도 11은 본 발명의 제2 실시예에 따른 유기 발광 표시 장치에 사용된 박막 트랜지스터들을 확대 도시한 부분 단면도이다.
 도 12 내지 도 15는 도 11의 박막 트랜지스터들의 제조 과정을 순차적으로 나타낸 단면도들이다.
 도 16은 본 발명의 제2 실시예에 따라 결정이 성장되는 방향을 나타낸 평면도이다.
 도 17은 본 발명의 제3 실시예에 따른 유기 발광 표시 장치에 사용된 박막 트랜지스터들을 확대 도시한 부분 단면도이다.
 도 18 내지 도 22는 도 17의 박막 트랜지스터들의 제조 과정을 순차적으로 나타낸 단면도들이다.
 도 23은 본 발명의 제4 실시예에 따른 유기 발광 표시 장치에 사용된 박막 트랜지스터들을 확대 도시한 부분 단면도이다.
 도 24 내지 도 27은 도 23의 박막 트랜지스터들의 제조 과정을 순차적으로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0044] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0045] 또한, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 부호를 붙이도록 한다. 그리고 여러 실시예들에 있어서, 제1 실시예 이외의 실시예들에서는 제1 실시예와 다른 구성을 중심으로 설명한다.
- [0046] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0047] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0048] 이하, 도 1 내지 도 3를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 설명한다.
- [0049] 도 1에 도시한 바와 같이, 유기 발광 표시 장치(101)는 표시 영역(DA)과 비표시 영역(NA)으로 구분된 기판 본체(111)를 포함한다. 기판 본체(111)의 표시 영역(DA)에는 다수의 화소 영역들(PE)이 형성되어 화상을 표시하고, 비표시 영역(NA)에는 하나 이상의 구동 회로(910, 920)가 형성된다. 여기서, 화소 영역(PE)은 화상을 표시하는 최소 단위인 화소가 형성된 영역을 말한다. 하지만, 본 발명의 제1 실시예에서, 반드시 비표시 영역(NA)에 모든 구동 회로(910, 920)가 형성되어야 하는 것은 아니며 일부 또는 전부 생략될 수도 있다.
- [0050] 도 2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)마다 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT)들(10, 20), 그리고 하나의 캐패시터(capacitor)(80)이 배치된 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 제1 실시예가 이에 한정되는 것은 아니다. 따라서, 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)마다 셋 이상의 박막 트랜지스터와 둘 이상의 캐패시터가 배치된 구조를 가질 수도 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성될 수도 있다. 이와 같이, 추가로 형성되는 박막 트랜지스터 및 캐패시터 중 하나 이상은 보상 회로의 구성이 될 수 있다.

- [0051] 보상 회로는 각 화소 영역(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질(畫質)에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함할 수 있다.
- [0052] 또한, 기관 본체(111)의 비표시 영역(NA) 상에 형성된 구동 회로(910, 920)(도 1에 도시)도 추가의 박막 트랜지스터들을 포함할 수 있다.
- [0053] 유기 발광 소자(70)는 정공 주입 전극인 애노드(anode) 전극과, 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다.
- [0054] 구체적으로, 본 발명의 제1 실시예에서, 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)마다 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)를 포함한다. 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)는 각각 게이트 전극, 다결정 반도체층, 소스 전극, 및 드레인 전극을 포함한다. 그리고 제1 박막 트랜지스터(10)와 제2 박막 트랜지스터(20)는 각각 서로 다른 방법으로 결정화된 다결정 반도체층을 포함한다.
- [0055] 도 2에는 게이트 라인(GL), 데이터 라인(DL), 및 공통 전원 라인(VDD)과 함께 캐패시터 라인(CL)이 나타나 있으나, 본 발명의 제1 실시예가 도 2에 도시된 구조에 한정되는 것은 아니다. 따라서, 캐패시터 라인(CL)은 경우에 따라 생략될 수도 있다.
- [0056] 데이터 라인(DL)에는 제2 박막 트랜지스터(20)의 소스 전극이 연결되고, 게이트 라인(GL)에는 제2 박막 트랜지스터(20)의 게이트 전극이 연결된다. 그리고 제2 박막 트랜지스터(20)의 드레인 전극은 캐패시터(80)를 통하여 캐패시터 라인(CL)에 연결된다. 그리고 제2 박막 트랜지스터(20)의 드레인 전극과 캐패시터(80) 사이에 노드가 형성되어 제1 박막 트랜지스터(10)의 게이트 전극이 연결된다. 그리고 제1 박막 트랜지스터(10)의 드레인 전극에는 공통 전원 라인(VDD)이 연결되며, 소스 전극에는 유기 발광 소자(70)의 애노드 전극이 연결된다.
- [0057] 제2 박막 트랜지스터(20)는 발광시키고자 하는 화소 영역(PE)을 선택하는 스위칭 소자로 사용된다. 제2 박막 트랜지스터(20)가 순간적으로 턴온되면 캐패시터(80)는 충전되고, 이때 충전되는 전하량은 데이터 라인(DL)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제2 박막 트랜지스터(20)가 턴오프된 상태에서 캐패시터 라인(CL)에 한 프레임 주기로 전압이 증가하는 신호가 입력되면, 제1 박막 트랜지스터(10)의 게이트 전위는 캐패시터(80)에 충전된 전위를 기준으로 인가되는 전압의 레벨이 캐패시터 라인(CL)을 통하여 인가되는 전압을 따라서 상승한다. 그리고 제1 박막 트랜지스터(10)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(VDD)에 인가되던 전압이 제1 박막 트랜지스터(10)를 통하여 유기 발광 소자(70)에 인가되고, 유기발광 소자(70)는 발광된다.
- [0058] 이와 같은 화소 영역(PE)의 구성은 전술한 바에 한정되지 않고 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양하게 변형 가능하다.
- [0059] 이하, 도 3을 참조하여 본 발명의 제1 실시예에 따른 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)의 구조를 적층 순서에 따라 상세히 설명한다.
- [0060] 기관 본체(111)는 유리, 석영, 세라믹, 및 플라스틱 등으로 이루어진 투명한 절연성 기관으로 형성된다. 그러나 본 발명의 제1 실시예가 이에 한정되는 것은 아니며, 기관 본체(111)가 스테인리스 강 등으로 이루어진 금속성 기관으로 형성될 수도 있다. 또한, 기관 본체(111)가 플라스틱 등으로 만들어질 경우 플렉서블(flexible)한 기관으로 형성될 수도 있다.
- [0061] 기관 본체(111) 상에는 절연층 패턴(120)이 형성된다. 절연층 패턴(120)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함한다. 그리고 절연층 패턴(120)은 버퍼층의 역할을 수행할 수도 있다. 즉, 절연층 패턴(120)은 불순 원소 또는 수분과 같이 불필요한 성분의 침투를 방지할 수 있다.
- [0062] 또한, 절연층 패턴(120)은 제1 두께부(121)와, 제1 두께부(121)보다 얇은 제2 두께부(122)를 포함한다. 절연층 패턴(120)의 제1 두께부(121)의 위에는 금속 촉매(MC)가 뿌려진다. 금속 촉매(MC)는 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tb), 루테튬(Ru), 카드뮴(Cd), 및 백금(Pt) 중 하나 이상을 포함한다. 이 중에서 바람직한 금속 촉매(MC)로는 니켈(Ni)을 들 수 있다. 니켈(Ni)이 규소(Si)와 결합된 니켈 디실리사이드(NiSi₂)는 결정 성장을 효과적으로 촉진시킨다.
- [0063] 또한, 금속 촉매(MC)는 1.0e10 atoms/cm² 내지 1.0e14 atoms/cm² 범위 내의 도즈(dose)량으로 절연층 패턴(120)의 제1 두께부(121) 위에 뿌려진다. 즉, 금속 촉매(MC)는 가장 작게는 분자 단위로 절연층 패턴(120)의 제1

두께부(121)에 미량 뿌려진다.

- [0064] 절연층 패턴(120) 위에는 다결정 반도체층(130)이 형성된다. 다결정 반도체층(130)은 제1 결정 영역(131)과 제2 결정 영역(132)으로 구분된다. 제1 결정 영역(131)은 절연층 패턴(120)의 제1 두께부(121)와 제1 두께부(121) 주변의 제2 두께부(122)에 대응한다. 제1 결정 영역(131)은 절연층 패턴(120)의 제1 두께부(121) 위에 뿌려진 금속 촉매(MC)를 통해 결정화된다. 반면, 제2 결정 영역(132)은 절연층 패턴(120)의 나머지 제2 두께부(122)에 대응한다. 제2 결정 영역(132)은 고상 결정화(solid phase crystallization, SPC)된다.
- [0065] 고상 결정화 방법은 증착된 비정질 실리콘층에 실리콘 이온을 주입한 후 600℃ 이하의 온도에서 적어도 수십 시간 동안 어닐링하는 방법으로 진행된다. 최종 그래인의 크기는 이온 주입된 실리콘 이온의 도즈(dose)량, 가열 온도, 및 가열 시간 등에 따라 좌우된다. 고상 결정화된 다결정 반도체층(130)은 보통 수 μm 수준의 비교적 큰 그래인들을 가지며, 이를 사용한 박막 트랜지스터(20)는 상대적으로 낮은 누설 전류를 갖는다. 하지만, 고상 결정화된 다결정 반도체층(130)은 그래인 내에 결함(defect)이 많고, 이를 사용한 박막 트랜지스터(20)는 전류 구동 능력, 즉 전자 이동도가 상대적으로 높지 않다.
- [0066] 또한, 본 발명의 제1 실시예에 따라 금속 촉매(MC)를 통해 결정화하는 방법은 비정질 실리콘층을 상대적으로 저온에서 비교적 짧은 시간에 결정화시킬 수 있다. 일례로, 니켈(Ni)을 금속 촉매(MC)로 사용하여 비정질 실리콘층이 결정화되는 과정을 살펴보면, 니켈(Ni)은 비정질 실리콘층의 규소(Si)와 결합하여 니켈 디실리사이드(NiSi_2)가 된다. 이 니켈 디실리사이드(NiSi_2)는 시드(seed)가 되어 이를 중심으로 결정이 성장하게 된다.
- [0067] 금속 촉매(MC)를 통해 결정화된 다결정 반도체층(130)은 그래인의 크기가 수십 μm 수준으로, 고상 결정화된 다결정 반도체층(130)의 그래인보다 더욱 크다. 또한, 하나의 그래인 바운더리(grain boundary) 내에 다수의 서브 그래인 바운더리가 존재한다. 따라서, 그래인 바운더리로 인해 균일성이 저하되는 것을 최소화할 수 있다.
- [0068] 또한, 금속 촉매(MC)를 사용하는 방법 중에서, 특히 금속 촉매(MC)를 비정질 실리콘층 아래에 배치하고 이를 통해 결정을 성장시킬 경우에는 금속 촉매(MC)를 비정질 실리콘층 위에 배치한 경우보다 그래인 바운더리(grain boundary)가 희미해지고 그래인 내 결함(defect)이 더욱 감소되는 이점이 있다.
- [0069] 또한, 금속 촉매(MC)를 통해 결정화된 다결정 반도체층(130)을 사용한 박막 트랜지스터(10)는 전류 구동 능력, 즉 전자 이동도가 상대적으로 높다. 하지만, 다결정 반도체층(130)에 잔류하는 금속 성분으로 인하여, 상대적으로 높은 누설 전류를 갖는다.
- [0070] 본 발명의 제1 실시예에서, 제1 박막 트랜지스터(10)는 다결정 반도체층(130)의 제1 결정 영역(131)을 적어도 일부 사용하여 상대적으로 높은 전류 구동 능력을 가질 수 있다. 제1 박막 트랜지스터(10)는 유기 발광 소자(70)와 연결되어 유기 발광 소자(70)를 구동하므로 높은 전자 이동도가 중요한 특성으로 요구된다. 그리고 제2 박막 트랜지스터(20)는 다결정 반도체층(130)의 제2 결정 영역(132)을 사용한다. 이에, 제2 박막 트랜지스터(20)는 상대적으로 낮은 누설 전류를 갖는다. 따라서, 유기 발광 표시 장치(101)는 불필요한 누설 전류의 발생을 최소화할 수 있다.
- [0071] 이와 같이, 본 발명의 제1 실시예에 따르면, 하나의 화소 영역(PE)(도 2에 도시)에 용도에 따라 서로 다른 방법으로 결정화된 복수의 결정 영역들(131, 132)을 갖는 다결정 반도체층(130)을 효과적으로 형성할 수 있다.
- [0072] 다결정 반도체층(130) 위에 게이트 절연막이 형성된다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx), 및 산화 규소(SiO_2) 중 하나 이상을 포함하여 형성된다. 일례로, 게이트 절연막(140)은 40nm의 두께를 갖는 질화 규소막과 80nm의 두께를 갖는 테트라에톡시실란막이 차례로 적층된 이중막으로 형성될 수 있다. 하지만, 본 발명의 제1 실시예에서, 게이트 절연막(140)이 전술한 구성에 한정되는 것은 아니다.
- [0073] 게이트 절연막(140) 상에는 게이트 전극(151, 152)이 형성된다. 게이트 전극(151, 152)은 다결정 반도체층(130)의 일부와 중첩되도록 배치된다. 즉, 게이트 전극(151, 152)은 게이트 절연막(140)을 사이에 두고 다결정 반도체층(130)과 이격 배치된다. 게이트 전극(151, 152)은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 중 하나 이상을 포함할 수 있다.
- [0074] 또한, 게이트 전극은 제1 박막 트랜지스터(10)에 사용되는 제1 게이트 전극(151)과, 제2 박막 트랜지스터(20)에 사용되는 제2 게이트 전극(152)을 포함한다.
- [0075] 게이트 전극(151, 152) 상에는 층간 절연막(160)이 형성된다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로

가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 형성될 수 있으나, 이에 한정되는 것은 아니다.

- [0076] 그리고 층간 절연막(160)과 게이트 절연막(140)은 함께 다결정 반도체층(135)의 일부를 각각 드러내는 접촉 구멍들을 갖는다.
- [0077] 층간 절연막(160) 상에는 접촉 구멍들을 통해 각각 다결정 반도체층(130)과 각각 접속된 소스 전극(171, 172) 및 드레인 전극(173, 174)이 형성된다. 소스 전극(171, 172) 및 드레인 전극(173, 174)은 서로 이격 배치된다. 또한, 소스 전극(171, 172) 및 드레인 전극(173, 174)은 층간 절연막을 사이에 두고 게이트 전극(151, 152)과 이격 배치된다. 소스 전극(171, 172) 및 드레인 전극(173, 174)은, 게이트 전극(151, 152)과 마찬가지로, 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 중 하나 이상을 포함할 수 있다.
- [0078] 또한, 소스 전극 및 드레인 전극은 제1 박막 트랜지스터(10)에 사용되는 제1 소스 전극(171) 및 제1 드레인 전극(173)과 제2 박막 트랜지스터(20)에 사용되는 제2 소스 전극(172) 및 제2 드레인 전극(174)을 포함한다.
- [0079] 이와 같은 구성에 의하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 하나의 화소 영역(PE)(도 2에 도시)에 용도에 따라 서로 다른 방법으로 결정화된 복수의 결정 영역들(131, 132)을 갖는 다결정 반도체층(130)을 형성할 수 있다. 그리고 이러한 다결정 반도체층(130)을 이용하여 하나의 화소 영역(PE)에 서로 다른 특성을 갖는 복수의 박막 트랜지스터들(10, 20)을 형성할 수 있다.
- [0080] 이하, 도 4 내지 도 10을 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)의 제조 방법을 설명한다.
- [0081] 먼저, 도 4에 도시한 바와 같이, 기판 본체(111) 상에 절연층(1200)을 형성한다. 절연층(1200)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함한다.
- [0082] 그리고 절연층(1200) 위에 금속 촉매(MC)를 뿌린다. 이때, 금속 촉매(MC)는 1.0×10^2 atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈(dose)량으로 뿌려진다. 즉, 금속 촉매(MC)는 가장 작게는 분자 단위로 절연층 위에 미량 뿌려진다.
- [0083] 또한, 금속 촉매(MC)는 니켈(Ni), 팔라듐(Pd), 티타늄(Ti), 은(Ag), 금(Au), 주석(Sn), 안티몬(Sb), 구리(Cu), 코발트(Co), 몰리브덴(Mo), 테르븀(Tb), 루테튬(Ru), 카드뮴(Cd), 및 백금(Pt) 중 하나 이상을 포함할 수 있다. 도 4에서는, 금속 촉매(MC)로 니켈(Ni)이 사용된다.
- [0084] 다음, 도 5에 도시한 바와 같이, 금속 촉매(MC)가 뿌려진 절연층(1200) 위에 감광성 유기막(500)을 도포한 후, 마스크(600)를 사용하여 노광 공정을 수행한다. 여기서, 마스크(600)는 차광부(601)와 투광부(602)를 갖는다. 그리고 노광된 감광성 유기막(500)을 현상하여, 도 6에 도시한 바와 같은, 감광막 패턴(501)을 형성한다.
- [0085] 다음, 도 7에 도시한 바와 같이, 감광막 패턴(501)을 사용하여 금속 촉매(MC)가 뿌려진 절연층(1200)을 일부 식각하여 절연층 패턴(120)을 형성한다. 절연층 패턴(120)은 제1 두께부(121)와, 제1 두께부(121)보다 상대적으로 얇은 두께를 갖는 제2 두께부(122)를 포함한다. 이때, 절연층 패턴(120)의 제1 두께부(121)는 금속 촉매(MC)가 뿌려진 표층을 그대로 가지며, 절연층 패턴(120)의 제2 두께부(122)는 금속 촉매(MC)가 뿌려진 표층을 잃는다.
- [0086] 또한, 전술한 바와 같이, 절연층(1200)을 패터닝하여 절연층 패턴(120)을 형성하는 공정을 사진 식각 공정이라 한다.
- [0087] 다음, 잔존 감광막 패턴(501)을 제거하고, 도 8에 도시한 바와 같이, 절연층 패턴(120) 위에 비정질 실리콘층(1300)을 형성한다. 그리고 비정질 실리콘층(1300)을 결정화시켜, 도 9에 도시한 바와 같은, 다결정 반도체층(130)을 형성한다.
- [0088] 다결정 반도체층(130)은 절연층 패턴(120)의 제1 두께부(121) 및 제1 두께부(121) 주변의 제2 두께부(122)에 대응하는 제1 결정 영역(131)과, 절연층 패턴(120)의 나머지 제2 두께부(122)에 대응하는 제2 결정 영역(132)으로 구분된다. 여기서, 제1 결정 영역(131)은 금속 촉매(MC)를 통해 결정화되고, 제2 결정 영역(132)은 고상 결정화된다. 구체적으로, 본 발명의 제1 실시예에 따른 절연층 패턴(140) 위에 형성된 비정질 실리콘층(1300)을 열처리하면, 절연층 패턴(140)의 제1 두께부(141) 위에 뿌려진 금속 촉매(MC)가 작용하여 결정이 성장된다. 그리고, 절연층 패턴(140)의 제1 두께부(141)로부터 일정 거리 이상 이격되어 금속 촉매(MC)의 작용을 받지 않은

나머지 비정질 실리콘층(1300)은 열에 의해 고상 결정화된다.

- [0089] 도 10은 금속 촉매(MC)에 의해 결정화된 제1 결정 영역(131)의 그레인 바운드리를 나타낸다. 도 10에서 화살표는 절연층 패턴(120)의 제1 두께부(121)를 중심으로 금속 촉매(MC)의 작용에 의해 결정이 성장되는 방향을 나타낸다. 또한, 제1 결정 영역(131)의 그레인 바운드리 밖의 영역은 고상 결정화된 제2 결정 영역(132)이 된다.
- [0090] 도 10에 나타난 바와 같이, 본 발명의 제1 실시예에 따르면, 절연층 패턴(120)의 제1 두께부(121) 위에 뿌려진 금속 촉매(MC)에 의해 결정화되는 제1 결정 영역(131)을 국부적으로 형성할 수 있다. 따라서, 하나의 화소 영역(PE)(도 2에 도시)에 서로 다른 방법으로 결정화된 제1 결정 영역(131) 및 제2 결정 영역(132)을 포함하는 다결정 반도체층(130)을 효과적으로 형성할 수 있다.
- [0091] 다음, 앞서 도 3에 도시한 바와 같이, 게이트 전극(151, 152), 소스 전극(171, 172), 및 드레인 전극(173, 174)을 형성하여, 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)를 형성한다.
- [0092] 이상과 같은 제조 방법을 통하여, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 제조할 수 있다. 즉, 서로 다른 특성을 갖는 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)를 하나의 화소 영역(PE)(도 2에 도시)에 동시에 효과적으로 형성할 수 있다.
- [0093] 이하, 도 11을 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)를 설명한다.
- [0094] 도 11에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)의 절연층 패턴(220)은 제1 두께부(221), 경사 두께부(222), 및 제2 두께부(223)를 포함한다. 제1 두께부(221)는 상대적으로 가장 두꺼운 부분이며, 제2 두께부(223)는 상대적으로 가장 얇은 부분이다. 그리고 경사 두께부(222)는 제1 두께부(221)부터 제2 두께부(223)까지 두께가 점진적으로 감소하는 부분이다. 즉, 경사 두께부(222)는 경사진 단면을 갖는다.
- [0095] 또한, 경사 두께부(222)의 일부 및 제1 두께부(221) 위에는 니켈(Ni) 등과 같은 금속 촉매(MC)가 뿌려진다. 이 때, 금속 촉매(MC)는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈량으로 뿌려진다. 즉, 금속 촉매(MC)는 가장 작게는 분자 단위로 절연층 패턴(220)의 제1 두께부(221) 및 경사 두께부(222)의 일부에 미량 뿌려진다. 경사 두께부(222)는 두께가 얇아질수록 표층에 뿌려진 금속 촉매(MC)의 농도가 점차 감소되다가, 제2 두께부(223)와 근접하는 일정 두께 이하가되면 표층에 금속 촉매(MC)가 실질적으로 존재하지 않게 된다.
- [0096] 절연층 패턴(220) 위에 형성된 다결정 반도체층(130)은 제1 결정 영역(131)과 제2 결정 영역(132)으로 구분된다. 제1 결정 영역(131)은 절연층 패턴(220)의 제1 두께부(221) 및 경사 두께부(222), 그리고 이들 주변의 제2 두께부(223)에 대응한다. 제1 결정 영역(131)은 절연층 패턴(220)의 제1 두께부(221) 및 경사 두께부(222) 위에 뿌려진 금속 촉매(MC)를 통해 결정화된다. 반면, 제2 결정 영역(132)은 절연층 패턴(220)의 나머지 제2 두께부(223)에 대응한다. 제2 결정 영역(132)은 고상 결정화된다.
- [0097] 또한, 제1 결정 영역(131)의 성장은 절연층 패턴(220)의 경사 두께부(222)에 의해 제어된다. 구체적으로, 경사 두께부(222)의 경사가 완만할수록 제1 결정 영역(131)의 성장이 상대적으로 감소되고, 경사 두께부(222)의 경사가 급할수록 제1 결정 영역(131)의 성장이 상대적으로 확장된다. 따라서, 절연층 패턴(220)의 제1 두께부(221)를 기준으로 다결정 반도체층(130)의 제1 결정 영역(131)이 확장되는 것을 억제하고 싶은 방향이 있다면, 그 방향으로 경사가 완만하게 경사 두께부(222)를 형성하면 된다.
- [0098] 이와 같이 본 발명의 제2 실시예에 따르면, 하나의 화소 영역(PE)(도 2에 도시)과 비교적 같은 좁은 영역에서 다결정 반도체층(130)의 제1 결정 영역(131)의 성장을 효과적으로 정밀하게 제어할 수 있다.
- [0099] 이상과 같은 구성을 통하여, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)는 하나의 화소 영역(PE)(도 2에 도시)에 용도에 따라 서로 다른 방법으로 결정화된 복수의 결정 영역들(131, 132)을 갖는 다결정 반도체층(130)을 형성할 수 있다. 그리고 이러한 다결정 반도체층(130)을 이용하여 하나의 화소 영역(PE)에 서로 다른 특성을 갖는 복수의 박막 트랜지스터들(10, 20)을 형성할 수 있다.
- [0100] 또한, 절연층 패턴(220)이 경사 두께부(222)로 인해 제1 결정 영역(131)의 성장을 정밀하게 제어할 수 있으므로, 하나의 박막 트랜지스터(10)에 사용된 다결정 반도체층(130)을 부위에 따라 다른 방법으로 효과적으로 용이하게 결정화할 수 있다.
- [0101] 구체적으로 본 발명의 제2 실시예에서는, 제1 박막 트랜지스터(10)의 제1 게이트 전극(151)과 중첩되는 다결정 반도체층(130)의 적어도 일부가 제2 결정 영역(132)일 수 있다. 즉, 제1 박막 트랜지스터(10)는 제1 결정 영역

(131)을 일부 사용하면서도 제1 게이트 전극(151)과 중첩되는 일부는 제2 결정 영역(132)으로 형성할 수 있다.

- [0102] 이와 같이, 제1 게이트 전극(151)을 다결정 반도체층(130)의 제2 결정 영역(131)과 중첩시키면, 제1 게이트 전극(151) 가까이에 위치하는 금속 촉매(MC)가 줄어들어 제1 박막 트랜지스터(10)의 누설 전류를 다소 감소시킬 수 있게 된다.
- [0103] 한편, 제1 실시예의 경우도, 제2 실시예와 같이, 제1 박막 트랜지스터(10)의 제1 게이트 전극(151)과 중첩되는 다결정 반도체층(130)의 적어도 일부는 제2 결정 영역(132)으로 형성할 수 있다.
- [0104] 이하, 도 12 내지 도 16을 참조하여 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)의 제조 방법을 설명한다.
- [0105] 먼저, 도 12에 도시한 바와 같이, 기판 본체(111) 상에 절연층(2200)을 형성한 후, 절연층(2200) 위에 니켈(Ni) 등과 같은 금속 촉매(MC)를 뿌린다.
- [0106] 다음, 금속 촉매(MC)가 뿌려진 절연층(2200) 위에 감광성 유기막(500)을 도포한 후, 마스크(700)를 사용하여 노광 공정을 수행한다. 여기서, 마스크(700)는 차광부(701)와 투광부(702)를 갖는다. 또한, 마스크(700)의 차광부(701)는 노광량을 점진적으로 조절할 수 있는 부분을 포함한다. 예를 들어, 마스크(700)는 이격 폭이 점진적으로 변화하는 슬릿 패턴을 가질 수 있다.
- [0107] 다음, 노광된 감광성 유기막(500)을 현상하여, 도 13에 도시한 바와 같은, 감광막 패턴(502)을 형성한다. 이때, 감광막 패턴(502)은 경사 구조로 형성된다.
- [0108] 다음, 경사 구조의 감광막 패턴(502)을 사용하여 금속 촉매(MC)가 뿌려진 절연층(2200)을 일부 식각한 후 잔존 감광막 패턴(502)을 제거하면, 도 14에 도시한 바와 같은, 절연층 패턴(220)이 형성된다. 구체적으로, 절연층 패턴(220)은 상대적으로 가장 두꺼운 제1 두께부(221)와, 상대적으로 가장 얇은 제2 두께부(223), 그리고 제1 두께부(221)부터 제2 두께부(223)까지 두께가 점진적으로 감소하는 경사 두께부(222)를 포함한다. 이때, 절연층 패턴(220)의 제1 두께부(221)는 금속 촉매(MC)가 뿌려진 표층을 그대로 가지며, 절연층 패턴(220)의 제2 두께부(223)는 금속 촉매(MC)가 뿌려진 표층을 잃는다. 또한, 경사 두께부(222)는 두께가 얇아질수록 표층에 뿌려진 금속 촉매(MC)의 농도가 점차 감소되다가, 제2 두께부(223)와 근접하는 일정 두께 이하가 되면 표층에 금속 촉매(MC)가 실질적으로 존재하지 않게 된다.
- [0109] 다음, 도 15에 도시한 바와 같이, 절연층 패턴(220) 위에 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 반도체층(130)을 형성한다.
- [0110] 다결정 반도체층(130)은 절연층 패턴(220)의 제1 두께부(221) 및 경사 두께부(222), 그리고 이들 주변의 제2 두께부(223)에 대응하는 제1 결정 영역(131)과, 절연층 패턴(220)의 나머지 제2 두께부(223)에 대응하는 제2 결정 영역(132)으로 구분된다. 여기서, 제1 결정 영역(131)은 금속 촉매(MC)를 통해 결정화되고, 제2 결정 영역(132)은 고상 결정화된다. 구체적으로, 본 발명의 제2 실시예에 따른 절연층 패턴(220) 위에 형성된 비정질 실리콘층을 열처리하면, 절연층 패턴(220)의 제1 두께부(221) 및 경사 두께부(222) 위에 뿌려진 금속 촉매(MC)가 작용하여 결정화가 진행된다. 그리고, 절연층 패턴(220)의 제1 두께부(221)로부터 일정 거리 이상 이격되어 금속 촉매(MC)의 작용을 받지 않은 나머지 비정질 실리콘층은 열에 의해 고상 결정화된다.
- [0111] 도 16은 금속 촉매(MC)에 의해 결정화된 제1 결정 영역(131)의 그레인 바운드리를 나타낸다. 도 16에서 화살표는 절연층 패턴(220)의 제1 두께부(221)를 중심으로 금속 촉매(MC)의 작용에 의해 결정이 성장되는 방향을 나타낸다. 또한, 제1 결정 영역(131)의 그레인 바운드리 밖의 영역은 고상 결정화된 제2 결정 영역(132)이 된다.
- [0112] 도 16에 나타난 바와 같이, 본 발명의 제2 실시예에 따르면, 절연층 패턴(220)의 제1 두께부(221) 및 경사 두께부(222)의 일부에 뿌려진 금속 촉매(MC)에 의해 결정화되는 제1 결정 영역(131)을 국부적으로 형성할 수 있다. 따라서, 하나의 화소 영역(PE)(도 2에 도시)에 서로 다른 방법으로 결정화된 제1 결정 영역(131) 및 제2 결정 영역(132)을 포함하는 다결정 반도체층(130)을 효과적으로 형성할 수 있다.
- [0113] 또한, 본 발명의 제2 실시예의 경우, 절연층 패턴(220)의 경사 두께부(222)를 통해 제1 결정 영역(131)의 성장을 제어할 수 있다. 도 11 및 도 16에 나타난 바와 같이, 경사 두께부(222)의 경사가 완만할수록 결정의 성장이 감소되고 경사 두께부(222)의 경사가 급할수록 결정의 성장이 확장된다. 따라서, 절연층 패턴(220)의 경사 두께부(222)를 사용하여 제1 결정 영역(131)을 더욱 정밀하게 형성할 수 있다. 이에, 화소 영역(PE)(도 2에 도시)과 같은 비교적 좁은 영역에서 용도에 따라 서로 다른 방법으로 결정화된 다결정 반도체층(130)을 포함하는 복수의 박막 트랜지스터들(10, 20)을 더욱 정밀하게 형성할 수 있다. 또한, 하나의 박막 트랜지스터(10)에 사

용된 다결정 반도체층(330)을 부위에 따라 다른 방법으로 결정화할 수 있다.

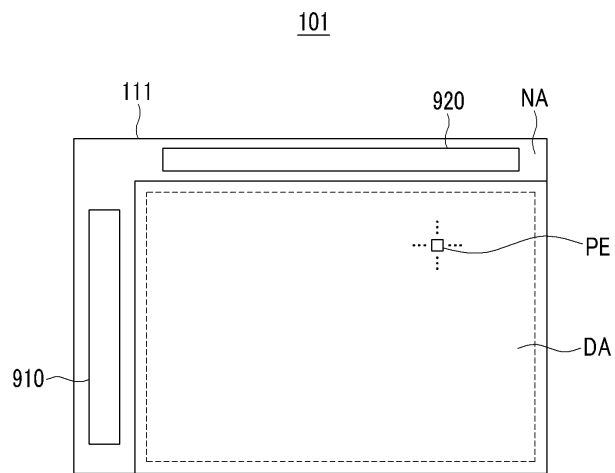
- [0114] 다음, 앞서 도11에 도시한 바와 같이, 게이트 전극(151, 152), 소스 전극(171, 172), 및 드레인 전극(173, 174)을 형성하여, 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)를 형성한다. 이때, 제1 박막 트랜지스터(10)의 제1 게이트 전극(151)은 다결정 반도체층(130)의 제2 결정 영역(132)과 적어도 일부 중첩될 수 있다.
- [0115] 이상과 같은 제조 방법을 통하여, 본 발명의 제2 실시예에 따른 유기 발광 표시 장치(102)를 제조할 수 있다. 즉, 서로 다른 특성을 갖는 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)를 하나의 화소 영역(PE)(도 2에 도시)에 동시에 효과적으로 형성할 수 있다.
- [0116] 또한, 절연층 패턴(220)의 경사 두께부(222)를 통해 제1 결정 영역(131)의 성장을 정밀하게 제어할 수 있으므로, 하나의 박막 트랜지스터(10)에 사용된 다결정 반도체층(130)을 부위에 따라 다른 방법으로 결정화할 수 있다.
- [0117] 이하, 도 17을 참조하여 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(103)를 설명한다.
- [0118] 도 17에 도시한 바와 같이, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(103)는 기판 본체(111) 상에 버퍼층(320)이 형성된다. 일례로, 버퍼층(320)은 질화규소(SiNx)의 단일막 또는 질화규소(SiNx)와 산화규소(SiO₂)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(320)은 불순 원소 또는 수분과 같이 불필요한 성분의 침투를 방지하고 표면을 평탄화하는 역할을 한다. 하지만, 버퍼층(320)은 반드시 필요한 구성은 아니며, 기판 본체(111)의 종류 및 공정 조건에 따라 생략될 수도 있다.
- [0119] 버퍼층(320) 상에는 게이트 전극(351, 352)이 형성된다. 그리고 게이트 전극(351, 352) 상에는 절연층 패턴(340)이 형성된다. 절연층 패턴(340)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함한다.
- [0120] 또한, 게이트 전극은 제1 박막 트랜지스터(10)에 사용되는 제1 게이트 전극(351)과 제2 박막 트랜지스터(20)에 사용되는 제2 게이트 전극(352)을 포함한다.
- [0121] 또한, 절연층 패턴(340)은 제1 두께부(341)와 제1 두께부(341)보다 얇은 제2 두께부(342)를 포함한다. 절연층 패턴(340)의 제1 두께부(341)에는 니켈(Ni) 등과 같은 금속 촉매(MC)가 뿌려진다.
- [0122] 금속 촉매(MC)는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈량으로 절연층 패턴(340)의 제1 두께부(341) 위에 뿌려진다. 즉, 금속 촉매(MC)는 가장 작게는 분자 단위로 절연층 패턴(340)의 제1 두께부(341)에 미량 뿌려진다.
- [0123] 절연층 패턴(340) 위에는 다결정 반도체층(330)이 형성된다. 다결정 반도체층(330)은 제1 결정 영역(331)과 제2 결정 영역(332)으로 구분된다. 제1 결정 영역(331)은 절연층 패턴(340)의 제1 두께부(341)와 제1 두께부(341) 주변의 제2 두께부(342)에 대응한다. 제1 결정 영역(331)은 절연층 패턴(340)의 제1 두께부(341) 위에 뿌려진 금속 촉매(MC)를 통해 결정화된다. 반면, 제2 결정 영역(332)은 절연층 패턴(340)의 나머지 제2 두께부(342)에 대응한다. 제2 결정 영역(332)은 고상 결정화(solid phase crystallization, SPC)된다.
- [0124] 본 발명의 제3 실시예도 금속 촉매(MC)가 다결정 반도체층(330) 아래에 배치되어 결정화에 관여한다.
- [0125] 이와 같이, 본 발명의 제3 실시예에 의해서도, 하나의 화소 영역(PE)(도 2에 도시)에 용도에 따라 서로 다른 방법으로 결정화된 복수의 결정 영역들(331, 332)을 갖는 다결정 반도체층(330)을 효과적으로 형성할 수 있다.
- [0126] 다결정 반도체층(330) 위에는 각각 다결정 반도체층(135)의 일부와 접촉된 소스 전극(171, 172) 및 드레인 전극(173, 174)이 형성된다. 소스 전극(171, 172) 및 드레인 전극(173, 174)은 서로 이격 배치된다.
- [0127] 소스 전극 및 드레인 전극은 제1 박막 트랜지스터(10)에 사용되는 제1 소스 전극(171) 및 제1 드레인 전극(173)과 제2 박막 트랜지스터(20)에 사용되는 제2 소스 전극(172) 및 제2 드레인 전극(174)을 포함한다.
- [0128] 제1 박막 트랜지스터(10)는 다결정 반도체층(330)의 제1 결정 영역(331)을 적어도 일부 사용하여 상대적으로 높은 전류 구동 능력을 가질 수 있다. 그리고 제2 박막 트랜지스터(20)는 다결정 반도체층(330)의 제2 결정 영역(332)을 사용한다. 이에, 제2 박막 트랜지스터(20)는 상대적으로 낮은 누설 전류를 갖는다.
- [0129] 하지만, 제1 박막 트랜지스터(10)의 제1 게이트 전극(351)의 적어도 일부를 다결정 반도체층(330)의 제2 결정 영역(332)과 중첩시킴으로써, 제1 박막 트랜지스터(10)의 누설 전류도 다소 감소시킬 수 있다.

- [0130] 이와 같이, 하나의 박막 트랜지스터(10)에 사용된 다결정 반도체층(330)을 부위에 따라 다른 방법으로 결정화할 수도 있다.
- [0131] 이와 같은 구성에 의하여, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(103)는 하나의 화소 영역(PE)(도 2에 도시)에 용도에 따라 서로 다른 방법으로 결정화된 복수의 결정 영역들(331, 332)을 갖는 다결정 반도체층(330)을 형성할 수 있다. 그리고 이러한 다결정 반도체층(330)을 이용하여 하나의 화소 영역(PE)에 서로 다른 특성을 갖는 복수의 박막 트랜지스터들(10, 20)을 형성할 수 있다.
- [0132] 이하, 도 18 내지 도 21을 참조하여 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(103)의 제조 방법을 설명한다.
- [0133] 먼저, 도 18에 도시한 바와 같이, 기판 본체(111) 상에 버퍼층(320)을 형성한다. 그리고 버퍼층(320) 위에 제1 게이트 전극(351)과 제2 게이트 전극(352)을 형성한다.
- [0134] 다음, 제1 게이트 전극(351) 및 제2 게이트 전극(352)을 덮는 절연층(3400)을 형성한다. 절연층(3400)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소, 산화규소, 및 질산화규소 중 하나 이상을 포함한다.
- [0135] 그리고 절연층(3400)의 위에 니켈(Ni) 등과 같은 금속 촉매(MC)를 뿌린다. 이때, 금속 촉매(MC)는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈(dose)량으로 뿌려진다. 즉, 금속 촉매(MC)는 가장 작게는 분자 단위로 절연층 위에 미량 뿌려진다.
- [0136] 다음, 도 19에 도시한 바와 같이, 금속 촉매(MC)가 뿌려진 절연층(3400) 위에 감광성 유기막(500)을 도포한 후, 마스크(600)를 사용하여 노광 공정을 수행한다. 여기서, 마스크(600)는 차광부(601)와 투광부(602)를 갖는다.
- [0137] 다음, 도 20에 도시한 바와 같이, 노광된 감광성 유기막(500)을 현상하여 감광막 패턴(501)을 형성한다. 그리고 감광막 패턴(501)을 사용하여 금속 촉매(MC)가 뿌려진 절연층(3400)을 일부 식각하여, 도 21에 도시한 바와 같은, 절연층 패턴(340)을 형성한다. 절연층 패턴(340)은 제1 두께부(341)와, 제1 두께부(341)보다 상대적으로 얇은 두께를 갖는 제2 두께부(342)를 포함한다. 이때, 절연층 패턴(340)의 제1 두께부(341)는 금속 촉매(MC)가 뿌려진 표층을 그대로 가지며, 절연층 패턴(340)의 제2 두께부(342)는 금속 촉매(MC)가 뿌려진 표층을 잃는다.
- [0138] 다음, 도 22에 도시한 바와 같이, 절연층 패턴(340) 위에 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 반도체층(330)을 형성한다.
- [0139] 다결정 반도체층(330)은 절연층 패턴(340)의 제1 두께부(341) 및 제1 두께부(341) 주변의 제2 두께부(342)에 대응하는 제1 결정 영역(331)과, 절연층 패턴(340)의 나머지 제2 두께부(342)에 대응하는 제2 결정 영역(332)으로 구분된다. 여기서, 제1 결정 영역(331)은 금속 촉매(MC)를 통해 결정화되고, 제2 결정 영역(332)은 고상 결정화된다. 구체적으로, 본 발명의 제3 실시예에 따른 절연층 패턴(340) 위에 형성된 비정질 실리콘층을 열처리하면, 절연층 패턴(340)의 제1 두께부(341) 위에 뿌려진 금속 촉매(MC)가 작용하여 결정이 성장된다. 그리고, 절연층 패턴(340)의 제1 두께부(341)로부터 일정 거리 이상 이격되어 금속 촉매(MC)의 작용을 받지 않은 나머지 비정질 실리콘층은 열에 의해 고상 결정화된다.
- [0140] 이때, 제1 게이트 전극(351)의 적어도 일부는 다결정 반도체층(330)의 제2 결정 영역(332)과 중첩될 수 있다.
- [0141] 다음, 앞서 도 17에 도시한 바와 같이, 소스 전극(171, 172) 및 드레인 전극(173, 174)을 형성하여, 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)를 형성한다.
- [0142] 이상과 같은 제조 방법을 통하여, 본 발명의 제3 실시예에 따른 유기 발광 표시 장치(103)를 제조할 수 있다. 즉, 서로 다른 특성을 갖는 제1 박막 트랜지스터(10) 및 제2 박막 트랜지스터(20)를 하나의 화소 영역에 동시에 효과적으로 형성할 수 있다.
- [0143] 이하, 도 23을 참조하여 본 발명의 제4 실시예에 따른 유기 발광 표시 장치(104)를 설명한다.
- [0144] 도 23에 도시한 바와 같이, 본 발명의 제4 실시예에 따른 유기 발광 표시 장치(104)는 절연층 패턴(440)이 제1 두께부(441), 경사 두께부(442), 및 제2 두께부(443)를 포함하는 점을 제외하면 제3 실시예와 동일하다.
- [0145] 제1 두께부(441)는 상대적으로 가장 두꺼운 부분이며, 제2 두께부(443)는 상대적으로 가장 얇은 부분이다. 그리고 경사 두께부(442)는 제1 두께부(441)부터 제2 두께부(443)까지 두께가 점진적으로 감소되는 부분이다. 즉, 경사 두께부(442)는 경사진 단면을 갖는다.

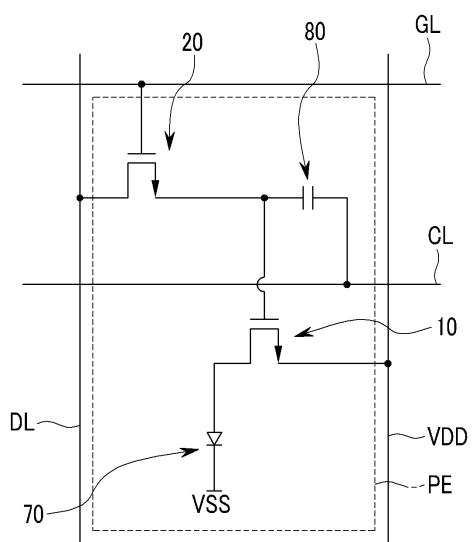
- [0146] 또한, 경사 두께부(442)의 일부 및 제1 두께부(441) 위에는 니켈(Ni) 등과 같은 금속 촉매(MC)가 뿌려진다. 이때, 금속 촉매(MC)는 1.0×10^{10} atoms/cm² 내지 1.0×10^{14} atoms/cm² 범위 내의 도즈량으로 뿌려진다. 즉, 금속 촉매(MC)는 가장 작게는 분자 단위로 절연층 패턴(440)의 제1 두께부(441) 및 경사 두께부(442)의 일부에 미량 뿌려진다. 경사 두께부(442)는 두께가 얇아질수록 표층에 뿌려진 금속 촉매(MC)의 농도가 점차 감소되다가, 제2 두께부(443)와 근접하는 일정 두께 이하가되면 표층에 금속 촉매(MC)가 실질적으로 존재하지 않게 된다.
- [0147] 절연층 패턴(440) 위에 형성된 다결정 반도체층(330)은 제1 결정 영역(331)과 제2 결정 영역(332)으로 구분된다. 제1 결정 영역(331)은 절연층 패턴(440)의 제1 두께부(441) 및 경사 두께부(442), 그리고 이들 주변의 제2 두께부(443)에 대응한다. 제1 결정 영역(331)은 절연층 패턴(440)의 제1 두께부(441) 및 경사 두께부(442)에 뿌려진 금속 촉매(MC)를 통해 결정화된다. 반면, 제2 결정 영역(332)은 절연층 패턴(440)의 나머지 제2 두께부(442)에 대응한다. 제2 결정 영역(332)은 고상 결정화된다.
- [0148] 또한, 제1 결정 영역(331)의 성장은 절연층 패턴(440)의 경사 두께부(442)에 의해 제어된다. 구체적으로, 경사 두께부(442)의 경사가 완만할수록 제1 결정 영역(331)의 성장이 상대적으로 감소되고, 경사 두께부(442)의 경사가 급할수록 제1 결정 영역(331)의 성장이 상대적으로 확장된다. 따라서, 절연층 패턴(440)의 제1 두께부(441)를 기준으로 다결정 반도체층(330)의 제1 결정 영역(331)이 확장되는 것을 억제하고 싶은 방향이 있다면, 그 방향으로 경사가 완만하게 경사 두께부(442)를 형성하면 된다.
- [0149] 이와 같이 본 발명의 제4 실시예에 따르면, 하나의 화소 영역(PE)(도 2에 도시)과 같은 비교적 좁은 영역에서 다결정 반도체층(330)의 제1 결정 영역(331)의 성장을 효과적으로 정밀하게 제어할 수 있다.
- [0150] 이와 같은 구성에 의하여, 본 발명의 제4 실시예에 따른 유기 발광 표시 장치(104)는 하나의 화소 영역(PE)(도 2에 도시)에 용도에 따라 서로 다른 방법으로 결정화된 복수의 결정 영역들(331, 332)을 갖는 다결정 반도체층(330)을 형성할 수 있다. 그리고 이러한 다결정 반도체층(330)을 이용하여 하나의 화소 영역(PE)에 서로 다른 특성을 갖는 복수의 박막 트랜지스터들(10, 20)을 형성할 수 있다.
- [0151] 또한, 제1 결정 영역(331)의 성장을 정밀하게 제어할 수 있으므로, 하나의 박막 트랜지스터(10)에 사용된 다결정 반도체층(330)을 부위에 따라 다른 방법으로 효과적으로 결정화할 수 있다.
- [0152] 이하, 도 24 내지 도 27을 참조하여 본 발명의 제4 실시예에 따른 유기 발광 표시 장치(104)의 제조 방법을 설명한다.
- [0153] 먼저, 도 24에 도시한 바와 같이, 기판 본체(111) 상에 버퍼층(320), 제1 및 제2 게이트 전극(351, 352), 그리고 절연층(4400)을 차례로 형성한 후, 절연층(4400) 위에 니켈(Ni) 등과 같은 금속 촉매(MC)를 뿌린다.
- [0154] 다음, 금속 촉매(MC)가 뿌려진 절연층(3400) 위에 감광성 유기막(500)을 도포한 후, 마스크(600)를 사용하여 노광 공정을 수행한다. 여기서, 마스크(700)는 차광부(701)와 투광부(702)를 갖는다. 또한, 마스크(700)의 차광부(701)는 노광량을 점진적으로 조절할 수 있는 부분을 포함한다. 예를 들어, 마스크(700)는 이격 폭이 점진적으로 변화하는 슬릿 패턴을 가질 수 있다.
- [0155] 다음, 노광된 감광성 유기막(500)을 현상하여, 도 25에 도시한 바와 같은, 감광막 패턴(502)을 형성한다. 이때, 감광막 패턴(502)은 경사 구조로 형성된다.
- [0156] 다음, 경사 구조의 감광막 패턴(502)을 사용하여 금속 촉매(MC)가 뿌려진 절연층(4400)을 일부 식각한 후 잔존 감광막 패턴(502)을 제거하면, 도 26에 도시한 바와 같은, 절연층 패턴(440)이 형성된다. 구체적으로, 절연층 패턴(440)은 상대적으로 가장 두꺼운 제1 두께부(441)와, 상대적으로 가장 얇은 제2 두께부(443), 그리고 제1 두께부(441)부터 제2 두께부(443)까지 두께가 점진적으로 감소하는 경사 두께부(442)를 포함한다. 이때, 절연층 패턴(440)의 제1 두께부(441)는 금속 촉매(MC)가 뿌려진 표층을 그대로 가지며, 절연층 패턴(440)의 제2 두께부(443)는 금속 촉매(MC)가 뿌려진 표층을 잃는다. 또한, 경사 두께부(442)는 두께가 얇아질수록 표층에 뿌려진 금속 촉매(MC)의 농도가 점차 감소되다가, 제2 두께부(443)와 근접하는 일정 두께 이하가되면 표층에 금속 촉매(MC)가 실질적으로 존재하지 않게 된다.
- [0157] 다음, 도 27에 도시한 바와 같이, 절연층 패턴(340) 위에 비정질 실리콘층을 형성한 후, 이를 결정화하여 다결정 반도체층(330)을 형성한다.
- [0158] 다결정 반도체층(330)은 절연층 패턴(440)의 제1 두께부(441) 및 경사 두께부(442), 그리고 이들 주변의 제2 두께부(443)에 대응하는 제1 결정 영역(331)과, 절연층 패턴(440)의 나머지 제2 두께부(443)에 대응하는 제2 결정

도면

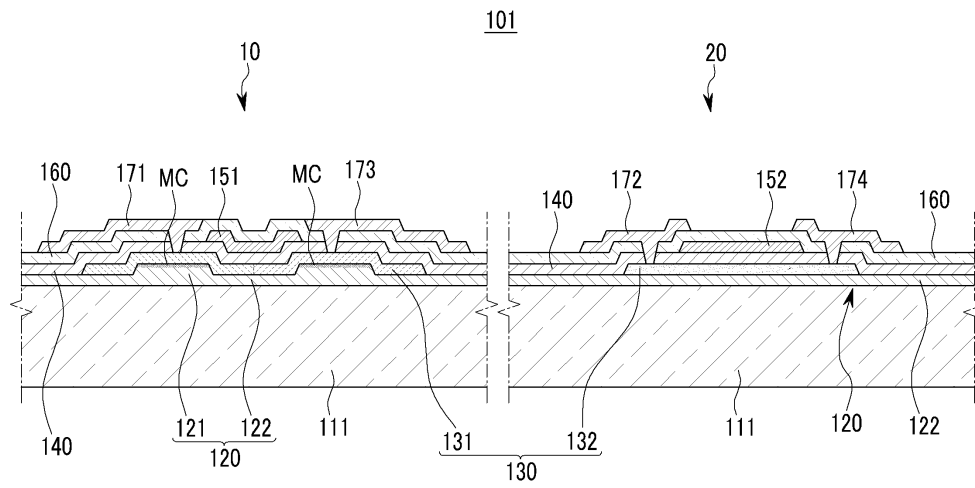
도면1



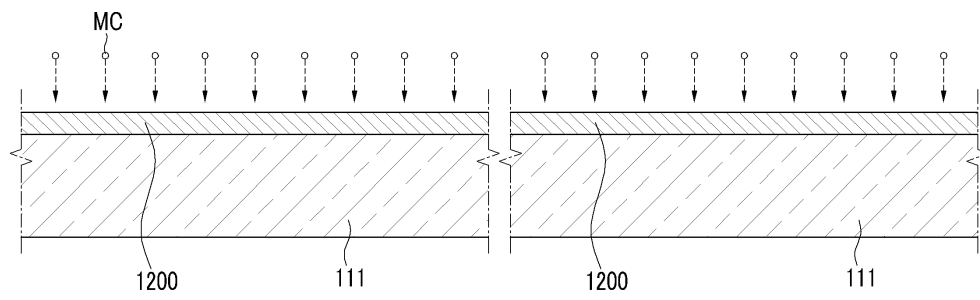
도면2



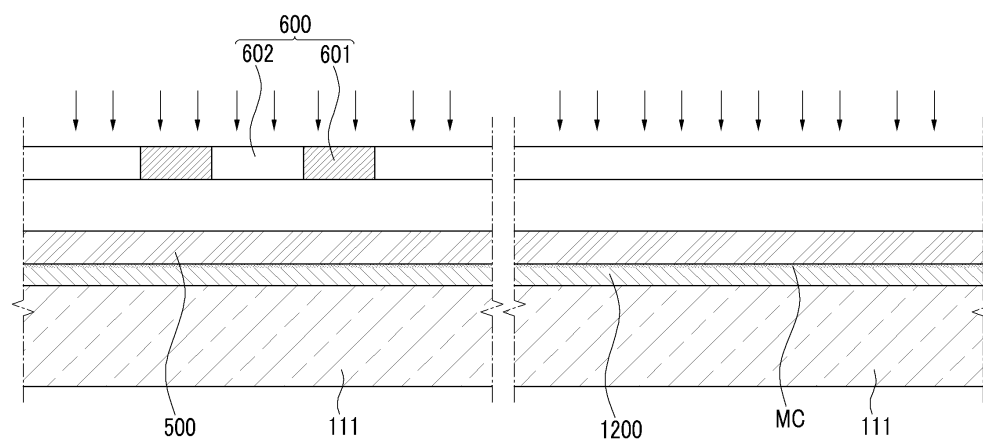
도면3



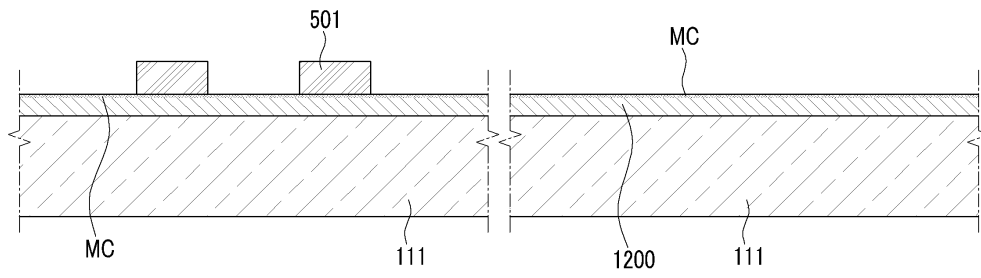
도면4



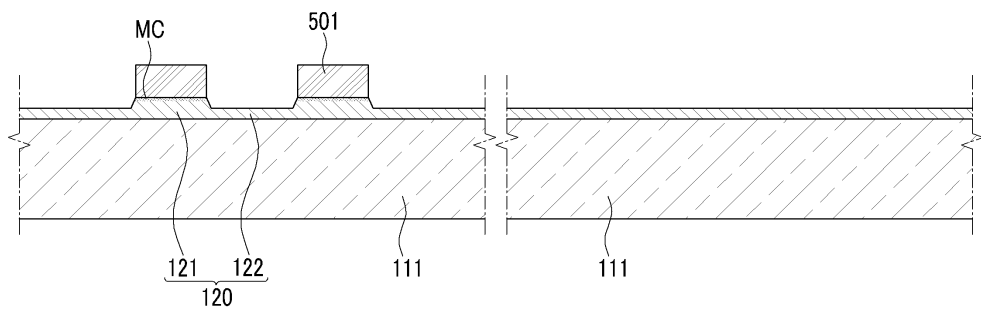
도면5



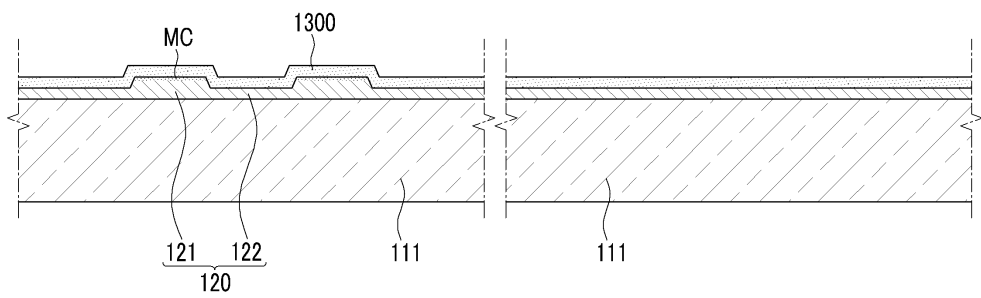
도면6



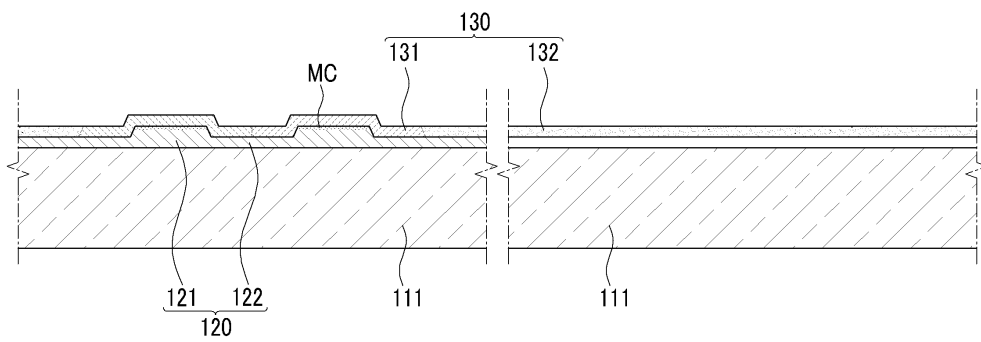
도면7



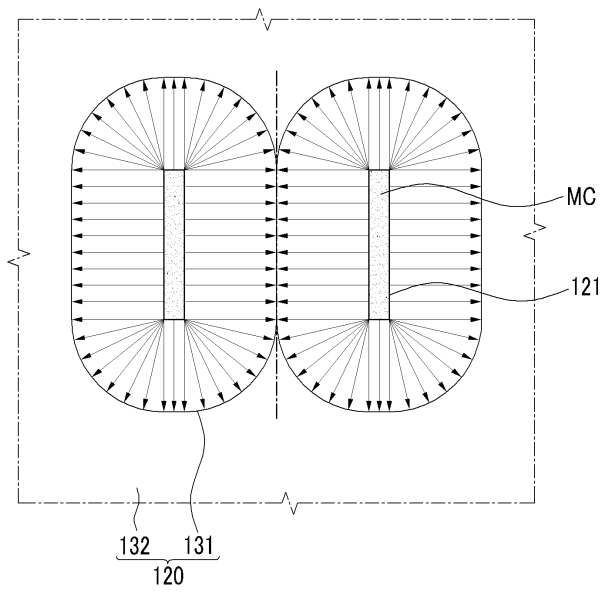
도면8



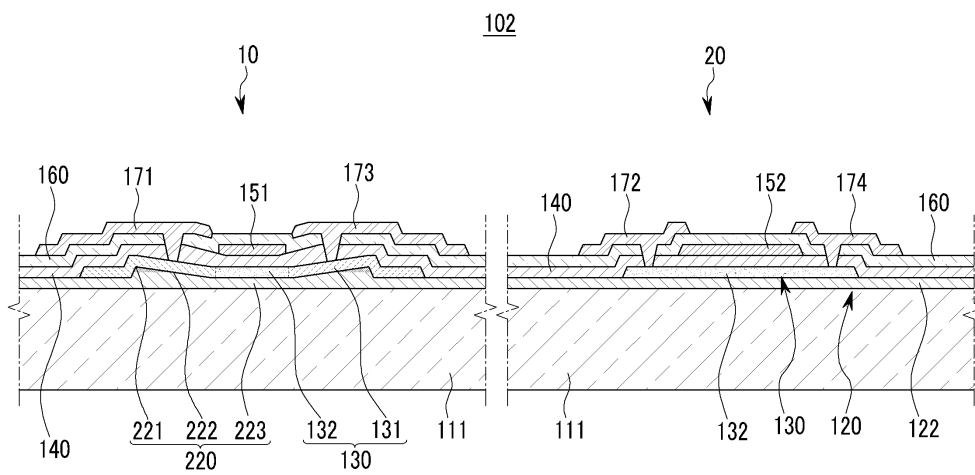
도면9



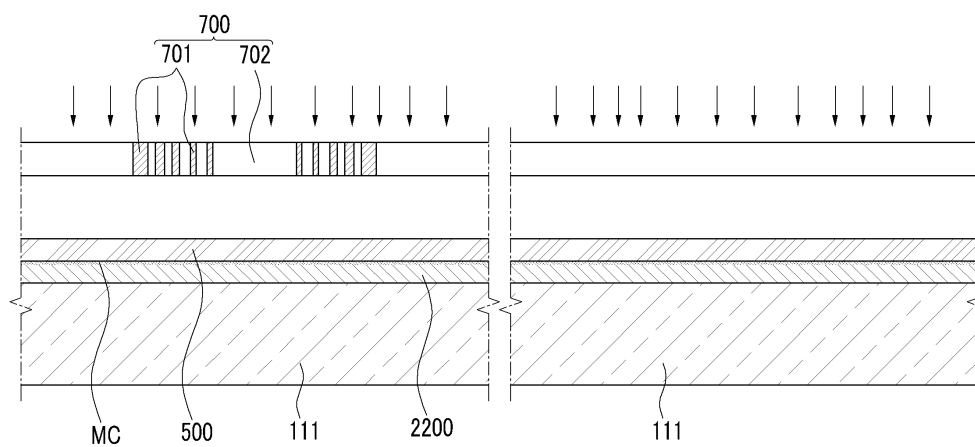
도면10



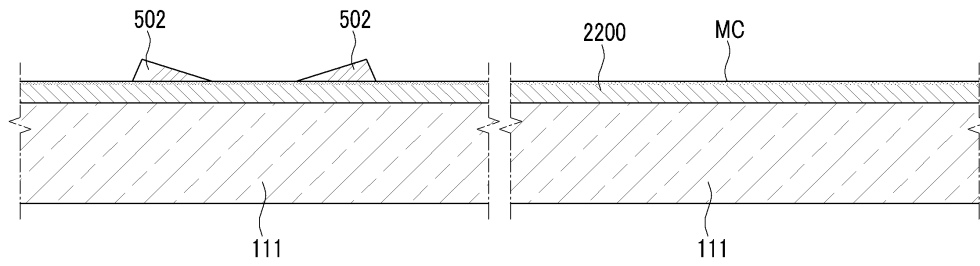
도면11



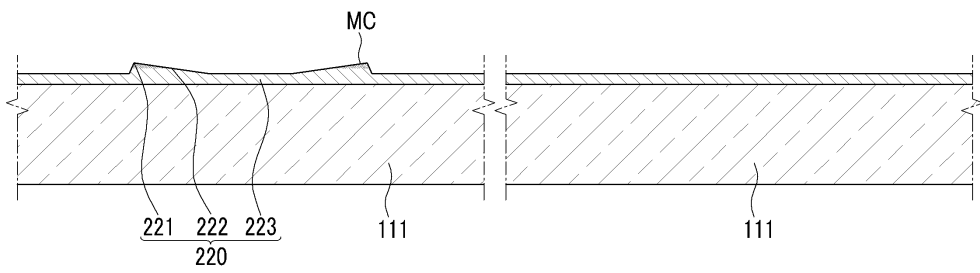
도면12



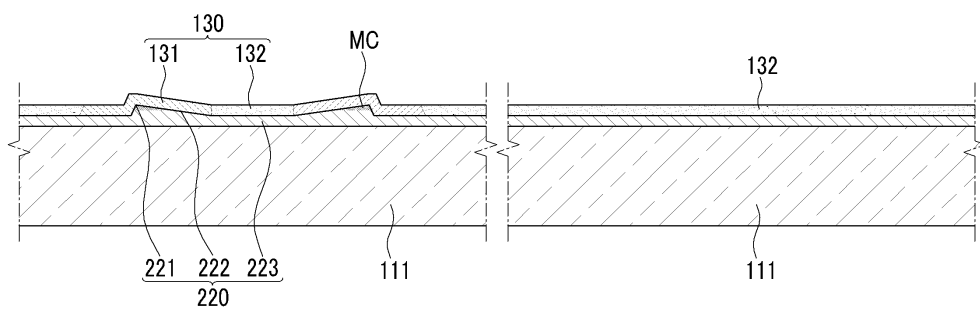
도면13



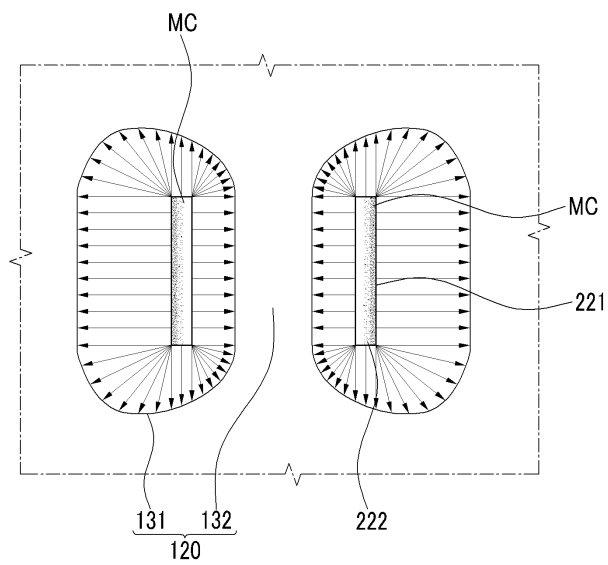
도면14



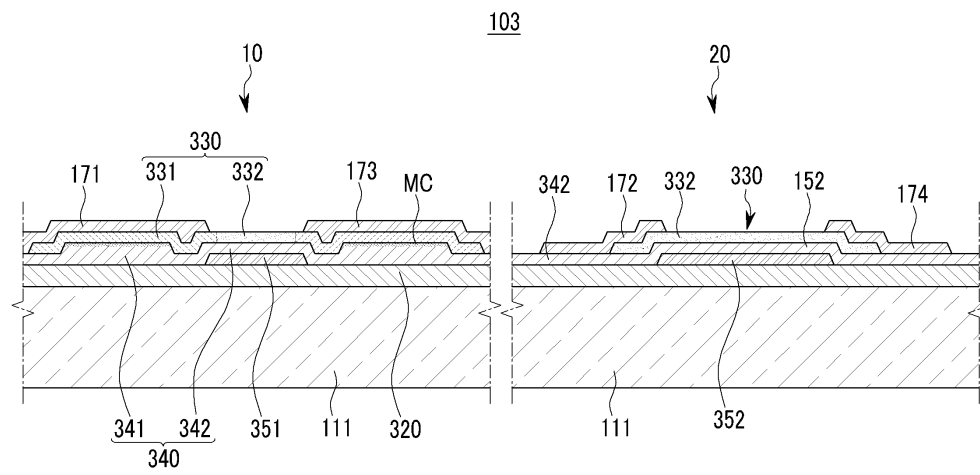
도면15



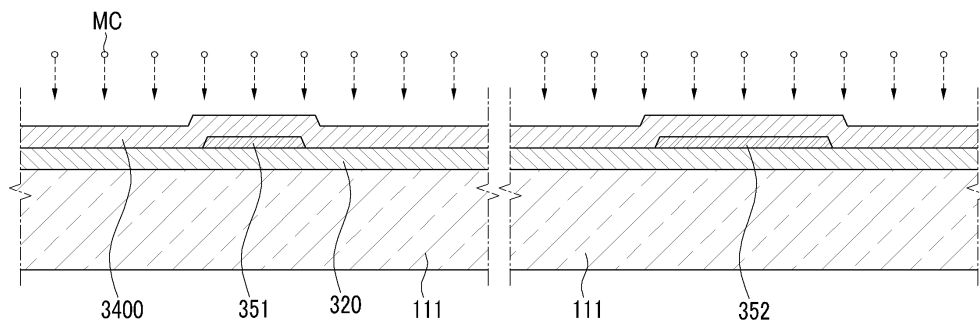
도면16



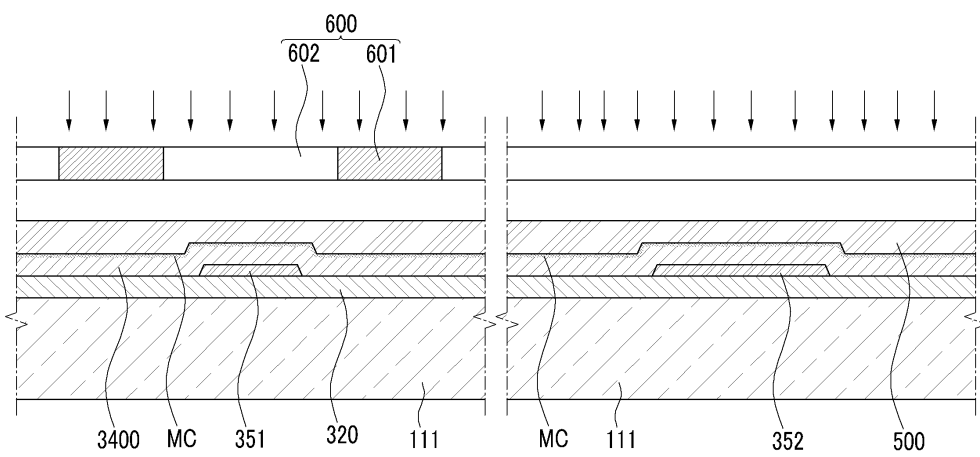
도면17



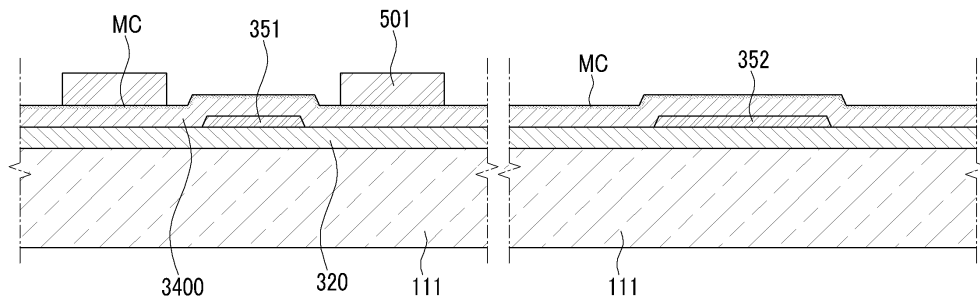
도면18



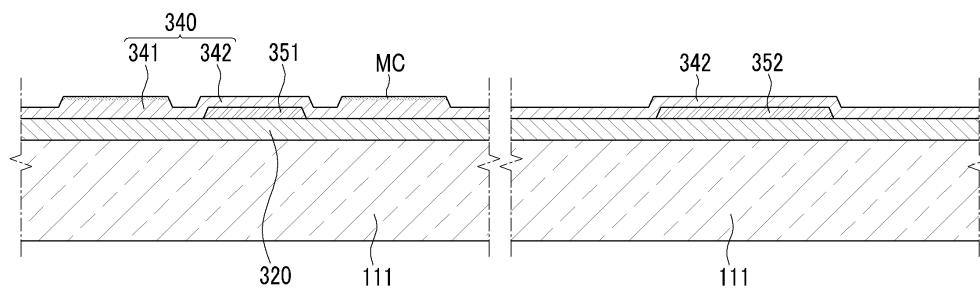
도면19



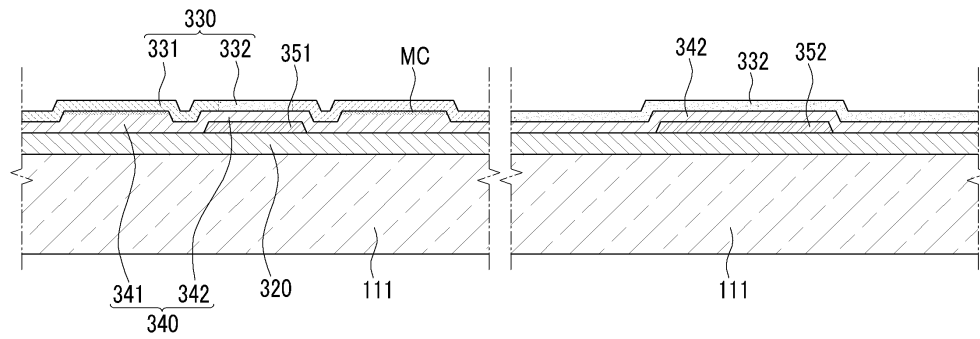
도면20



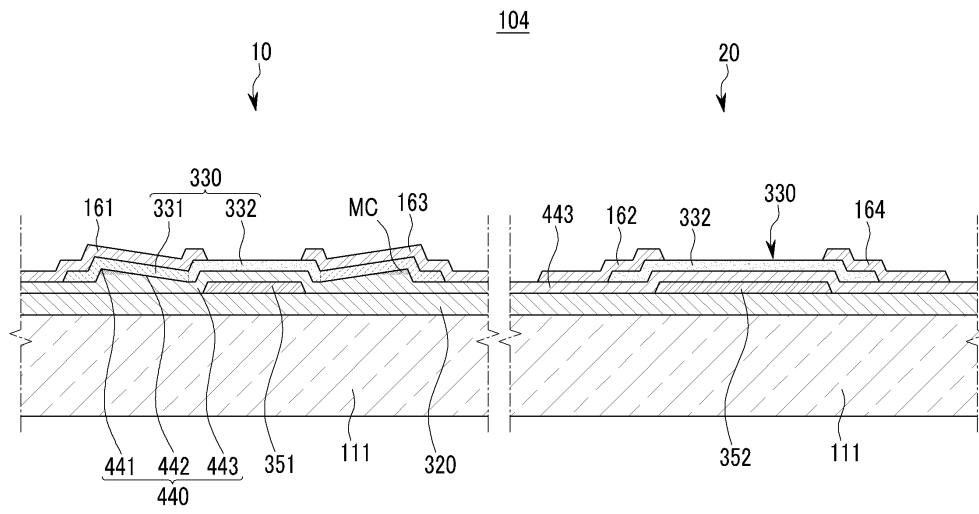
도면21



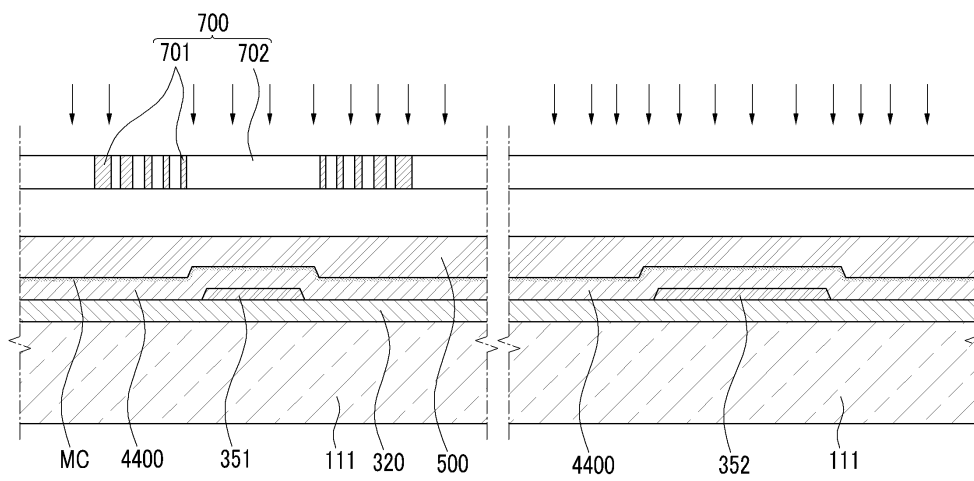
도면22



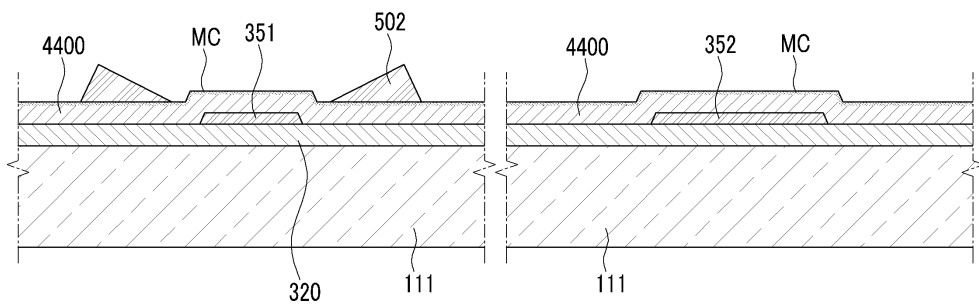
도면23



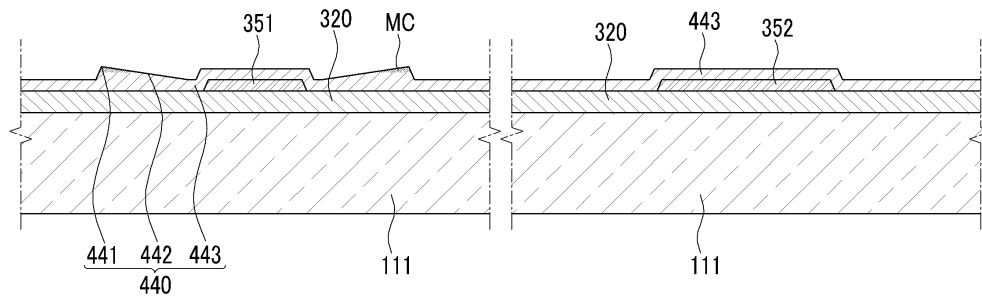
도면24



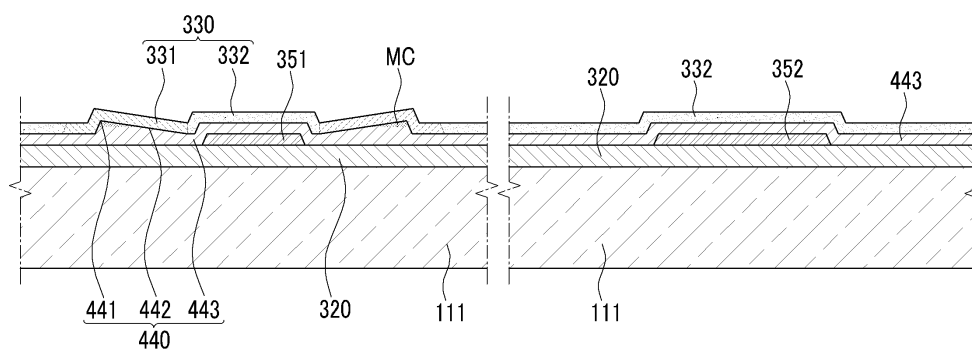
도면25



도면26



도면27



专利名称(译)	有机发光显示器及其制造方法		
公开(公告)号	KR1020110083337A	公开(公告)日	2011-07-20
申请号	KR1020100003515	申请日	2010-01-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三圣母工作显示有限公司		
当前申请(专利权)人(译)	三圣母工作显示有限公司		
[标]发明人	LEE WON KYU 이원규 YANG TAE HOON 양태훈 CHOI BOK YUNG 최보경 CHOO BYOUNG KWON 추병권 MOON SANG HO 문상호 CHO KYU SIK 조규식 PARK YONG HWAN 박용환 CHOI JOON HOO 최준후 SHIN MIN CHUL 신민철 LEE YUN GYU 이윤규		
发明人	이원규 양태훈 최보경 추병권 문상호 조규식 박용환 최준후 신민철 이윤규		
IPC分类号	H01L51/50 H01L29/786 H01L		
CPC分类号	H01L29/66742 H01L27/3262 H01L21/8234 H01L21/02595 H01L2227/323 H01L27/1218 H01L27/1251 H01L27/1214 H01L27/12 H01L27/1277 H01L27/1281 H01L27/1285 H01L21/2022 H01L21/2033 H05B33/10		
其他公开文献	KR101084242B1		
外部链接	Espacenet		
摘要(译)			

用途：提供一种有机发光二极管显示装置及其制造方法，通过绝缘层图案的倾斜厚度部分精确控制第一结晶区域的生长，从而有效地结晶一个结晶半导体层的一部分薄膜晶体管。组成：绝缘层图案（120）形成在基板主体（111）上。绝缘层图案包括第一厚度部分（121）和比第一厚度部分薄的第二厚度部分（122）。在绝缘层图案上形成多晶半导体层（130）。多晶半导体层分为第一结晶区（131）和第二结晶区（132）。第二结晶区域结晶成固相。

