

특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하며 외부회로기관과 연결되는 패드부;

상기 기관 상에 위치하며 상기 패드부로부터 연장된 연결배선;

상기 기관 상에 위치하며 복수의 서브 픽셀을 포함하는 표시부; 및

상기 표시부의 주변에 위치하며 상기 연결배선보다 고층에 형성된 전원배선을 포함하며,

상기 연결배선과 상기 전원배선은,

상기 연결배선과 상기 전원배선 사이에 위치하며 서로 다른 층에 형성된 적어도 두 개의 전극 간의 접촉을 통해 상호 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 두 개의 전극은,

상기 연결배선보다 상부에 형성되며 상기 연결배선에 연결된 투명전극과,

상기 투명전극보다 하부에 형성되고 상기 투명전극과 접촉하며 상기 전원배선에 연결된 금속전극을 포함하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 연결배선 상에는 상기 연결배선의 일부를 노출하는 제1절연막과, 상기 제1절연막 상에 위치하며 상기 연결배선과 이격 위치하는 상기 금속전극과, 상기 금속전극 상에 위치하며 상기 연결배선의 일부를 노출함과 아울러 상기 금속전극의 일부를 관통하여 상기 제1절연막을 노출하는 제2절연막과, 상기 제2절연막 상에 위치하며 노출된 상기 연결배선과 접촉하고 노출된 상기 금속전극과 접촉하는 상기 투명전극과, 상기 투명전극 상에 위치하며 상기 금속전극의 다른 일부를 노출하는 제3절연막과, 상기 제3절연막 상에 위치하며 노출된 상기 금속전극과 접촉하는 상기 전원배선을 포함하는 유기전계발광표시장치.

청구항 4

제2항에 있어서,

상기 연결배선은,

상기 서브 픽셀에 포함된 트랜지스터의 게이트 재료로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제2항에 있어서,

상기 투명전극은,

상기 서브 픽셀에 포함된 유기 발광다이오드의 애노드 재료로 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제2항에 있어서,

상기 금속전극은,

상기 서브 픽셀에 포함된 트랜지스터의 소오스 드레인 재료로 형성된 것을 특징으로 하는

유기전계발광표시장치.

청구항 7

제2항에 있어서,

상기 전원배선은,

상기 표시부를 둘러싸도록 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 금속전극은,

상기 표시부의 좌측과 우측면의 길이방향으로 연장되도록

상기 표시부의 좌측과 우측으로 길게 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제7항에 있어서,

상기 금속전극은,

상기 표시부의 좌측과 우측면의 일부 영역에 위치하도록

상기 표시부의 좌측과 우측에 형성된 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제7항에 있어서,

상기 금속전극은,

상기 표시부의 삼면의 길이방향으로 연장되고 상기 패드부가 위치하는 영역을 개방하도록

상기 표시부의 좌측, 우측 및 상측에 형성된 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명의 실시예는 유기전계발광표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기관 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자였다.

[0003] 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0004] 유기전계발광표시장치는 기관 상에 정의된 표시부 상에 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함할 수 있다. 표시부에 배치된 복수의 서브 픽셀은 스캔 신호, 데이터 신호 및 전원 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있다.

[0005] 표시부에 배치된 서브 픽셀은 스캔배선에 연결된 스캔구동부로부터 스캔 신호를 공급받고, 데이터배선에 연결된 데이터구동부로부터 데이터 신호를 공급받으며, 전원배선에 연결된 전원부로부터 전원을 공급받는다.

[0006] 기관 상에는 외부회로기관으로부터 각종 신호 및 전원을 공급받을 수 있도록 외부회로기관과 연결되는 패드부가

형성된다. 서브 픽셀에 공급되는 전원은 패드부로부터 연장된 연결배선과 연결된 전원배선을 통해 전달된다. 종래 유기전계발광표시장치의 경우 연결배선과 전원배선이 상호 전기적으로 연결되는 영역에서 부식이 발생하거나 발열에 의한 콘택부 들뜸 현상이 발생하는 문제가 있어 이의 개선이 요구된다.

발명의 내용

해결 하고자하는 과제

- [0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 전원배선의 연결구조를 변경하여 부식이나 지속적인 구동에 의한 발열로 전원배선의 일부 영역에 콘택 불량이나 발생하는 문제를 해결함과 아울러 저항이 증가하는 문제를 해결할 수 있는 유기전계발광표시장치를 제공하여 패널의 휘도를 향상시키는 것이다.

과제 해결수단

- [0008] 상술한 과제 해결 수단으로 본 발명의 실시예는, 기관; 기관 상에 위치하며 외부회로기관과 연결되는 패드부; 기관 상에 위치하며 패드부로부터 연장된 연결배선; 기관 상에 위치하며 복수의 서브 픽셀을 포함하는 표시부; 및 표시부의 주변에 위치하며 연결배선보다 고층에 형성된 전원배선을 포함하며, 연결배선과 전원배선은, 연결배선과 전원배선 사이에 위치하며 서로 다른 층에 형성된 적어도 두 개의 전극 간의 접촉을 통해 상호 전기적으로 연결되는 것을 특징으로 하는 유기전계발광표시장치를 제공한다.
- [0009] 두 개의 전극은, 연결배선보다 상부에 형성되며 연결배선에 연결된 투명전극과, 투명전극보다 하부에 형성되고 투명전극과 접촉하며 전원배선에 연결된 금속전극을 포함할 수 있다.
- [0010] 연결배선 상에는 연결배선의 일부를 노출하는 제1절연막과, 제1절연막 상에 위치하며 연결배선과 이격 위치하는 금속전극과, 금속전극 상에 위치하며 연결배선의 일부를 노출함과 아울러 금속전극의 일부를 관통하여 제1절연막을 노출하는 제2절연막과, 제2절연막 상에 위치하며 노출된 연결배선과 접촉하고 노출된 금속전극과 접촉하는 투명전극과, 투명전극 상에 위치하며 금속전극의 다른 일부를 노출하는 제3절연막과, 제3절연막 상에 위치하며 노출된 금속전극과 접촉하는 전원배선을 포함할 수 있다.
- [0011] 연결배선은, 서브 픽셀에 포함된 트랜지스터의 게이트 재료로 형성될 수 있다.
- [0012] 투명전극은, 서브 픽셀에 포함된 유기 발광다이오드의 애노드 재료로 형성될 수 있다.
- [0013] 금속전극은, 서브 픽셀에 포함된 트랜지스터의 소오스 드레인 재료로 형성될 수 있다.
- [0014] 전원배선은, 표시부를 둘러싸도록 형성될 수 있다.
- [0015] 금속전극은, 표시부의 좌측과 우측면의 길이방향으로 연장되도록 표시부의 좌측과 우측으로 길게 형성될 수 있다.
- [0016] 금속전극은, 표시부의 좌측과 우측면의 일부 영역에 위치하도록 표시부의 좌측과 우측에 형성될 수 있다.
- [0017] 금속전극은, 표시부의 삼면의 길이방향으로 연장되고 패드부가 위치하는 영역을 개방하도록 표시부의 좌측, 우측 및 상측에 형성될 수 있다.

효 과

- [0018] 본 발명의 실시예는, 부식이나 지속적인 구동에 의한 발열로 전원배선의 일부 영역에 콘택 불량이나 발생하는 문제를 해결함과 아울러 저항이 증가하는 문제를 해결하여 패널의 휘도를 향상시킬 수 있는 유기전계발광표시장치를 제공하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

- [0020] <제1실시예>
- [0021] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 평면도이다.
- [0022] 도 1을 참조하면, 본 발명의 제1실시예에 따른 유기전계발광표시장치는 기판(110), 패드부(170), 연결배선(171), 표시부(AA), 전원배선(181) 및 구동부(160)를 포함할 수 있다.
- [0023] 기판(110)은 투광성 또는 비투광성 재료로 형성될 수 있다. 기판(110)의 재료로는 유리, 금속, 세라믹 또는 플라스틱(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 예로 들 수 있다. 도시되어 있진 않지만, 기판(110) 상에 위치하는 표시부(AA)는 기판(110)과 대향하도록 배치된 밀봉기판에 의해 밀봉될 수 있다.
- [0024] 표시부(AA)는 기판(110) 상에 위치하며 복수의 서브 픽셀(SP)을 포함할 수 있다. 복수의 서브 픽셀(SP)은 표시부(AA) 내에 매트릭스 형태로 위치할 수 있다. 여기서, 서브 픽셀(SP)은 구동방식에 따라 능동매트릭스형과 수동매트릭스형으로 형성될 수 있다. 서브 픽셀(SP)이 능동매트릭스형인 경우 기판(110) 상에 형성된 트랜지스터와, 트랜지스터 상에 위치하는 유기 발광다이오드를 포함할 수 있다. 이와 달리, 수동매트릭스형인 경우 트랜지스터를 제외한 유기 발광다이오드를 포함할 수 있다. 서브 픽셀(SP)의 구조는 이하 도면을 참조하여 더욱 자세히 설명한다.
- [0025] 구동부(160)는 표시부(AA)에 포함된 복수의 서브 픽셀(SP)에 데이터신호와 스캔신호를 공급하는 데이터구동부와 스캔구동부를 포함할 수 있다. 데이터구동부는 외부로부터 수평 동기 신호 및 영상 데이터신호를 공급받고 수평 동기 신호를 참조하여 데이터신호 등을 생성할 수 있다. 그리고 스캔구동부는 외부로부터 수직 동기 신호를 공급받고 수직 동기 신호를 참조하여 복수의 서브 픽셀(SP)에 공급할 스캔신호 및 제어신호 등을 생성할 수 있다. 여기서, 구동부(160)에 포함된 데이터구동부와 스캔구동부는 기판(110) 상에 각각 구분되어 위치할 수도 있다.
- [0026] 패드부(170)는 기판(110) 상에 위치하며 미도시된 외부회로기판과 연결된다. 패드부(170)는 기판(110) 상에 위치하는 표시부(AA) 및 구동부(160) 등에 연결되는 복수의 배선들에 연결된다.
- [0027] 연결배선(171)은 기판(110) 상에 위치하며 패드부(170)로부터 연장되고 전원배선(181)에 연결된다. 연결배선(171)과 전원배선(181)은 동일한 전원을 전달하는 동일한 배선이다. 전원배선(181)은 표시부(AA)의 주변에 위치하며 연결배선(171)보다 고층에 형성된다. 여기서, 연결배선(171)과 전원배선(181)은 연결배선(171)과 전원배선(181) 사이에 위치하며 서로 다른 층에 형성된 적어도 두 개의 전극 간의 접촉을 통해 상호 전기적으로 연결된다. 연결배선(171)과 전원배선(181) 간의 연결 구조는 이하 도면을 참조하여 더욱 자세히 설명한다.
- [0028] 이하, 도 2를 참조하여 서브 픽셀의 구조에 대해 설명한다.
- [0029] 도 2는 도 1의 A-A영역의 단면 예시도이다.
- [0030] 도 2를 참조하면, 기판(110) 상에는 구동 트랜지스터의 게이트(111a)와 스위칭 트랜지스터의 게이트(111b)가 위치할 수 있다. 각각의 게이트(111a, 111b)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 게이트(111a, 111b)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(111a, 111b)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0031] 구동 트랜지스터의 게이트(111a)와 스위칭 트랜지스터의 게이트(111b) 상에는 제1절연막(112)이 위치할 수 있다. 제1절연막(112)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- [0032] 제1절연막(112) 상에는 구동 트랜지스터의 액티브층(113a)과, 스위칭 트랜지스터의 액티브층(113b)이 위치할 수 있다. 각각의 액티브층(113a, 113b)은 비정질 실리콘 또는 이를 결정화한 다결정 실리콘을 포함할 수 있다. 여기서 도시하지는 않았지만, 액티브층(113a, 113b)은 채널 영역, 소오스 영역 및 드레인 영역을 포함할 수 있으며, 소오스 영역 및 드레인 영역에는 P형 또는 N형 불순물이 도핑될 수 있다. 또한, 액티브층(113a, 113b)은 접촉 저항을 낮추기 위한 오믹 콘택층을 포함할 수도 있다.
- [0033] 제1절연막(112) 상에는 구동 트랜지스터의 액티브층(113a)에 접촉하는 소오스 드레인(114a, 114b)과, 스위칭 트랜지스터의 액티브층(113b)에 접촉하는 소오스 드레인(114c, 114d)이 위치할 수 있다. 각각의 소오스 드레인

(114a .. 114d)은 단일층 또는 다중층으로 이루어질 수 있다. 소오스 드레인(114a .. 114d)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 이와 달리, 소오스 드레인(114a .. 114d)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

- [0034] 소오스 드레인(114a .. 114d) 상에는 제2절연막(115a)이 위치할 수 있다. 제2절연막(115a)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- [0035] 제2절연막(115a) 상에는 구동 트랜지스터의 게이트(111a)와 스위칭 트랜지스터의 소오스 드레인(114a, 114b) 중 하나에 접촉하는 연결부(116)가 위치할 수 있다.
- [0036] 제2절연막(115a) 상에는 평탄도를 높이기 위한 제3절연막(115b)이 위치할 수 있다. 제3절연막(115b)은 폴리이미드 등의 유기물을 포함할 수 있다.
- [0037] 제3절연막(115b) 상에는 제4절연막(117)이 위치할 수 있다. 제4절연막(117)은 실리콘 질화물(SiN_x) 등으로 형성된 버퍼층일 수 있다.
- [0038] 이상은 기판(110) 상에 형성된 트랜지스터가 바텀 게이트형인 것을 일례로 설명하였다. 그러나, 기판(110) 상에 형성되는 트랜지스터는 바텀 게이트형뿐만 아니라 탑 게이트형으로도 형성될 수 있다.
- [0039] 제4절연막(117) 상에는 구동 트랜지스터의 소오스 드레인(114a, 114b)에 연결된 하부전극(118)이 위치할 수 있다. 하부전극(118)은 애노드 또는 캐소드로 선택될 수 있다. 하부전극(118)이 캐소드로 선택된 경우, 캐소드의 재료로는 알루미늄(Al), 알루미늄 합금(Al alloy), 알루미늄-네오디뮴(AlNd) 중 어느 하나로 형성될 수 있으나 이에 한정되지 않는다. 이와 같이, 하부전극(118)이 캐소드로 선택된 경우, 캐소드의 재료로는 반사도가 높은 재료로 형성하는 것이 유리하다.
- [0040] 하부전극(118) 상에는 하부전극(118)의 일부를 노출하는 개구부를 갖는 बैं크층(119)이 위치할 수 있다. बैं크층(119)은 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 아크릴계 수지 또는 폴리이미드 수지 등의 유기물을 포함할 수 있다.
- [0041] 하부전극(118) 상에는 유기 발광층(121)이 위치할 수 있다. 유기 발광층(120)은 서브 픽셀에 따라 적색, 녹색 및 청색 중 어느 하나의 색을 발광하도록 형성될 수 있다.
- [0042] 유기 발광층(121) 상에는 상부전극(122)이 위치할 수 있다. 상부전극(122)은 캐소드 또는 애노드로 선택될 수 있다. 상부전극(122)이 애노드로 선택된 경우, 애노드의 재료로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), AZO(ZnO doped Al₂O₃) 중 어느 하나로 형성될 수 있으나 이에 한정되지 않는다.
- [0043] 이하, 도 3을 참조하여 유기 발광층(121)을 포함하는 유기 발광다이오드에 대해 더욱 자세히 설명한다.
- [0044] 도 3은 유기 발광다이오드의 계층 구조 예시도 이다.
- [0045] 도 3에 도시된 바와 같이, 유기 발광다이오드가 인버티드(Inverted)형 구조인 경우, 유기 발광다이오드는 하부전극(118), 전자주입층(121a), 전자수송층(121b), 발광층(121c), 정공수송층(121d), 정공주입층(121e) 및 상부전극(122)을 포함할 수 있다.
- [0046] 전자주입층(121a)은 전자의 주입을 원활하게 하는 역할을 하며, Alq₃(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BAlq 또는 SALq를 사용할 수 있으나 이에 한정되지 않는다.
- [0047] 전자수송층(121b)은 전자의 수송을 원활하게 하는 역할을 하며, Alq₃(tris(8-hydroxyquinolino)aluminum), PBD, TAZ, spiro-PBD, BAlq 및 SALq로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.
- [0048] 발광층(121c)은 적색, 녹색, 청색 및 백색을 발광하는 물질을 포함할 수 있으며, 인광 또는 형광물질을 이용하여 형성할 수 있다.
- [0049] 발광층(121c)이 적색인 경우, CBP(carbazole biphenyl) 또는 mCP(1,3-bis(carbazol-9-yl))를 포함하는 호스트 물질을 포함하며, PIQIr(acac)(bis(1-phenylisoquinoline)acetylacetonate iridium), PQIr(acac)(bis(1-

phenylquinoline)acetylacetonate iridium), PQIr(tris(1-phenylquinoline)iridium) 및 PtOEP(octaethylporphyrin platinum)로 이루어진 군에서 선택된 어느 하나 이상을 포함하는 도펀트를 포함하는 인광물질로 이루어질 수 있고, 이와는 달리 PBD:Eu(DBM)3(Phen) 또는 Perylene을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0050] 발광층(121c)이 녹색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, Ir(ppy)3(fac tris(2-phenylpyridine)iridium)을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있고, 이와는 달리, Alq3(tris(8-hydroxyquinolino)aluminum)을 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0051] 발광층(121c)이 청색인 경우, CBP 또는 mCP를 포함하는 호스트 물질을 포함하며, (4,6-F2ppy)2Irpic을 포함하는 도펀트 물질을 포함하는 인광물질로 이루어질 수 있다. 이와는 달리, spiro-DPVBi, spiro-6P, 디스틸벤젠(DSB), 디스틸아릴렌(DSA), PFO계 고분자 및 PPV계 고분자로 이루어진 군에서 선택된 어느 하나를 포함하는 형광물질로 이루어질 수 있으나 이에 한정되지 않는다.

[0052] 정공수송층(121d)은 정공의 수송을 원활하게 하는 역할을 하며, NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine), TPD(N,N'-bis-(3-methylphenyl)-N,N'-bis-(phenyl)-benzidine), s-TAD 및 MTDATA(4,4',4"-Tris(N-3-methylphenyl-N-phenyl-amino)-triphenylamine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0053] 정공주입층(121e)은 정공의 주입을 원활하게 하는 역할을 할 수 있으며, CuPc(copper phthalocyanine), PEDOT(poly(3,4-ethylenedioxythiophene)), PANI(polyaniline) 및 NPD(N,N-dinaphthyl-N,N'-diphenyl benzidine)로 이루어진 군에서 선택된 어느 하나 이상으로 이루어질 수 있으나 이에 한정되지 않는다.

[0054] 여기서, 본 발명의 실시예는 도 3에 한정되는 것은 아니며, 전자주입층(121a), 전자수송층(121b), 정공수송층(121d), 정공주입층(121e) 중 적어도 어느 하나가 생략될 수도 있다.

[0055] 이하, 도 4 및 도 5를 참조하여 연결배선과 전원배선 간의 연결관계에 대해 더욱 자세히 설명한다.

[0056] 도 4는 도 1의 B-B 영역의 단면 예시도 이고, 도 5는 도 1의 C 영역의 확대도 이다.

[0057] 도 4를 참조하면, 연결배선(171)과 전원배선(181)은 두 개의 전극(174, 173)에 의해 상호 연결됨을 알 수 있다. 두 개의 전극(174, 173) 중 하나는 연결배선(171)보다 상부에 형성되며 연결배선(171)에 연결된 투명전극(174)과, 투명전극(174)보다 하부에 형성되고 투명전극(174)과 접촉하며 전원배선(181)에 연결된 금속전극(173)을 포함할 수 있다.

[0058] 연결배선(171), 투명전극(174), 금속전극(173) 및 전원배선(181)의 연결 관계를 설명하면 다음과 같다.

[0059] 기관(110) 상에는 연결배선(171)이 위치한다. 그리고 연결배선(171) 상에는 연결배선(171)의 일부를 노출하는 제1절연막(112)이 위치한다. 그리고 제1절연막(112) 상에는 연결배선(171)과 이격하는 금속전극(173)이 위치한다. 그리고 금속전극(173) 상에는 연결배선(171)의 일부를 노출함과 아울러 금속전극(173)의 일부를 관통하여 제1절연막(112)을 노출하는 제2절연막(115)이 위치한다. 그리고 제2절연막(115) 상에는 노출된 연결배선(171)과 접촉하고 노출된 금속전극(173)과 접촉하는 투명전극(174)이 위치한다. 그리고 투명전극(174) 상에는 금속전극(173)의 다른 일부를 노출하는 제3절연막(117)이 위치한다. 그리고 제3절연막(117) 상에는 노출된 금속전극(173)과 접촉하는 전원배선(181)이 위치한다.

[0060] 도 5를 참조하면, 연결배선(171), 투명전극(174), 금속전극(173) 및 전원배선(181)이 도 4와 같은 구조로 형성될 때, 이들 상호 간의 연결을 하기 위해 제1절연막(112) 내지 제3절연막(117)에는 복수의 콘택홀(H)이 형성된다. 이와 같이 제1절연막(112) 내지 제3절연막(117)에 형성된 복수의 콘택홀(H)을 이용하면 이들 간의 접촉 특성을 향상시킬 수 있어 각층에 위치하는 구조물들 간의 박리 현상을 저지할 수 있다.

[0061] 한편, 기관(110) 상에 위치하는 전원배선(181)은 표시부(AA)를 둘러싸도록 형성될 수 있다. 그리고 금속전극(173)은 표시부(AA)의 좌측과 우측면의 길이방향으로 연장되도록 표시부(AA)의 좌측과 우측으로 길게 형성될 수 있다.

[0062] 또한, 별도의 공정을 추가하지 않고 서브 픽셀(SP)과 동일한 공정에 의해 연결배선(171)과 전원배선(181)을 상호 연결할 수 있도록 연결배선(171)은 서브 픽셀(SP)에 포함된 트랜지스터의 게이트 재료로 형성한다. 그리고 투명전극(174)은 서브 픽셀(SP)에 포함된 유기 발광다이오드의 애노드 재료로 형성한다. 그리고 금속전극(173)

은 서브 픽셀(SP)에 포함된 트랜지스터의 소오스 드레인 재료로 형성한다.

[0063] 이하, 도 6 내지 도 10을 참조하여 실시예에 따른 제조공정에 대해 설명한다.

[0064] 도 6 내지 도 10은 도 1의 B-B 영역의 공정 흐름을 설명하기 위한 도면이다.

[0065] 먼저, 도 6에 도시된 바와 같이, 기판(110) 상에 연결배선(171)을 형성하고, 연결배선(171) 상에 제1절연막(112)을 형성한 후 연결배선(171)의 일부가 노출되도록 패터닝한다. 연결배선(171)은 서브 픽셀(SP)에 포함된 트랜지스터의 게이트를 형성할 때 동일한 재료 예컨대 알루미늄(AlNd)으로 동시에 형성한다.

[0066] 다음, 도 7에 도시된 바와 같이, 제1절연막(112) 상에 금속전극(173)을 형성하고 금속전극(173) 상에 제2절연막(115)을 형성한 후 연결배선(171)의 일부가 노출되도록 패터닝하고, 금속전극(173)의 일부를 관통하여 제1절연막(112)이 노출되도록 패터닝한다. 도 6 및 도 7에서 제1절연막(112)과 제2절연막(115)의 패터닝은 각각 개별 공정이 아닌 동일한 공정에 의해 패터닝될 수도 있다. 금속전극(173)은 서브 픽셀(SP)에 포함된 트랜지스터의 소오스 드레인을 형성할 때 동일한 재료 예컨대 몰리브덴(Mo)으로 동시에 형성한다.

[0067] 다음, 도 8에 도시된 바와 같이, 노출된 연결배선(171)의 일부와 금속전극(173)의 일부에 접촉되도록 제2절연막(115) 상에 투명전극(174)을 형성한다. 투명전극(174)은 서브 픽셀(SP)에 포함된 연결부를 형성할 때 동일한 재료 예컨대, ITO로 동시에 형성한다.

[0068] 다음, 도 9에 도시된 바와 같이, 금속전극(173)의 다른 일부가 노출되도록 제2절연막(115) 상에 제3절연막(117)을 형성한다. 제3절연막(117)은 서브 픽셀(SP)에 포함된 버퍼층을 형성할 때 동일한 재료 예컨대 실리콘 질화물(SiNx)로 동시에 형성한다.

[0069] 다음, 도 10에 도시된 바와 같이, 제3절연막(117)을 통해 노출된 금속전극(173)과 접촉하도록 제3절연막(117) 상에 전원배선(181)을 형성한다. 전원배선(181)은 서브 픽셀(SP)에 포함된 하부전극을 형성할 때 동일한 재료 예컨대 알루미늄(AlNd)으로 동시에 형성한다.

[0070] <제2실시예>

[0071] 도 11은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 평면도이고, 도 12는 도 11의 D-D 영역의 단면 예시도이다.

[0072] 도 11을 참조하면, 본 발명의 제2실시예에 따른 유기전계발광표시장치는 기판(210), 패드부(270), 연결배선(271), 표시부(AA), 전원배선(281) 및 구동부(260)를 포함할 수 있다. 기판(210) 상에 위치하는 패드부(270), 표시부(AA) 및 구동부(260)는 설명의 중복을 피하기 위해 생략한다.

[0073] 패드부(270)는 기판(210) 상에 위치하며 미도시된 외부회로기판과 연결된다. 패드부(270)는 기판(210) 상에 위치하는 표시부(AA) 및 구동부(260) 등에 연결되는 복수의 배선들에 연결된다.

[0074] 연결배선(271)은 기판(210) 상에 위치하며 패드부(270)로부터 연장되고 전원배선(281)에 연결된다. 연결배선(271)과 전원배선(281)은 동일한 전원을 전달하는 동일한 배선이다. 전원배선(281)은 표시부(AA)의 주변에 위치하며 연결배선(271)보다 고층에 형성된다. 여기서, 연결배선(271)과 전원배선(281)은 연결배선(271)과 전원배선(281) 사이에 위치하며 서로 다른 층에 형성된 적어도 두 개의 전극 간의 접촉을 통해 상호 전기적으로 연결된다. 연결배선(271)과 전원배선(281) 간의 연결 구조는 이하 도면을 참조하여 더욱 자세히 설명한다.

[0075] 도 12를 참조하면, 연결배선(271)과 전원배선(281)은 두 개의 전극(274, 273)에 의해 상호 연결됨을 알 수 있다. 두 개의 전극(274, 273) 중 하나는 연결배선(271)보다 상부에 형성되며 연결배선(271)에 연결된 투명전극(274)과, 투명전극(274)보다 하부에 형성되고 투명전극(274)과 접촉하며 전원배선(281)에 연결된 금속전극(273)을 포함할 수 있다.

[0076] 연결배선(271), 투명전극(274), 금속전극(273) 및 전원배선(281)의 연결 관계를 설명하면 다음과 같다.

[0077] 기판(210) 상에는 연결배선(271)이 위치한다. 그리고 연결배선(271) 상에는 연결배선(271)의 일부를 노출하는 제1절연막(212)이 위치한다. 그리고 제1절연막(212) 상에는 연결배선(271)과 이격하는 금속전극(273)이 위치한다. 그리고 금속전극(273) 상에는 연결배선(271)의 일부를 노출함과 아울러 금속전극(273)의 일부를 관통하여 제1절연막(212)을 노출하는 제2절연막(215)이 위치한다. 그리고 제2절연막(215) 상에는 노출된 연결배선(271)과

접촉하고 노출된 금속전극(273)과 접촉하는 투명전극(274)이 위치한다. 그리고 투명전극(274) 상에는 금속전극(273)의 다른 일부를 노출하는 제3절연막(217)이 위치한다. 그리고 제3절연막(217) 상에는 노출된 금속전극(273)과 접촉하는 전원배선(281)이 위치한다.

[0078] 제2실시예도 제1실시예와 마찬가지로, 기판(210) 상에 위치하는 전원배선(281)은 표시부(AA)를 둘러싸도록 형성될 수 있다. 다만, 제1실시예와 달리 금속전극(273)은 표시부(AA)의 좌측과 우측면의 일부 영역에 위치하도록 표시부(AA)의 좌측과 우측에 형성될 수 있다. 여기서, 제2실시예도 제1실시예와 마찬가지로, 연결배선(271), 투명전극(274), 금속전극(273) 및 전원배선(281)이 도 12와 같은 구조로 형성될 때, 이들 상호 간의 연결을 하기 위해 제1절연막(212) 내지 제3절연막(217)에는 복수의 콘택홀(H)이 형성된다.(도 5 참조) 이와 같이 제1절연막(212) 내지 제3절연막(217)에 형성된 복수의 콘택홀(H)을 이용하면 이들 간의 접촉 특성을 향상시킬 수 있어 각 층에 위치하는 구조물들 간의 박리 현상을 저지할 수 있다.

[0079] 또한, 별도의 공정을 추가하지 않고 서브 픽셀(SP)과 동일한 공정에 의해 연결배선(271)과 전원배선(281)을 상호 연결할 수 있도록 연결배선(271)은 서브 픽셀(SP)에 포함된 트랜지스터의 게이트 재료로 형성한다. 그리고 투명전극(274)은 서브 픽셀(SP)에 포함된 유기 발광다이오드의 애노드 재료로 형성한다. 그리고 금속전극(273)은 서브 픽셀(SP)에 포함된 트랜지스터의 소오스 드레인 재료로 형성한다.

[0080] <제3실시예>

[0081] 도 13은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 평면도이고, 도 14는 도 13의 E-E 영역의 단면 예시도이다.

[0082] 도 13을 참조하면, 본 발명의 제3실시예에 따른 유기전계발광표시장치는 기판(310), 패드부(370), 연결배선(371), 표시부(AA), 전원배선(381) 및 구동부(360)를 포함할 수 있다. 기판(310) 상에 위치하는 패드부(370), 표시부(AA) 및 구동부(360)는 설명의 중복을 피하기 위해 생략한다.

[0083] 패드부(370)는 기판(310) 상에 위치하며 미도시된 외부회로기판과 연결된다. 패드부(370)는 기판(310) 상에 위치하는 표시부(AA) 및 구동부(360) 등에 연결되는 복수의 배선들에 연결된다.

[0084] 연결배선(371)은 기판(310) 상에 위치하며 패드부(370)로부터 연장되고 전원배선(381)에 연결된다. 연결배선(371)과 전원배선(381)은 동일한 전원 예컨대 "VDD"를 전달하는 동일한 배선이다. 전원배선(381)은 표시부(AA)의 주변에 위치하며 연결배선(371)보다 고층에 형성된다. 여기서, 연결배선(371)과 전원배선(381)은 연결배선(371)과 전원배선(381) 사이에 위치하며 서로 다른 층에 형성된 적어도 두 개의 전극 간의 접촉을 통해 상호 전기적으로 연결된다. 연결배선(371)과 전원배선(381) 간의 연결 구조는 이하 도면을 참조하여 더욱 자세히 설명한다.

[0085] 도 14를 참조하면, 연결배선(371)과 전원배선(381)은 두 개의 전극(374, 373)에 의해 상호 연결됨을 알 수 있다. 두 개의 전극(374, 373) 중 하나는 연결배선(371)보다 상부에 형성되며 연결배선(371)에 연결된 투명전극(374)과, 투명전극(374)보다 하부에 형성되고 투명전극(374)과 접촉하며 전원배선(381)에 연결된 금속전극(373)을 포함할 수 있다.

[0086] 연결배선(371), 투명전극(374), 금속전극(373) 및 전원배선(381)의 연결 관계를 설명하면 다음과 같다.

[0087] 기판(310) 상에는 연결배선(371)이 위치한다. 그리고 연결배선(371) 상에는 연결배선(371)의 일부를 노출하는 제1절연막(312)이 위치한다. 그리고 제1절연막(312) 상에는 연결배선(371)과 이격하는 금속전극(373)이 위치한다. 그리고 금속전극(373) 상에는 연결배선(371)의 일부를 노출함과 아울러 금속전극(373)의 일부를 관통하여 제1절연막(312)을 노출하는 제2절연막(315)이 위치한다. 그리고 제2절연막(315) 상에는 노출된 연결배선(371)과 접촉하고 노출된 금속전극(373)과 접촉하는 투명전극(374)이 위치한다. 그리고 투명전극(374) 상에는 금속전극(373)의 다른 일부를 노출하는 제3절연막(317)이 위치한다. 그리고 제3절연막(317) 상에는 노출된 금속전극(373)과 접촉하는 전원배선(381)이 위치한다.

[0088] 제3실시예도 제1실시예와 마찬가지로, 기판(310) 상에 위치하는 전원배선(381)은 표시부(AA)를 둘러싸도록 형성될 수 있다. 다만, 제1실시예와 달리 금속전극(373)은 표시부(AA)의 삼면의 길이방향으로 연장되고 패드부(370)가 위치하는 영역을 개방하도록 표시부(AA)의 좌측, 우측 및 상측에 형성될 수 있다. 여기서, 제3실시예도 제1실시예와 마찬가지로, 연결배선(371), 투명전극(374), 금속전극(373) 및 전원배선(381)이 도 14와 같은 구조로 형성될 때, 이들 상호 간의 연결을 하기 위해 제1절연막(312) 내지 제3절연막(317)에는 복수의 콘택홀(H)이 형

성된다.(도 5 참조) 이와 같이 제1절연막(312) 내지 제3절연막(317)에 형성된 복수의 콘택홀(H)을 이용하면 이들 간의 접촉 특성을 향상시킬 수 있어 각층에 위치하는 구조물들 간의 박리 현상을 저지할 수 있다.

[0089] 또한, 별도의 공정을 추가하지 않고 서브 픽셀(SP)과 동일한 공정에 의해 연결배선(371)과 전원배선(381)을 상호 연결할 수 있도록 연결배선(371)은 서브 픽셀(SP)에 포함된 트랜지스터의 게이트 재료로 형성한다. 그리고 투명전극(374)은 서브 픽셀(SP)에 포함된 유기 발광다이오드의 애노드 재료로 형성한다. 그리고 금속전극(373)은 서브 픽셀(SP)에 포함된 트랜지스터의 소오스 드레인 재료로 형성한다.

[0090] 이상 본 발명의 각 실시예는, 연결배선(171, 271, 371)과 전원배선(181, 281, 381)을 연결할 때 투명전극(174, 274, 374)의 재료인 ITO와 전원배선(181, 281, 381)의 재료인 알루미늄(AlNd)이 직접 접촉하지 않도록 접촉 구조를 변경할 수 있다. 이에 따라, 종래 기술에서의 문제점 중 전원배선과 연결배선이 연결될 때, ITO와 AlNd 사이에서 갈바닉 부식이 일어나는 문제를 방지할 수 있게 된다. 즉, 본 발명의 실시예는, 갈바닉 부식이 일어나는 문제를 해결함으로써 표시장치 구동시 지속적인 커런트 전달에 의해 발생하는 발열로 AlNd가 들뜨는 문제와 AlNd와 ITO 간의 콘택 불량에 발생하는 문제를 방지할 수 있게 된다. 또한, 갈바닉 부식과 같은 문제가 발생하지 않으므로 표시장치의 지속적인 구동시 저항이 증가 문제를 방지할 수 있어 패널의 휘도를 향상시킬 수 있는 효과가 있다.

[0091] 따라서, 본 발명의 실시예는, 부식이나 지속적인 구동에 의한 발열로 전원배선의 일부 영역에 콘택 불량이 발생하는 문제를 해결함과 아울러 저항이 증가하는 문제를 해결하여 패널의 휘도를 향상시킬 수 있는 유기전계발광 표시장치를 제공하는 효과가 있다.

[0092] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면의 간단한 설명

[0093] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 평면도.

[0094] 도 2는 도 1의 A-A영역의 단면 예시도.

[0095] 도 3은 유기 발광다이오드의 계층 구조 예시도.

[0096] 도 4는 도 1의 B-B 영역의 단면 예시도.

[0097] 도 5는 도 1의 C 영역의 확대도.

[0098] 도 6 내지 도 10은 도 1의 B-B 영역의 공정 흐름을 설명하기 위한 도면.

[0099] 도 11은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 평면도.

[0100] 도 12는 도 11의 D-D 영역의 단면 예시도.

[0101] 도 13은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 평면도.

[0102] 도 14는 도 13의 E-E 영역의 단면 예시도.

[0103] <도면의 주요 부분에 관한 부호의 설명>

[0104] 110,210,310: 기판 170,270,370: 패드부

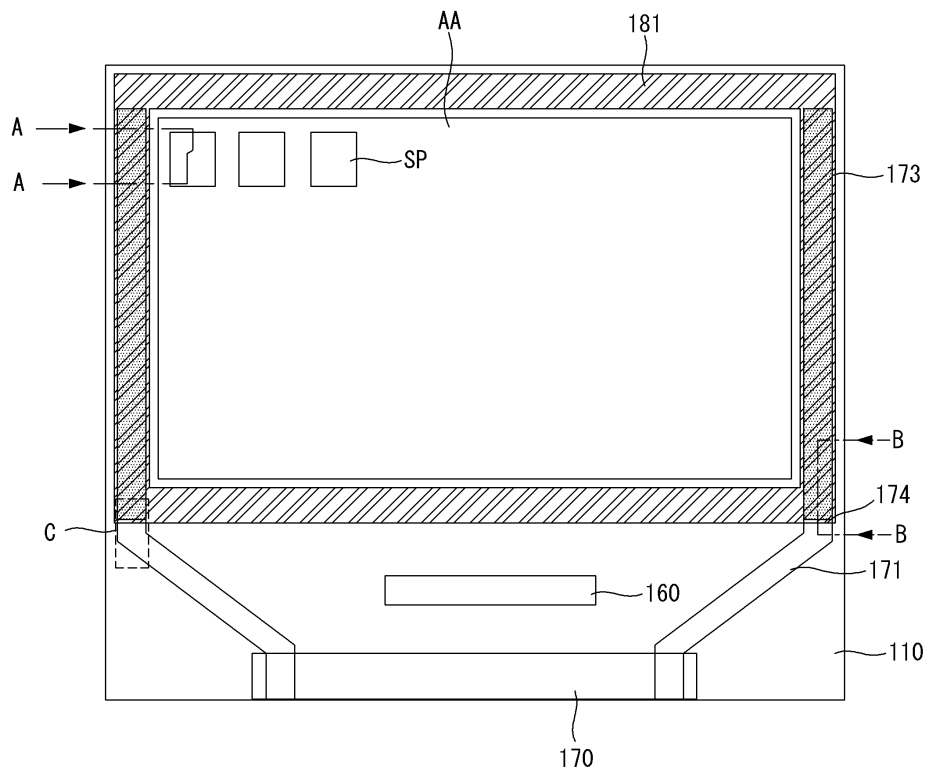
[0105] 171,271,371: 연결배선 173,273,373: 금속전극

[0106] 174,274,374: 투명전극 181,281,381: 전원배선

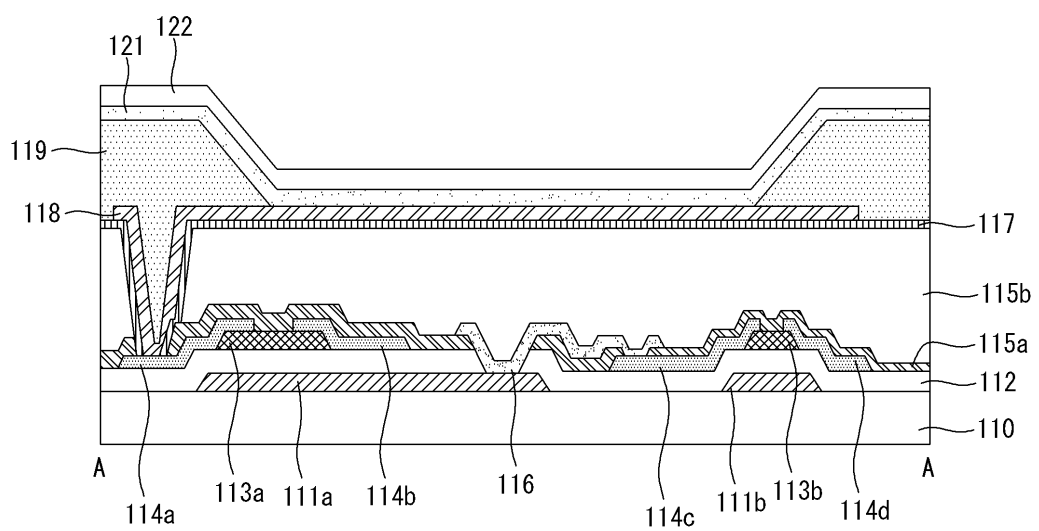
[0107] SP: 서브 픽셀 AA: 표시부

도면

도면1



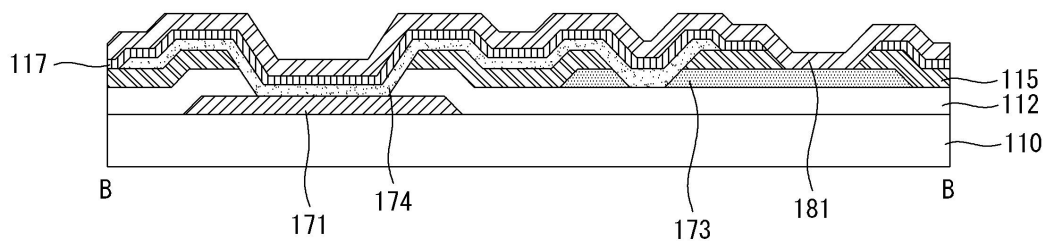
도면2



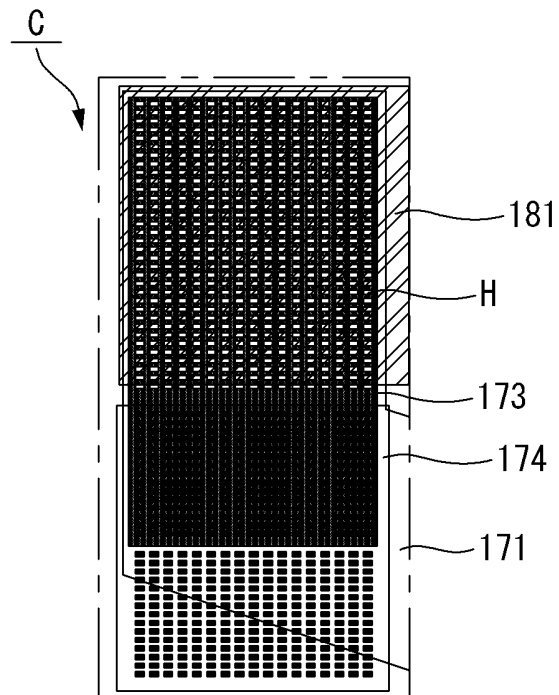
도면3



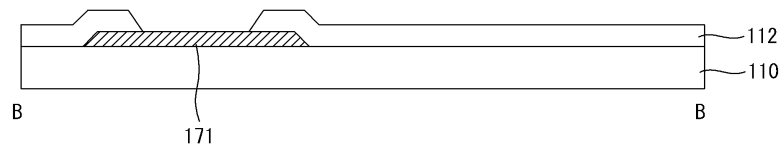
도면4



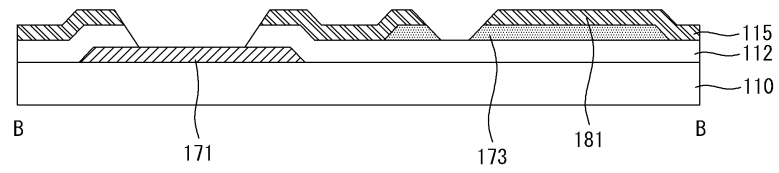
도면5



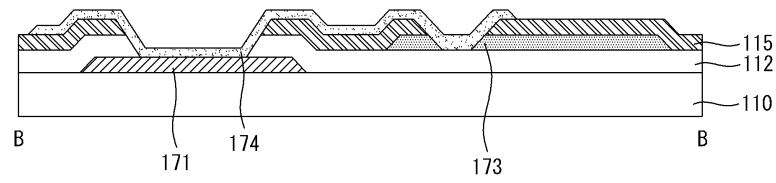
도면6



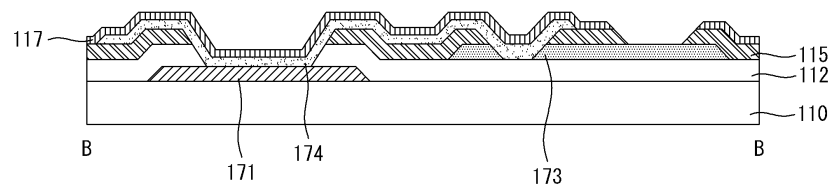
도면7



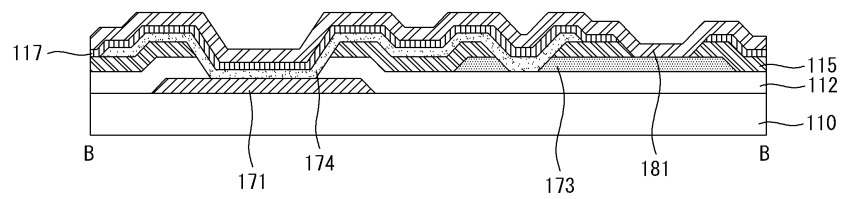
도면8



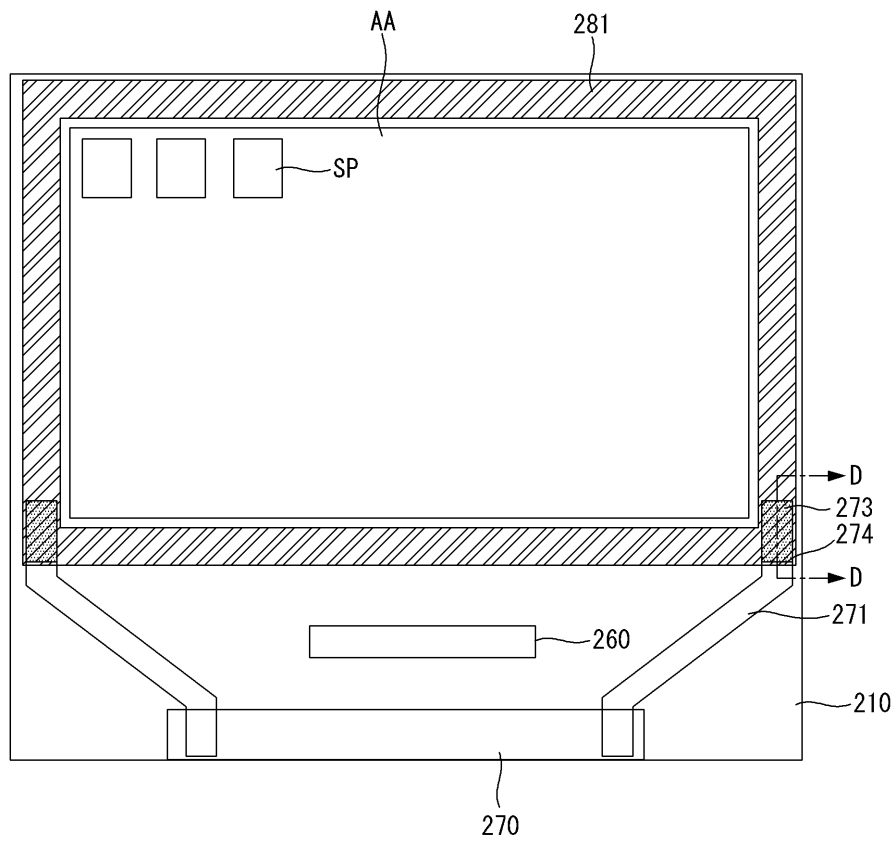
도면9



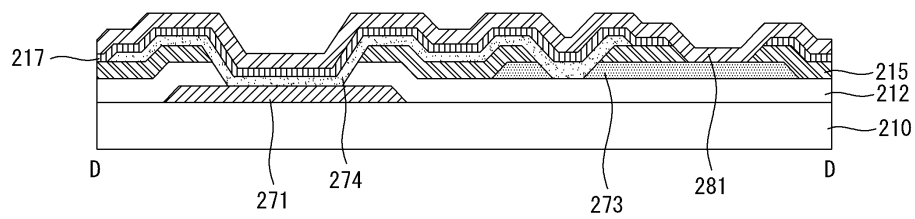
도면10



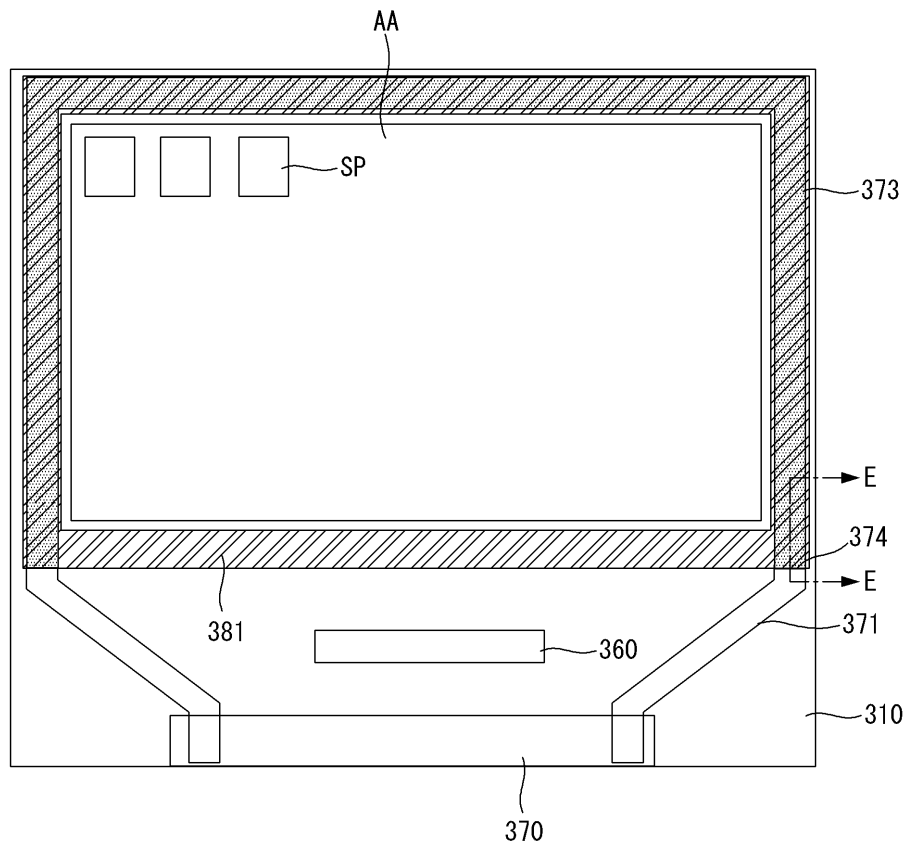
도면11



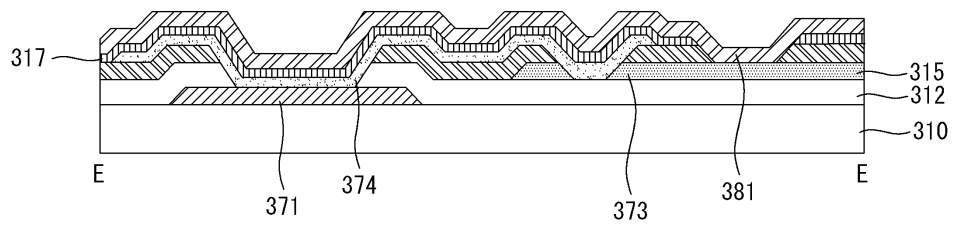
도면12



도면13



도면14



专利名称(译)	有机电致发光显示装置		
公开(公告)号	KR1020100052802A	公开(公告)日	2010-05-20
申请号	KR1020080111661	申请日	2008-11-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JAE HEE		
发明人	PARK JAE HEE		
IPC分类号	H05B33/26 H01L51/50		
CPC分类号	G09G3/2074 H01L27/3211 H01L51/0096 H01L51/5212		
其他公开文献	KR101577819B1		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供了有机电致发光显示装置，其意味着形成在高层上的电源线比其位于基板上的连接布线，焊盘部分，连接布线和多个子像素位于表面上所述显示单元附近的基板和显示单元以及连接布线和电源线通过形成在不同层中的两个或多个电极之间的接触电连接，同时位于连接布线和电源线互易之间。焊盘部分位于基板的表面上并连接到外部电路板。连接布线位于基板的表面上并从焊盘部分延伸。有机电致发光显示装置，电源线和电阻。

