



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0049910
(43) 공개일자 2008년06월05일

(51) Int. Cl.

H05B 33/22 (2006.01)

(21) 출원번호 10-2006-0120462

(22) 출원일자 2006년12월01일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

서성모

경기 수원시 영통구 영통동 황골마을주공1단지아파트 948-4(2/6)108-1001

이광연

경북 구미시 구평동 부영아파트 309동 1502호

(74) 대리인

특허법인로알

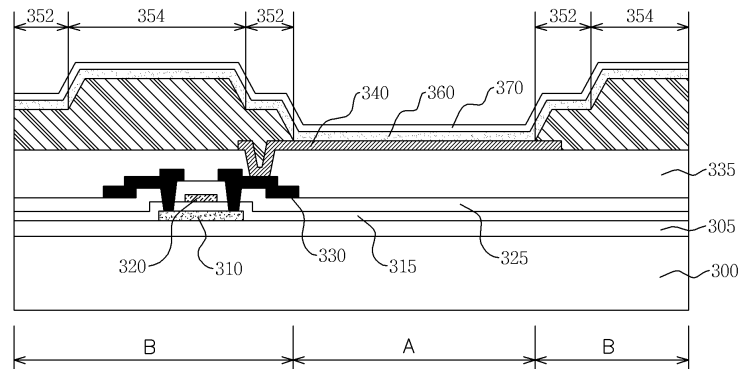
전체 청구항 수 : 총 10 항

(54) 유기전계발광표시장치 및 그의 제조 방법

(57) 요약

본 발명은, 발광 영역과 비발광 영역을 포함하는 기관, 기관의 발광 영역 상에 위치하는 제1전극들, 기관의 비발광 영역 상에 위치하며, 상기 제1전극들의 일부를 노출시키며 제1전극들 간을 절연시키는 बैं크층 및 기관의 비발광 영역 상에 위치하며 बैं크층과 동일한 물질을 포함하고 बैं크층보다 높은 두께를 갖는 갭 스페이서를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도2c



특허청구의 범위

청구항 1

발광 영역과 비발광 영역을 포함하는 기관;

상기 기관의 발광 영역 상에 위치하는 제1전극들;

상기 기관의 비발광 영역 상에 위치하며, 상기 제1전극들의 일부를 노출시키며 제1전극들 간을 절연시키는 बैं크층; 및

상기 기관의 비발광 영역 상에 위치하며, बैं크층과 동일한 물질을 포함하고, 상기 बैं크층보다 높은 두께를 갖는 갭 스페이서를 포함하는 유기전계발광표시장치.

청구항 2

제 1 항에 있어서,

상기 बैं크층 및 갭 스페이서는 유기 절연 물질로 이루어진 유기전계발광표시장치.

청구항 3

제 2 항에 있어서,

상기 유기 절연 물질은 폴리이미드, 벤조사이클로부텐 및 폴리아크릴로 이루어진 군에서 선택된 어느 하나인 유기전계발광표시장치.

청구항 4

제 1 항에 있어서,

상기 제1전극 상에 위치하는 발광층 및 상기 발광층 상에 위치하는 제2전극을 포함하는 유기전계발광표시장치.

청구항 5

제 4 항에 있어서,

상기 제1전극과 전기적으로 연결되는 박막 트랜지스터를 더 구비한 유기전계발광표시장치.

청구항 6

발광 영역 및 비발광 영역이 정의된 소자 기관을 준비하는 단계;

상기 소자 기관의 비발광 영역 상에 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터가 형성된 소자 기관 상에 패시베이션층을 형성하는 단계;

상기 패시베이션층의 발광 영역 상에 상기 소오스/드레인 전극과 전기적으로 연결되는 제1전극들을 형성하는 단계;

상기 제1전극이 형성된 소자 기관 전면 상에 유기 절연 물질을 도포하는 단계;

상기 유기 절연 물질을 하프톤 마스크를 이용하여 노광하는 단계; 및

상기 노광된 유기 절연 물질을 현상하여, 상기 비발광 영역 상에 상기 제1전극들의 일정 영역을 노출시키며 제1전극들간을 절연시키는 बैं크층 및 상기 बैं크층보다 높은 두께를 갖는 갭 스페이서를 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

청구항 7

제 6 항에 있어서,

상기 노출된 제1전극들 상에 발광층 및 제2전극을 순차적으로 형성하는 단계를 더 포함하는 유기전계발광표시장

치의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 제1전극이 형성된 소자 기관 상에 유기 절연 물질을 도포하는 단계는 슬릿 노즐을 구비한 코팅장치를 이용하여 상기 소자 기관 전면을 스캔함으로써 수행하는 유기전계발광표시장치의 제조 방법.

청구항 9

제 7 항 또는 제 8 항에 있어서,

상기 제2전극을 형성하는 단계 이후,

상기 소자 기관과 대향하도록 봉지 기관을 준비하여, 실런트에 의하여 상기 소자 기관 및 봉지 기관을 봉지하는 단계를 더 포함하는 유기전계발광표시장치의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 유기 절연 물질은 폴리이미드, 벤조사이클로부텐 및 폴리아크릴로 이루어진 군에서 선택된 어느 하나인 유기전계발광표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 유기전계발광표시장치 및 그의 제조 방법에 관한 것이다.
- <12> 최근에 음극선관(cathode ray tube)과 같이 무겁고, 크기가 크다는 종래의 표시 소자의 단점을 해결하는 액정 표시 장치(liquid crystal display device), 유기전계발광표시장치(organic electroluminescence device) 또는 PDP(plasma display plane) 등과 같은 평판형 표시 장치(plat panel display device)가 주목 받고 있다.
- <13> 이때, 상기 액정 표시 장치는 자체 발광 소자가 아니라 수광 소자이기 때문에 밝기, 콘트라스트, 시야각 및 대면적화 등에 한계가 있고, 상기 PDP는 자체 발광 소자이기기는 하지만, 다른 평판형 표시 장치에 비해 무게가 무겁고, 소비 전력이 높을 뿐만 아니라 제조 방법이 복잡하다는 문제점이 있는 반면, 상기 유기전계발광표시장치는 자체 발광 소자이기 때문에 시야각, 콘트라스트 등이 우수하고, 백라이트가 필요하지 않기 때문에 경량박형이 가능하고, 소비 전력 측면에서도 유리하다.
- <14> 그리고, 상기 유기전계발광표시장치는 직류 저전압 구동이 가능하고 응답속도가 빠르며 외부 충격에 강하고 사용 온도 범위도 넓은 뿐만 아니라 제조 방법이 단순하고 저렴하다는 장점을 가지고 있다.
- <15> 도 1a 및 도 1b는 종래 기술에 의한 유기전계발광표시장치를 도시한 단면도들이다.
- <16> 도 1a 및 도 1b를 참조하여 설명하면, 종래의 유기전계발광표시장치(10)는 일반적으로 소자 기관(11) 상에 다수개의 서브픽셀들을 포함하는 표시부(15)를 형성하고, 소자 기관(11)과 봉지 기관(12)을 합착하여 봉지함으로써 내부의 소자들을 보호하게 된다.
- <17> 이때, 상기 소자 기관(11)의 서브픽셀들은 적어도 제1전극, 발광층을 포함하는 발광층 및 제2전극을 구비하고 있고, 상기 봉지 기관(12)은 내부의 수분 등을 흡수하기 위한 흡습제(13)가 구비되어 있다.
- <18> 상기 봉지는 상기 소자 기관(11)과 봉지 기관(12)의 가장자리에 형성된 실런트(14)에 의해 이루어지게 된다. 이때, 상기 실런트(14)는 일정 높이로 형성되어 있어 상기 소자 기관(11)과 봉지 기관(12) 사이에 간격이 유지되도록 하였다.
- <19> 그러나, 실런트(14)에 의하여 유지할 수 있는 간격에는 한계가 있기 때문에, 종래의 유기전계발광표시장치(10)

는 외부 충격을 받게 되면 소자 기관(11) 상에 형성되어 있는 표시부(15)의 발광층 또는 제2전극이 손상되어, 유기전계발광표시장치의 화질을 저하시키는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<20> 따라서, 본 발명은 외부 충격에 의하여 유기전계발광표시장치의 표시부가 손상받는 것을 방지할 수 있는 유기전계발광소자 및 그의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<21> 상기 목적을 달성하기 위하여, 본 발명은, 발광 영역과 비발광 영역을 포함하는 기관, 기관의 발광 영역 상에 위치하는 제1전극들, 기관의 비발광 영역 상에 위치하며, 상기 제1전극들의 일부를 노출시키며 제1전극들 간을 절연시키는 बैं크층 및 기관의 비발광 영역 상에 위치하며 बैं크층과 동일한 물질을 포함하고 बैं크층보다 높은 두께를 갖는 갭 스페이서를 포함하는 유기전계발광표시장치를 제공한다.

<22> 또한, 본 발명은, 발광 영역 및 비발광 영역이 정의된 소자 기관을 준비하는 단계, 소자 기관의 비발광 영역 상에 반도체층, 게이트 절연막, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터가 형성된 소자 기관 상에 패시베이션층을 형성하는 단계, 패시베이션층의 발광 영역 상에 상기 소오스/드레인 전극과 전기적으로 연결되는 제1전극들을 형성하는 단계, 제1전극이 형성된 소자 기관 전면 상에 유기 절연 물질을 도포하는 단계, 유기 절연 물질을 하프톤 마스크를 이용하여 노광하는 단계 및 노광된 유기 절연 물질을 현상하여 비발광 영역 상에 상기 제1전극들의 일정 영역을 노출시키며 제1전극들간을 절연시키는 बैं크층 및 상기 बैं크층보다 높은 두께를 갖는 갭 스페이서를 형성하는 단계를 포함하는 유기전계발광표시장치의 제조방법을 제공한다.

<23> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.

<24> 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 유기전계발광표시장치를 나타내는 평면도들 및 단면도이다. 이때, 도 2a는 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 평면도이고, 도 2b는 본 발명의 일 실시예에 따른 발광 영역과 बैं크층과 갭 스페이서를 포함하는 비발광 영역을 도시한 평면도이고, 도 2c는 도 2b의 I-I'선을 따라 절취하여 단면도이다.

<25> 도 2a를 참조하여 설명하면, 본 발명의 유기전계발광표시장치는 발광 영역(A)과 비발광 영역(B)을 구비한 소자 기관(200)을 포함한다. 그리고, 소자 기관(200) 상에는 표시부(210), 상기 표시부(210)를 감싸면서 밀봉하는 실링 영역(220) 및 상기 표시부(210)로 신호 또는 전원 등을 입력하기 위한 패드부(270)가 위치할 수 있다.

<26> 이때, 상기 표시부(210)는 적색(R), 녹색(G) 및 청색(B)의 서브 픽셀(P)을 복수 개 구비하고 있다.

<27> 이때, 상기 서브 픽셀(P)은 데이터 라인(230), 게이트 라인(240) 및 공통 전원 라인(250)에 의해 정의된다. 즉, 바꾸어 말하면, 상기 데이터 라인(230), 게이트 라인(240) 및 공통 전원 라인(250)에 의해 감싸지는 영역을 서브 픽셀(P)로 정의할 수 있다.

<28> 이때, 상기 서브 픽셀(P)은 발광 영역(A)을 포함할 수 있으며, 발광 영역을 제외한 기관 상의 모든 영역은 비발광 영역(B)일 수 있다. 즉, 상기 발광 영역(A)은 빛이 발생하는 영역이고, 상기 비발광 영역(B)은 빛이 발생하지 않는 영역이다.

<29> 또한, 상기 비발광 영역(B)의 일정 영역에는 상기 데이터 라인(230) 및 게이트 라인(240)에서 받은 신호를 이용하여 상기 공통 전원 라인(250)의 전원을 제어하여 상기 발광 영역(A)에 제공하는 서브 픽셀 회로 영역(260)을 구비하고 있다.

<30> 여기서, 서브 픽셀 회로 영역(260)은 비발광 영역으로 도시하였지만, 전면 발광형으로 유기전계발광표시장치를 제작하는 경우, 제1전극을 포함하는 발광 영역의 하부에 형성함으로써 개구율을 향상시킬 수도 있다.

<31> 도 2b를 참조하여 설명하면, 본 발명의 상기 표시부(210), 상기에서 상술한 바와 같이, 발광 영역(A)과 상기 발광 영역(A)을 제외한 영역인 비발광 영역(B)을 포함하고 있는데, 상기 비발광 영역(B)에는 बैं크층(252)과 갭 스페이서(254)를 구비하고 있다.

<32> 이때, 상기 बैं크층(252)은 상기 발광 영역(A)을 정의하는 역할을 하고, 상기 갭 스페이서(254)는 상기 소자 기

관(200) 전체의 갭을 일정하게 유지하여 외부 눌림 충격에 의해 불량 발생을 방지하는 역할을 한다.

- <33> 도 2c를 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브 픽셀의 구조를 자세히 설명하도록 한다.
- <34> 서브 픽셀은 발광 영역(A)과 비발광 영역(B)을 포함하는 소자 기관(300), 상기 소자 기관(300) 상에 구비되는 버퍼층(305), 상기 버퍼층(305) 상에 구비되며, 반도체층(310), 게이트 절연막(315), 게이트 전극(320), 층간 절연막(325) 및 소오스/드레인 전극(330)을 포함하는 박막 트랜지스터를 포함한다.
- <35> 이때, 상기 버퍼층(305)은 하부의 소자 기관(300)에서 상부의 소자들로 이온, 수분 및 산소 등과 같은 불순물 또는 이물질 등이 확산하는 것을 방지할 뿐만 아니라, 상부에 형성되어지는 반도체층(310)의 증착 특성 또는 결정화 등을 우수하게 하기 위해 형성되어 질 수 있다.
- <36> 이때, 상기 박막 트랜지스터는 상기 도 2a에서 설명한 서브 픽셀 회로 영역(260) 상에 구비되어 상기 제1전극(340)에 전류를 제공하는 구동 박막 트랜지스터일 수 있고, 상기 박막 트랜지스터 외에 스위칭 역할을 하는 박막 트랜지스터를 더 구비할 수 있다. 또한, 상기 박막 트랜지스터의 게이트 전극(320) 및 소오스/드레인 전극(330) 각각은 상기 도 2a에서 설명한 데이터 라인(230), 게이트 라인(240) 및 공통 전원 라인(250)과 각각 동일한 물질 또는 동일한 공정에서 동시에 형성될 수 있다.
- <37> 그리고, 서브픽셀은 상기 박막 트랜지스터가 구비된 소자 기관(300) 상에 구비된 패시베이션층(335), 상기 패시베이션층(335) 상에 구비되며, 상기 박막 트랜지스터의 소오스/드레인 전극(330)에 연결되는 제1전극(340), 상기 서브 픽셀의 비발광 영역(B) 상에 구비되며 제1전극(340)의 일부를 노출시키도록 형성된 뱅크층(352)과 비발광 영역(B) 상에 상기 뱅크층(352)과 동일한 물질로 형성되며, 뱅크층(352)보다 두꺼운 두께를 갖는 갭 스페이서(354)를 포함한다.
- <38> 여기서, 뱅크층(352)은 발광 영역(A)의 외주로부터 일정 너비까지 제1두께로 형성될 수 있으며, 갭 스페이서(354)는 뱅크층(352)의 외주로부터 일정 너비까지 제2두께로 형성될 수 있다.
- <39> 이때, 상기 뱅크층(352)의 제1두께는 2 내지 3 μ m인 것이 바람직한데, 이는 상기 뱅크층(352)이 상기 발광 영역(A)을 정의해주기 때문이다. 즉, 상기 뱅크층(352)은 상기 제1전극(340)과 발광층(360)(제2전극(370)도 포함)이 직접 접촉하지 못하게 하여 상기 제1전극(340)으로 상기 발광층(360)으로 전하가 이동하지 못하게 하여 빛이 발생하지 못하게 하는 역할을 한다. 또한, 상기 뱅크층(352)은 상기 뱅크층(352) 상에 구비된 제2전극(370)과 그 직 하부에 구비될 수 있는 다른 배선 또는 소자들이 서로 간섭하지 못하게 하도록 하는 역할을 하기 때문이다.
- <40> 이때, 상기 갭 스페이서(354)의 제2두께는 4 내지 5 μ m인 것이 바람직한데, 이는 상기 갭 스페이서(354)는 상기 소자 기관(300)에 대응하는 봉지 기관으로 봉지된 후 상기 소자 기관(300)과 봉지 기관이 일정한 갭을 유지하도록 하는 역할을 한다. 즉, 상기 봉지 기관의 표면에 외부 누름 충격 등이 가해져도 상기 갭 스페이서(354)에 의해 상기 봉지 기관에 의해 소자 기관(300)의 소자 특히, 발광 영역(A)의 발광층(360) 및 제2전극(370)이 손상받지 않도록 하는 역할을 한다.
- <41> 그리고, 뱅크층(352)에 의해 노출된 제1전극(340) 상에는 발광층(360)이 위치하며, 상기 발광층(360) 상에 구비된 제2전극(370)을 포함할 수 있다.
- <42> 도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 유기전계발광표시장치 제조 방법을 보여주는 단면도들 및 사시도이다.
- <43> 도 3a를 참조하여 설명하면, 본 발명의 유기전계발광표시장치 제조 방법은 우선 발광 영역(A)과 비발광 영역(B)이 정의된 소자 기관(300)을 준비한다.
- <44> 이때, 상기 발광 영역(A) 및 비발광 영역(B)은 상기 유기전계발광표시장치를 제조하는데 있어서 설계단계에서 이미 고려되어 결정되어 진다.
- <45> 이때, 상기 소자 기관(300)은 유리 또는 플라스틱 등과 같은 투명한 재질의 기관을 이용할 수 있다. 또한, 필요하다면 서스 또는 알루미늄 포일과 같은 불투명한 재질의 기관을 이용할 수 있다.
- <46> 이어서, 상기 소자 기관(300) 상에 버퍼층(305)을 형성한다. 이때, 상기 버퍼층(305)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층과 같은 절연막들을 이용하여 형성할 수 있는데, 상기 소자 기관(300)으로부터 이후 형성될 소자들로 불순물이 확산되는 것을 방지하는 역할을 한다.

- <47> 이어서, 상기 버퍼층(305) 상에 반도체층(310)을 형성한다. 이때, 상기 반도체층(310)은 비정질 실리콘을 증착한 후, 레이저 결정화 공정 등을 이용하여 결정화한 후 패터닝하여 형성하거나, 상기 버퍼층(305) 상에 다결정 실리콘을 직접 형성한 후 패터닝하여 형성할 수도 있다.
- <48> 이어서, 상기 반도체층(310)이 형성된 소자 기판(300) 상에 게이트 절연막(315)을 형성한다. 이때, 상기 게이트 절연막(315)은 실리콘 산화막, 실리콘 질화막 또는 이들의 복층과 같은 절연막을 이용하여 형성할 수 있다. 이때, 상기 게이트 절연막(315)은 상기 반도체층(310)과의 계면에 결함이 발생되지 않도록 형성하는 것이 바람직하다.
- <49> 이어서, 상기 게이트 절연막(315) 상에 형성되되, 상기 반도체층(310)의 채널 영역에 대응되도록 게이트 전극(320)을 형성한다.
- <50> 이때, 상기 게이트 전극(320)을 형성한 후, 일반적으로 불순물 주입 공정을 실시하여 상기 게이트 전극(320)의 직 하부에는 채널 영역이 형성되도록 하고, 그외의 반도체층(310)은 소오스 영역 및 드레인 영역이 되도록 한다.
- <51> 이어서, 상기 게이트 전극(320)이 형성된 소자 기판(300) 상에 층간 절연막(325)을 형성한다. 이때, 상기 층간 절연막(325)은 하부의 게이트 전극(320) 및 반도체층(310) 등을 보호하는 역할을 한다.
- <52> 이어서, 상기 층간 절연막(325) 상에 상기 반도체층(310)의 소오스 영역 및 드레인 영역에 연결되는 소오스 전극 및 드레인 전극(330)을 형성하여 상기 반도체층(310), 게이트 절연막(315) 및 게이트 전극(320)을 구비하는 박막 트랜지스터를 완성한다.
- <53> 이때, 상기 박막 트랜지스터는 상기 도 2a를 참조하여 설명한 서브 픽셀 회로 영역(260)에 구비될 수 있다. 이때, 상기 박막 트랜지스터는 구동용 박막 트랜지스터로 사용될 수 있다. 또한, 상기 도 2a의 서브 픽셀 회로 영역(260)에는 도시하고 있지 않지만 스위치 역할을 하는 스위치용 박막 트랜지스터가 더 구비될 수 있고, 또한 전하를 저장하는 캐패시터 역시 구비될 수 있다.
- <54> 이때, 상기 캐패시터의 하부 전극은 상기 게이트 전극(320)을 형성할 때 동시에 형성될 수 있고, 하부 전극은 상기 소오스 전극 및 드레인 전극(330)을 형성할 때 동시에 형성될 수 있다.
- <55> 또한, 상기 도 2a를 참조하여 설명한 상기 데이터 라인(230) 및 공통 전원 라인(250)은 상기 소오스 전극 및 드레인 전극(330) 형성시 동시에 형성될 수 있고, 상기 게이트 라인(240)은 상기 게이트 전극(320) 형성시 동시에 형성될 수 있다.
- <56> 도 3b를 참조하여 설명하면, 상기 소자 기판(300) 상에 박막 트랜지스터를 형성한 후, 상기 소자 기판(300) 전면 상에 패시베이션층(335)을 형성한다. 이때, 상기 패시베이션층(335)은 하부의 박막 트랜지스터 또는 데이터 라인과 게이트 라인 등의 배선 등과 이후 형성될 소자들 간의 간섭 등이 발생하지 않게 하는 역할을 할 뿐만 아니라 상기 박막 트랜지스터 등과 같은 소자들이 형성됨으로써 소자 기판(300)의 표면에 요철 등이 발생되는데 상기 요철 등을 제거하는 평탄화 역할도 하게 된다.
- <57> 이어서, 상기 박막 트랜지스터의 소오스 전극 및 드레인 전극(330)과 연결되는 제1전극(340)을 상기 제1패시베이션층(335) 상에 형성한다. 이때, 상기 제1전극(340)은 ITO 또는 IZO 등과 같이 투명한 도전성 물질을 이용하여 형성한다. 또한, 제1전극(340)은 필요하다면 알루미늄 또는 은 등과 같은 반사특성이 좋은 도전성 물질을 형성하여도 무방하다. 일반적으로 상기 제1전극(340)의 표면에는 이후 형성될 발광층과의 일함수 등을 고려하여 ITO 또는 IZO 등과 같은 산화물 도전 물질을 형성되어 있는 것이 바람직하다.
- <58> 도 3c를 참조하여 설명하면, 상기 제1전극(340)이 형성된 소자 기판(300) 상에 유기 절연 물질(355)을 도포한다.
- <59> 이때, 상기 유기 절연 물질(355)은 슬릿 노즐을 구비한 코팅 장치를 이용하여 상기 소자 기판(300) 전면을 스캔하여 도포한다. 유기 절연 물질(355)은 폴리이미드, 벤조사이클로부텐 또는 폴리아크릴 수지일 수 있다.
- <60> 즉, 도 4에서 도시한 바와 같이 소자 기판(300)을 슬릿 노즐(400)을 구비한 코팅 장치(미도시)에 장입하고, 상기 슬릿 노즐(400)을 일정 방향으로 스캔(410)하면서, 상기 슬릿 노즐(400)에서 상기 유기 절연 물질(355)을 분사(420)하여 도포한다.
- <61> 이때, 상기 유기 절연 물질(355)을 상기 소자 기판(300) 전면 상에 도포하는 방법은 스핀 코팅을 포함한 여러 방법이 있으나 본 발명에서는 뱅크층과 갭 스페이서를 동시에 형성해야 하므로, 유기 절연 물질(355)을 약 4 내

지 $5\mu\text{m}$ 정도 도포해야 한다.

- <62> 상기와 같은 도포하는 방법은 종래의 스핀 코팅 장치를 이용하여 도포하는 방법에 비해 두께 균일도는 조금 나 빠지는 반면 대면적의 소자 기판에 적용하기가 용이하다는 장점이 있을 뿐만 아니라 상기 유기 절연 물질의 소 모량이 적기 때문에 경제적이라는 장점이 있다.
- <63> 도 3d를 참조하여 설명하면, 상기 유기 절연 물질(355)이 도포된 소자 기판(300)을 노광 장치(미도시)에 장입한 후, 하프톤 마스크(500)를 정렬한다.
- <64> 이때, 상기 하프톤 마스크(500)은 본 발명의 유기전계발광표시장치의 발광 영역(A) 및 बैंक층(352)과 갭 스페이 서(354)를 포함하는 비발광 영역(B)을 형성하기 위하여, 소정의 위치에 투과 영역(510), 반투과 영역(520) 및 차단 영역(530)이 미리 설계되어 있다.
- <65> 이어서, 상기 하프톤 마스크(500)가 정렬된 소자 기판(300) 전면에서 자외선 등과 같은 빛을 조사하여 노광 공정 (550)을 진행한다.
- <66> 이때, 상기 노광 공정(550)에 의해서 상기 유기 절연 물질(355) 중 상기 하프톤 마스크(500)의 투과 영역(510) 직 하방의 전체 영역 및 상기 반투과 영역(520) 직 하방의 일정 깊이까지의 영역은 그 특성이 변화하게 된다.
- <67> 도 3e를 참조하여 설명하면, 상기 노광 공정(550)이 진행된 유기 절연 물질 중 상기 특성이 변화된 영역을 제거 하는 현상 공정을 진행하여 상기 발광 영역(A)의 제1전극(340) 상의 유기 절연 물질은 완전히 제거하여 상기 제 1전극(340)의 일정 영역을 노출시키고, 상기 비발광 영역(B) 중 상기 발광 영역(A)의 가장 자리(즉, 외주)로부터 일정 너비까지는 일정 깊이까지의 유기 절연 물질을 제거하여 제1두께를 갖는 बैंक층(352)을 형성하고, 상기 बैंक층(352)을 제외한 비발광 영역(B)은 제2두께를 갖는 갭 스페이서를 형성한다.
- <68> 이때, 상기 बैंक층(352)의 제1두께는 2 내지 $3\mu\text{m}$ 로 형성될 수 있다. 이때, 상기 제1두께는 상기 유기 절연 물질 자체의 두께와 상기 하프톤 마스크의 반투과 영역의 투과율과 관계가 있다. 즉, 상기 유기 절연 물질 자체의 두께가 두꺼울수록 또한 상기 투과율이 낮을수록 상기 제1두께의 두께는 두꺼워 질 수 있다.
- <69> 이때, 상기 갭 스페이서(354)의 제2두께는 4 내지 $5\mu\text{m}$ 로 형성될 수 있다. 이때, 상기 제2두께는 상기 유기 절연 물질 자체의 두께와 관계가 있다. 즉, 상기 유기 절연 물질 자체의 두께가 두꺼울수록 상기 제2두께는 두께는 두꺼워 진다.
- <70> 따라서, 상기 बैंक층(352)의 제1두께와 갭 스페이서(354)의 제2두께는 상기 유기 절연 물질 자체의 두께 및 상 기 반투과 영역의 투과율을 조절함으로써 쉽게 제어할 수 있다.
- <71> 도 3f를 참조하여 설명하면, 상기 소자 기판(300) 상에 발광층(360)을 형성한다. 발광층(360)은 유기물을 포함 할 수 있다. 이때, 상기 발광층(360)의 하부 및 상부에는 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입 층을 더 구비할 수 있다.
- <72> 이어서, 상기 발광층(360)상에 제2전극(370)을 형성한다. 이때, 상기 제2전극(370)은 마그네슘 또는 은 등과 같 은 금속 물질로 형성할 수 있다. 이때, 상기 제2전극(370)은 일함수 또는 빛의 투과성 등을 고려하여 반투과 전 극으로 형성할 수도 있으며, 이와는 달리 금속막과 ITO 또는 IZO 등과 같은 투명도전막을 포함하도록 형성할 수도 있다.
- <73> 그리고, 상기 소자 기판(300)과 대응하는 봉지 기판(미도시)을 준비하고, 종래와 같은 방법으로 상기 소자 기판 (300)과 봉지 기판을 봉지하여 유기전계발광표시장치를 제조한다.
- <74> 상술한 바와 같이, 본 발명은 बैंक층과 갭 스페이서를 동시에 형성함으로써, 제조공정을 단축시킬 수 있다. 또 한, बैंक층과 갭 스페이서의 형성시, 슬릿 노즐을 이용한 코팅 방법을 수행함으로써 재료의 소모를 줄이고, बैं크층 및 갭 스페이서의 형성에 필요한 코팅 두께를 확보할 수 있는 장점이 있다.
- <75> 본 발명은 이상에서 살펴본 바와 같이 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시 예에 한정 되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

- <76> 따라서, 본 발명의 유기전계발광표시장치 및 그의 제조 방법은 서브 픽셀 영역의 비발광 영역 상에 일정 높이를 갖는 갭 스페이서를 구비함으로써, 서브 픽셀 영역의 발광 영역상의 제2전극 및 적어도 발광층을 구비한 발광층

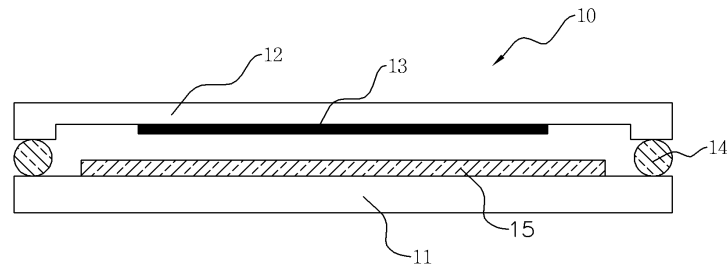
이 외부 놀림 등과 같은 외부 충격으로부터 보호할 수 있는 효과가 있다.

도면의 간단한 설명

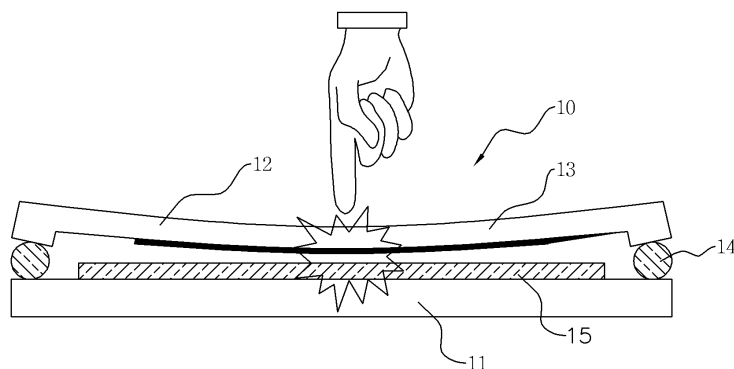
- <1> 도 1a 및 도 1b는 종래 기술에 의한 유기전계발광표시장치를 도시한 단면도들이다.
- <2> 도 2a는 본 발명의 일 실시예에 따른 유기전계발광표시장치를 도시한 평면도이다.
- <3> 도 2b는 본 발명의 일 실시예에 따른 발광 영역과 बैं크층과 겹 스페이서를 포함하는 비발광 영역을 도시한 평면도이다.
- <4> 도 2c는 도 2b의 I-I'선을 따라 절단한 단면도이다.
- <5> 도 3a 내지 도 3f는 본 발명의 일실시예에 따른 유기전계발광표시장치의 제조 방법을 보여주는 단면도들 및 사시도이다.
- <6> 도 4는 본 발명의 일실시예에 따른 유기전계발광표시장치의 제조방법에서 유기 절연 물질을 도포하는 방법을 도시한 사시도이다.
- <7> <도면의 주요부분에 대한 부호의 설명>
- <8> A : 발광 영역 B : 비발광 영역
- <9> 300 : 기판 340 : 제1전극
- <10> 352 : बैं크층 354 : 겹 스페이서

도면

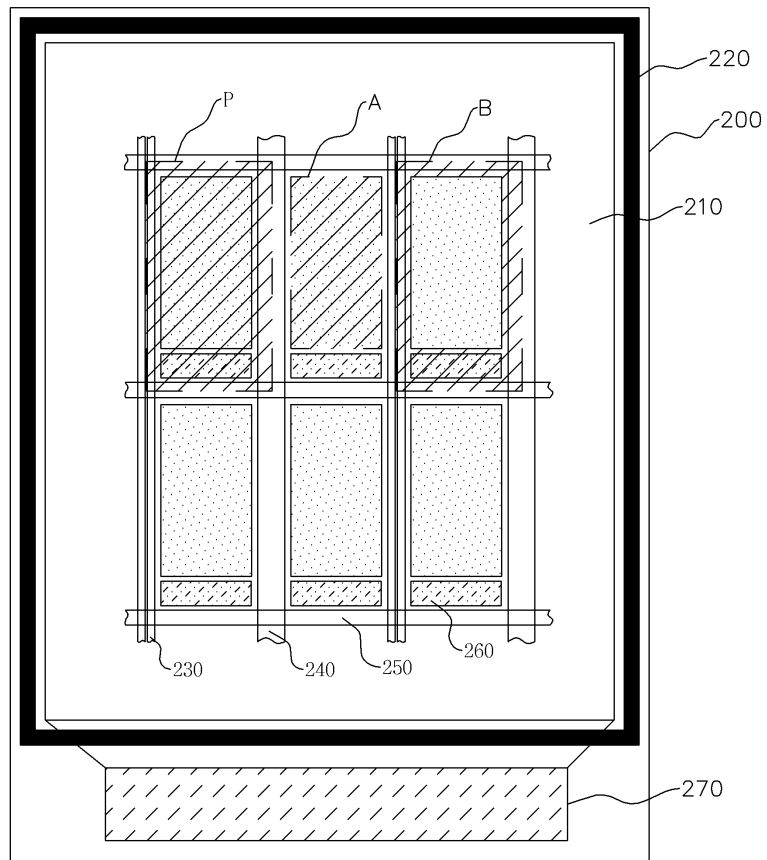
도면1a



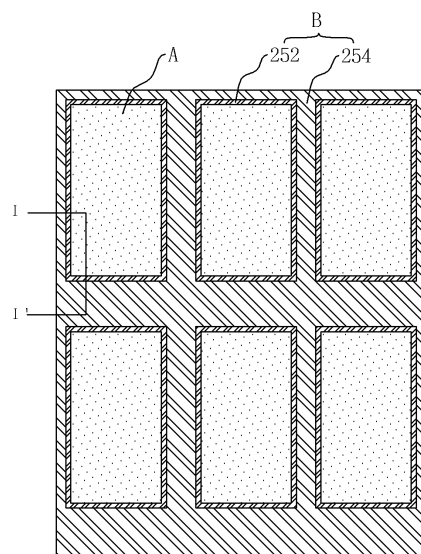
도면1b



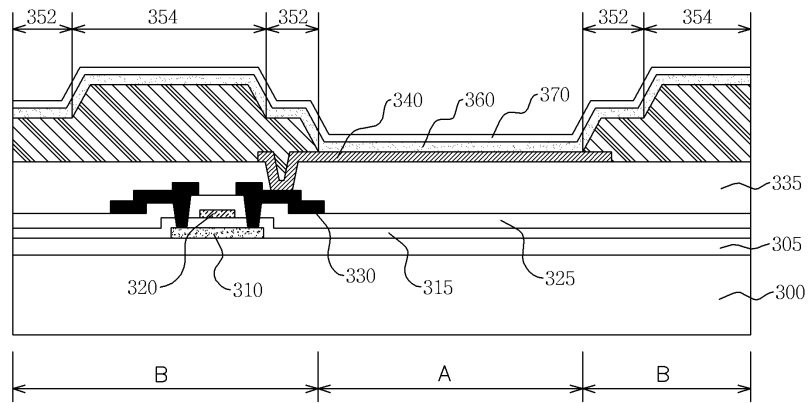
도면2a



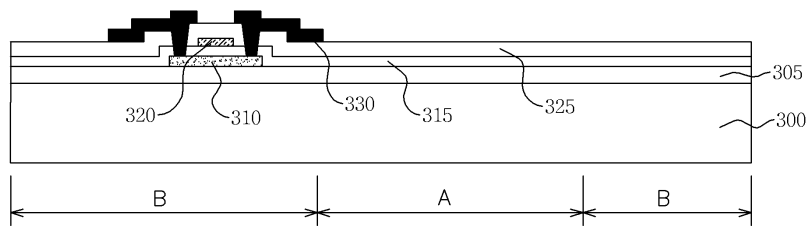
도면2b



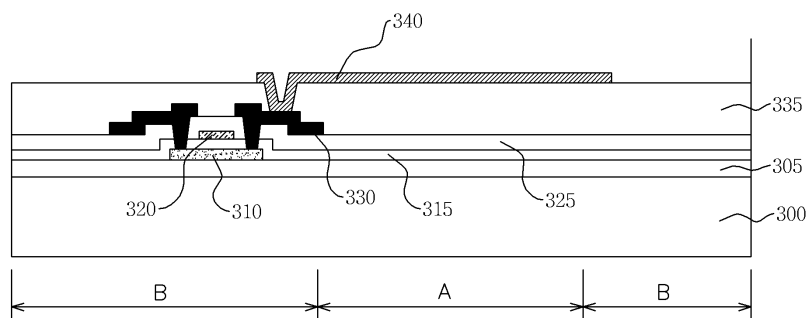
도면2c



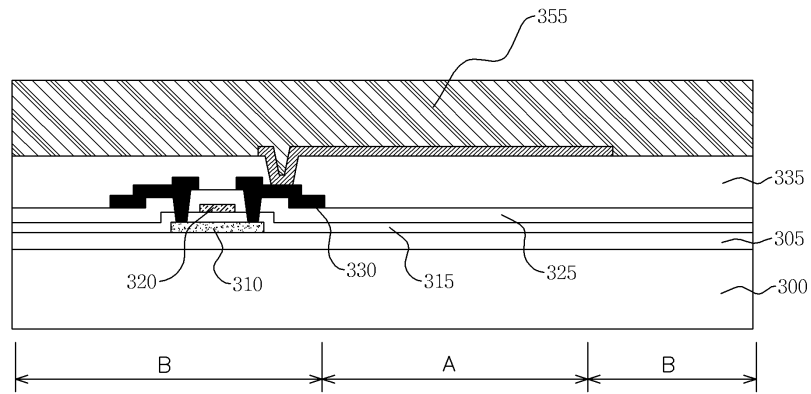
도면3a



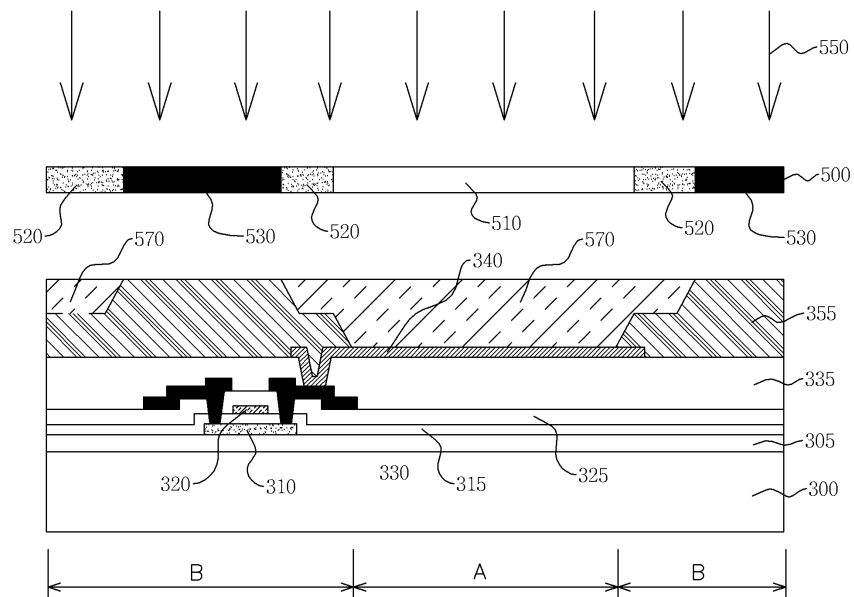
도면3b



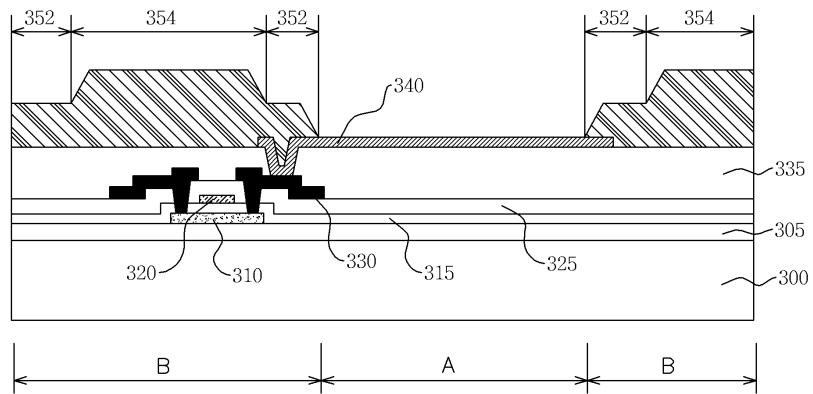
도면3c



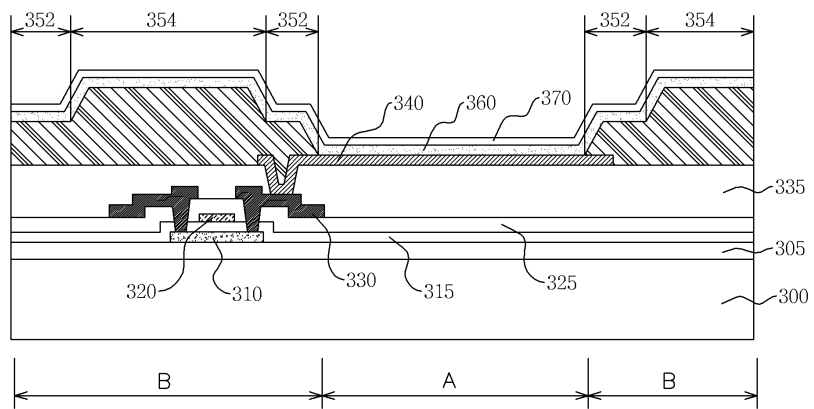
도면3d



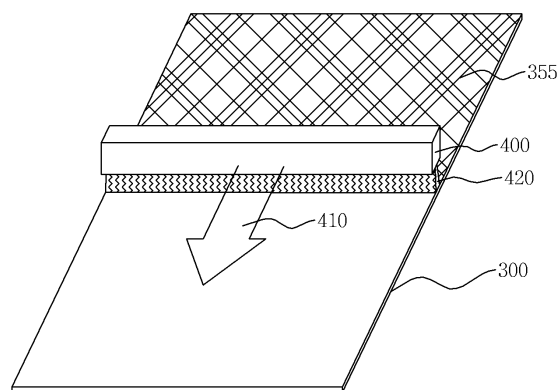
도면3e



도면3f



도면4



专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	KR1020080049910A	公开(公告)日	2008-06-05
申请号	KR1020060120462	申请日	2006-12-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SEO SEONG MOH 서성모 LEE KWANG YEON 이광연		
发明人	서성모 이광연		
IPC分类号	H05B33/22		
CPC分类号	H01L27/3246 H01L51/0015 H01L51/525 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明包括：基板，包括发光区域和非发光区域；第一电极，位于基板的发光区域；以及堤层，位于基板的非发光区域的表面上并使基板绝缘。第一电极部分暴露第一电极的一部分，而诸如堤层的材料位于基板的非发射区域的表面上。并且，提供包括间隙间隔物的有机电致发光显示装置，所述间隙间隔物具有高于堤层的厚度。

