

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

H05B 33/22 (2006.01)

H05B 33/10 (2006.01)

(11) 공개번호

10-2006-0051458

(43) 공개일자

2006년05월19일

(21) 출원번호 10-2005-0087577

(22) 출원일자 2005년09월21일

|            |                    |             |        |
|------------|--------------------|-------------|--------|
| (30) 우선권주장 | JP-P-2004-00273532 | 2004년09월21일 | 일본(JP) |
|            | JP-P-2004-00273580 | 2004년09월21일 | 일본(JP) |
|            | JP-P-2005-00269434 | 2005년09월16일 | 일본(JP) |

(71) 출원인 가시오계산키 가부시킴가이샤  
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자 시모다 사토루  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴가이샤 하무라기쥬츠센터내  
시라사키 도모유키  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴가이샤 하무라기쥬츠센터내  
오구라 준  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴가이샤 하무라기쥬츠센터내  
구마가이 미노루  
일본국 도쿄도 하무라시 사카에쵸 3쵸메 2반 1고 가시오계산키가부시킴가이샤 하무라기쥬츠센터내

(74) 대리인 손은진

심사청구 : 있음

(54) 트랜지스터 어레이 기판 및 디스플레이 패널

요약

배선의 전압강하를 억제하기 위해, 기판과, 기판상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 게이트 절연막이 개재되는 복수의 구동 트랜지스터와, 복수의 구동 트랜지스터의 게이트와 함께 패터닝되고, 기판상에 있어서 소정의 방향으로 연재하도록 배열된 복수의 신호선과, 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 게이트 절연막을 통하여 복수의 신호선과 교차하도록 배열되며, 구동 트랜지스터의 소스와 드레인 중의 한쪽에 도통한 복수의 공급선과, 복수의 공급선을 따라서 복수의 공급선에 각각 적층된 복수의 급전배선을 갖는 트랜지스터 어레이 기판을 구비한다.

대표도

도 5

색인어

화소회로, 주사선, 공급선, 트랜지스터, EL 디스플레이패널.

명세서

도면의 간단한 설명

도 1은 EL 디스플레이 패널(1)의 회로 구성을 절연기관(2)과 함께 나타낸 도면,

도 2는 EL 디스플레이 패널(1)의 화소회로(P<sub>i,j</sub>)의 등가 회로도,

도 3은 EL 디스플레이 패널(1)의 화소회로(P<sub>i,j</sub>)의 전극을 나타낸 평면도,

도 4는 EL 디스플레이 패널(1)의 화소회로(P<sub>i,j</sub>)의 전극을 나타낸 평면도,

도 5는 도 3에 도시된 V-V선의 화살표 단면도,

도 6은 도 3에 도시된 VI-VI선의 화살표 단면도,

도 7은 도 3에 도시된 VII-VII선의 화살표 단면도,

도 8은 도 3에 도시된 VIII-VIII선의 화살표 단면도,

도 9는 게이트 레이어(층)를 패터닝한 상태의 평면도,

도 10은 드레인 레이어를 패터닝한 상태의 평면도,

도 11은 패터닝한 게이트 레이어에 드레인 레이어를 중첩한 상태의 평면도,

도 12는 EL 디스플레이 패널(1)의 유기EL층의 레이아웃을 나타내는 개략 평면도,

도 13은 EL 디스플레이 패널(1)의 구동방법을 설명하기 위한 타이밍도,

도 14는 EL 디스플레이 패널(1)의 다른 구동방법을 설명하기 위한 타이밍도,

도 15는 각 화소회로(P<sub>1,1</sub>~P<sub>m,n</sub>)의 구동 트랜지스터(23) 및 유기EL소자(20)의 전류-전압 특성을 나타내는 그래프,

도 16은 32인치의 EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 최대 전압강하와 배선 저항율( $\rho$ ) / 단면적(S)의 상관관계를 나타내는 그래프,

도 17은 32인치의 EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 단면적과 전류밀도의 상관관계를 나타내는 그래프,

도 18은 40인치의 EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 최대 전압강하와 배선 저항율( $\rho$ ) / 단면적(S)의 상관관계를 나타내는 그래프,

도 19는 40인치의 EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 단면적과 전류밀도의 상관관계를 나타내는 그래프,

도 20은 EL 디스플레이 패널(1)의 회로 구성을 절연기관(2)과 함께 나타낸 도면,

- 도 21은 EL 디스플레이 패널(1)의 화소회로( $P_{i,j}$ )의 등가 회로도,
- 도 22는 EL 디스플레이 패널(1)의 화소회로( $P_{i,j}$ ) 및 화소회로( $P_{i,j+1}$ )의 전극을 나타낸 평면도,
- 도 23은 구동 트랜지스터(23)의 채널폭에 직교하는 면에서 절단한 단면도,
- 도 24는 도 3에 도시된 XXIV-XXIV선의 화살표 단면도,
- 도 25는 도 3에 도시된 XXV-XXV선의 화살표 단면도,
- 도 26은 발액성 도통막(55)의 피막 구조를 나타낸 모식도,
- 도 27은 EL 디스플레이 패널(1)의 유기EL층의 레이아웃을 나타내는 개략 평면도,
- 도 28은 EL 디스플레이 패널(1)의 동작을 설명하기 위한 타이밍도.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트랜지스터를 구비한 트랜지스터 어레이 기판 및 트랜지스터 어레이 기판에 의해서 전류가 흐름으로써 자(自)발광하는 발광소자를 이용한 디스플레이 패널에 관한 것이다.

유기 전계발광 디스플레이 패널은 크게 나누어 패시브 구동방식의 것과 액티브 매트릭스 구동방식의 것으로 분류할 수 있지만, 액티브 매트릭스 구동방식의 유기 전계발광 디스플레이 패널이 고콘트라스트, 고정밀이라는 점에서 패시브 구동방식보다 우수하다. 예를 들면, 특허 문헌 1에 기재된 종래의 액티브 매트릭스 구동방식의 유기 전계발광 디스플레이 패널에 있어서는 유기 전계발광 소자(이하, 유기EL소자라고 함)와, 화상 데이터에 따른 전압신호가 게이트에 인가되어 유기EL소자에 전류를 흘리는 구동 트랜지스터와, 이 구동 트랜지스터의 게이트에 화상 데이터에 따른 전압신호를 공급하기 위한 스위칭을 행하는 스위칭용 트랜지스터가, 화소마다 설치되어 있다. 이 유기 전계발광 디스플레이 패널에서는 주사선이 선택되면 스위칭용 트랜지스터가 ON으로 되고, 그 때에 휘도를 나타내는 레벨의 전압이 신호선을 통하여 구동 트랜지스터의 게이트에 인가된다. 이에 따라, 구동 트랜지스터가 ON으로 되고, 게이트전압의 레벨에 따른 크기의 구동전류가 전원으로 부터 구동 트랜지스터의 소스-드레인을 통하여 유기EL소자에 흐르며, 유기EL소자가 전류의 크기에 따른 휘도로 발광한다. 주사선의 선택이 종료하고 나서 다음에 그 주사선이 선택되기까지의 동안에는 스위칭용 트랜지스터가 OFF로 되어도 구동 트랜지스터의 게이트 전압의 레벨이 계속해서 홀딩되며, 유기EL소자가 전압에 따른 구동전류의 크기에 따른 휘도로 발광한다.

유기 전계발광 디스플레이 패널을 구동하기 위해, 유기 전계발광 디스플레이 패널의 주변에 구동회로를 설치하고, 유기 전계발광 디스플레이 패널에 부설(敷設)된 주사선, 신호선, 전원선 등에 전압을 인가하는 것이 실행되고 있다.

또, 종래의 액티브 매트릭스 구동방식의 유기 전계발광 디스플레이 패널에서는 전원선과 같은 유기EL소자에 전류를 흘리는 배선은 스위칭용 트랜지스터, 구동 트랜지스터 등과 같은 박막 트랜지스터의 재료를 이용해서 박막 트랜지스터의 패터닝 공정과 동시에 패터닝된다. 즉, 유기 전계발광 디스플레이 패널을 제조하기에 있어서, 박막 트랜지스터의 전극의 베이스로 되는 도전성 박막에 대해 포토리소그래피법, 에칭법을 행하는 것에 의해서, 그 도전성 박막으로부터 박막 트랜지스터의 전극을 형성 가공하는 동시에, 동시에 전극에 접속되는 배선도 형성 가공한다. 그 때문에, 배선이 도전성 박막으로 형성되면, 배선이 박막 트랜지스터의 전극의 두께와 동일하게 된다.

[특허 문헌 1] 일본국 특개평8-330600호 공보

#### 발명이 이루고자 하는 기술적 과제

그러나, 박막 트랜지스터의 전극은 트랜지스터로서 기능하는 것을 전제로 설계되어 있기 때문에, 바꾸어 말하면 발광소자에 전류를 흘리는 것을 전제로 해서 설계하고 있지 않기 때문에, 그 이름대로 박막이며, 그 때문에, 배선으로부터 복수의 발광소자에 전류를 흘리고자 하면, 배선의 전기 저항에 의해서 전압강하가 발생하거나 배선을 통한 전류 흐름의 지연이 생긴다. 전압강하 및 전류 지연을 억제하기 위해 배선을 저저항화하는 것이 요망되지만, 그를 위해 트랜지스터의 소스, 드레인 전극으로 되는 금속층이나 게이트 전극으로 되는 금속층을 두껍게 하거나, 이들 금속층을 전류가 충분히 흐를 정도로 상당히 폭넓게 패터닝해서 저저항 배선으로 하면, 배선이 다른 배선이나 도전체 등과 평면에서 보아 중첩되는 면적이 증가해 버려, 그들 사이에 기생 용량이 발생해 버리고, 전류의 흐름을 지연시키는 요인을 발생시켜 버리거나, 혹은 트랜지스터 어레이 기관측으로부터 EL광을 출사하는 소위 보텀에미션(bottom emission) 구조의 경우, EL소자로부터의 발광을 배선이 차광해 버리므로, 발광 면적의 비율인 개구율의 저하를 초래해 버리고 있었다. 또 저저항화하기 위해 박막 트랜지스터의 게이트 전극을 두껍게 하면, 게이트 전극의 단차를 평탄화하기 위한 평탄화막(예를 들면, 박막 트랜지스터가 역스태거 구조의 경우, 게이트 절연막에 상당)까지 두껍게 하지 않으면 안되어, 트랜지스터 특성이 크게 변화해 버릴 우려가 있으며, 또 소스, 드레인 전극을 두껍게 하면, 소스, 드레인 전극의 에칭 정밀도가 저하해 버리기 때문에, 역시 트랜지스터의 특성에 악영향을 미칠 우려가 있다.

그래서, 본 발명은 전압강하·신호지연을 억제하여 양호하게 발광소자를 구동하는 것을 목적으로 한다.

### 발명의 구성 및 작용

이상의 과제를 해결하기 위해, 본 발명의 트랜지스터 어레이 기관은 기관과, 상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 게이트 절연막이 개재되는 복수의 구동 트랜지스터와, 상기 복수의 구동 트랜지스터의 게이트와 함께 패터닝되고, 상기 기관상에 있어서 소정의 방향으로 연재(延在)하도록 배열된 복수의 신호선과, 상기 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 신호선과 교차하도록 배열되며, 구동 트랜지스터의 소스와 드레인 중의 한쪽에 도통한 복수의 공급선과, 상기 복수의 공급선에 따라서 상기 복수의 공급선에 각각 적층된 복수의 급전(給電) 배선을 구비한다.

바람직하게는, 상기 트랜지스터 어레이 기관이 상기 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 공급선과 교차하도록 배열된 복수의 주사선을 추가로 구비한다.

바람직하게는, 상기 트랜지스터 어레이 기관이, 상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 상기 게이트 절연막이 개재되는 복수의 스위치 트랜지스터를 추가로 구비하고, 상기 복수의 구동 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 복수의 스위치 트랜지스터의 소스와 드레인 중의 한쪽에 각각 도통하고, 상기 복수의 스위치 트랜지스터의 게이트가 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 주사선에 도통하고, 상기 복수의 스위치 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 게이트 절연막에 형성된 콘택트홀(접촉구멍)을 통하여 상기 신호선에 도통하고 있다.

바람직하게는, 상기 트랜지스터 어레이 기관이 상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 상기 게이트 절연막이 개재되는 복수의 홀딩 트랜지스터를 추가로 구비하며, 상기 복수의 홀딩 트랜지스터의 소스와 드레인 중의 한쪽이 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 복수의 구동 트랜지스터의 게이트에 각각 도통하고, 상기 복수의 홀딩 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 공급선 또는 상기 주사선에 도통하고, 상기 복수의 홀딩 트랜지스터의 게이트가 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 주사선에 도통하고 있다.

본 발명의 디스플레이 패널은, 기관과, 상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 게이트 절연막이 개재되는 복수의 구동 트랜지스터와, 상기 복수의 구동 트랜지스터의 게이트와 함께 패터닝되고, 상기 기관상에 있어서 소정의 방향으로 연재하도록 배열된 복수의 신호선과, 상기 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 신호선과 교차하도록 배열되며, 구동 트랜지스터의 소스와 드레인 중의 한쪽에 도통한 복수의 공급선과, 상기 복수의 공급선을 따라서 상기 복수의 공급선에 각각 접속된 복수의 급전배선과, 상기 복수의 구동 트랜지스터의 소스와 드레인의 다른쪽에 각각 도통한 복수의 화소전극과, 상기 복수의 화소전극 각각에 성막된 복수의 발광층과, 상기 복수의 발광층을 피복한 대향전극을 구비한다.

바람직하게는 상기 디스플레이 패널이 상기 복수의 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 공급선과 교차하도록 배열된 복수의 주사선을 추가로 구비한다.

본 발명에 따르면, 신호선이 구동 트랜지스터의 게이트와 함께 패터닝되어 있지만, 급전배선이 공급선에 적층되어 있기 때문에, 급전배선이 구동 트랜지스터의 드레인·소스·게이트와는 별도로 형성된다. 그 때문에, 급전배선의 폭을 넓게 하지 않고도 급전배선을 두껍게 할 수 있어, 급전배선을 저저항화할 수 있다. 그 때문에, 급전배선을 통하여 구동 트랜지스터·화소 전극으로 신호를 출력한 경우에도, 전압강하를 억제할 수 있는 동시에 신호 지연도 억제할 수 있다.

또, 급전배선을 도금에 의해서 성막하는 경우, 공급선이 신호선의 상층으로 되기 때문에, 트랜지스터 어레이 기판, 디스플레이 패널의 제조 과정에 있어서 공급선에 전압을 인가한 상태에서 도금액에 침지하는 것에 의해서, 공급선에 적층된 급전배선을 성장시킬 수 있다.

본 발명에 따르면, 급전배선을 두껍게 할 수 있으므로, 급전배선을 저저항화할 수 있다. 급전배선의 저저항화에 의해서 신호지연, 전압강하를 억제할 수 있다.

디스플레이 패널의 제조방법은 패널 위에 화소전극을 매트릭스형상으로 배열하도록 패터닝하고, 상기 화소전극의 사이에 금속으로 이루어지는 배선을 형성하고, 상기 배선의 표면에 발액도통층을 피막하고, 상기 전극에 유기화합물 함유액을 도포하는 것에 의해서 유기화합물층을 성막한다.

배선을 두껍게 하는 것에 의해서, 전압강하를 억제하는 동시에 유기화합물 함유액을 성막할 때의 격벽에 이용할 수 있다. 이 때문에 발액도통층은 발액성을 나타내므로 양호하게 유기화합물층을 패터닝할 수 있다. 또, 예를 들면 트리아진 화합물과 같은 발액도통층은 선택적으로 금속의 표면에는 발액성을 나타낼 정도로 피막하지만 절연물이나 금속산화물의 표면에는 발액성을 나타낼 정도로 피막되지 않고, 또한 금속의 표면에 극히 얇게 피막하므로, 금속의 표면에서의 전기 도통성은 소실되는 일이 없다.

[발명을 실시하기 위한 최량의 형태]

[제 1 실시형태]

이하에, 본 발명을 실시하기 위한 최량의 형태에 대해서 도면을 이용해서 설명한다. 단, 이하에 기술하는 실시형태에는 본 발명을 실시하기 위해 기술적으로 바람직한 각종의 한정(한정)이 부가되어 있지만, 발명의 범위를 이하의 실시형태 및 도시에 한정하는 것은 아니다.

[EL 디스플레이 패널의 전체 구성]

도 1에는 액티브 매트릭스 구동방식의 EL 디스플레이 패널(1)의 개략도가 도시되어 있다. 도 1에 도시하는 바와 같이, EL 디스플레이 패널(1)은 광투과성을 갖는 가요성(플렉시블)의 시트형상 또는 강성의 판형상의 절연기판(2)과, 서로 평행하게 되도록 절연기판(2)상에 배열된 n개(복수개)의 신호선( $Y_1 \sim Y_n$ )과, 절연기판(2)을 평면에서 보아 신호선( $Y_1 \sim Y_n$ )에 대해 직교하도록 절연기판(2)상에 배열된 m개(복수개)의 주사선( $X_1 \sim X_m$ )과, 주사선( $X_1 \sim X_m$ )의 각각의 사이에 있어서 주사선( $X_1 \sim X_m$ )과 평행하고 또한 서로 엇갈리는 바와 같은 절연기판(2)상에 배열된 m개(복수개)의 공급선( $Z_1 \sim Z_m$ )과, 신호선( $Y_1 \sim Y_n$ ) 및 주사선( $X_1 \sim X_m$ )을 따라서 매트릭스형상으로 되도록 절연기판(2)상에 배열된 ( $m \times n$ )군의 화소회로( $P_{1,1} \sim P_{m,n}$ )와, 평면에서 보아 공급선( $Z_1 \sim Z_m$ )에 대해 평행하게 되도록 설치된 복수의 급전배선( $90, 90, \dots$ )과, 평면에서 보아 신호선( $Y_1 \sim Y_n$ )에 대해 평행방향으로 설치된 공통배선( $91, 91, \dots$ )을 구비한다.

이하에서는, 신호선( $Y_1 \sim Y_n$ )의 연재한 방향을 수직방향(열방향)으로 하고, 주사선( $X_1 \sim X_m$ )의 연재한 방향을 수평방향(행방향)으로 한다. 또, m, n은 2 이상의 자연수이며, 주사선(X)에 붙은 아래첨자는 도 1에 있어서 위로부터의 배열순을 나타내고, 공급선(Z)에 붙은 아래첨자는 도 1에 있어서 위로부터의 배열순을 나타내며, 신호선(Y)에 붙은 아래첨자는 도 1에 대해 좌측으로부터의 배열순을 나타내고, 화소회로(P)에 붙은 아래첨자의 앞측이 위로부터의 배열순을 나타내고, 뒤측이 좌측으로부터의 배열순을 나타낸다. 즉, 1~m 중의 임의의 자연수를 i로 하고 1부터 n 중의 임의의 자연수를 j로 한 경우에, 주사선( $X_i$ )은 위로부터 i행째이고, 공급선( $Z_j$ )은 좌측부터 i행째이며, 신호선( $Y_j$ )은 좌측부터 j열째이고, 화소회로( $P_{i,j}$ )는 위로부터 i행째, 좌측부터 j열째이며, 화소회로( $P_{i,j}$ )는 주사선( $X_i$ ), 공급선( $Z_j$ ) 및 신호선( $Y_j$ )에 접속되어 있다.

급전배선(90, 90, ...)의 총수는 m개이며, 각 급전배선(90)은 절연기판(2)의 좌측의 단자(90b)와 우측의 단자(90c)의 양측으로부터, 후술하는 기입전류를 흘리는 전압(VL) 및 구동전류를 흘리는 전압(VH)이 인가되므로, 좌측의 단자(90b)와 우측의 단자(90c)중의 어느 한쪽만으로부터 전압(VL) 및 전압(VH)을 인가하는 것보다도 급전배선(90)의 전압강하를 낮게 억제할 수 있다. 각 급전배선(90, 90, ...)은 각 공급선( $Z_1 \sim Z_m$ )의 상면에 각 공급선( $Z_1 \sim Z_m$ )과 전기적으로 접속하도록 형성되어 있다.

공통배선(91, 91, ...)의 총수는 n+1개이며, 행방향으로 인접하는 공통배선(91, 91)은 그들 사이에 개재하는 유기EL소자(발광소자)(20)의 유기EL층(20b)을 성막시에 간막이하는 격벽으로서도 기능하고 있다. 공통배선(91, 91, ...)은 앞측에서 리드배선(91a)과 접속되고, 뒤측에서 리드배선(91b)과 접속되어 있으며, 리드배선(91a, 91b)은 공통배선(91, 91, ...)과 동일한 막두께이며, 전후방향으로 유기EL층(20b)을 성막시에 간막이하는 격벽으로서도 기능하고 있다. 공통배선(91, 91, ...)은 배선단자(91c)에 의해서 외부와 접속되며, 코먼전위(Vcom)가 인가되어 있다.

이 EL 디스플레이 패널(1)에 있어서는 주사선( $X_1 \sim X_m$ )과 신호선( $Y_1 \sim Y_n$ )으로 매트릭스형상으로 구획된 각각의 영역이 화소를 구성하고, 화소회로( $P_{1,1} \sim P_{m,n}$ )가 1개의 영역당 1군만 설치되어 있다.

[화소회로의 회로구성]

어느 화소회로( $P_{1,1} \sim P_{m,n}$ )도 동일하게 구성되어 있으므로, 화소회로( $P_{1,1}$ )~화소회로( $P_{m,n}$ ) 중 임의의 화소회로( $P_{i,j}$ )에 대해 설명한다. 도 2는 화소전극( $P_{i,j}$ )의 등가회로도이며, 도 3, 도 4는 주로 화소회로( $P_{i,j}$ )의 전극을 나타낸 평면도이다. 또한, 도면을 보기 쉽게 하기 위해, 도 3에 있어서는 화소회로( $P_{i,j}$ )의 화소전극(20a)의 도시를 생략하고, 도 4에 있어서는 화소회로( $P_{i,j}$ )의 하층층의 전극의 도시를 생략한다.

화소회로( $P_{i,j}$ )는 화소로서의 유기EL소자(20)와, 유기EL소자(20)의 주위에 배치된 3개의 N 채널형의 아몰퍼스 실리콘 박막 트랜지스터(이하 단지 트랜지스터라고 기술함)(21), (22), (23)와, 캐패시터(24)를 구비한다. 이하에서는 트랜지스터(21)를 스위치 트랜지스터(21)로, 트랜지스터(22)를 홀딩 트랜지스터(22)로, 트랜지스터(23)를 구동 트랜지스터(23)로 칭한다.

도 2에 도시하는 바와 같이, 화소회로( $P_{i,j}$ )에서는 스위치 트랜지스터(21)에 있어서는 소스(21s)가 신호선( $Y_j$ )에 도통하고, 드레인(21d)이 유기EL소자(20)의 화소전극(20a), 구동 트랜지스터(23)의 소스(23s) 및 캐패시터(24)의 상층전극(24B)에 도통하고, 게이트(21g)가 홀딩 트랜지스터(22)의 게이트(22g) 및 주사선( $X_i$ )에 도통하고 있다.

홀딩 트랜지스터(22)에 있어서는 소스(22s)가 구동 트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 하층전극(24A)에 도통하고, 드레인(22d)이 구동 트랜지스터(23)의 드레인(23d) 및 공급선( $Z_1$ )에 도통하고, 게이트(22g)가 스위치 트랜지스터(21)의 게이트(21g) 및 주사선( $X_i$ )에 도통하고 있다.

구동 트랜지스터(23)에 있어서는 소스(23s)가 유기EL소자(20)의 화소전극(20a), 스위치 트랜지스터(21)의 드레인(21d) 및 캐패시터(24)의 전극(24B)에 도통하고, 드레인(23d)이 홀딩 트랜지스터(22)의 드레인(22d) 및 공급선( $Z_1$ )에 도통하고, 게이트(23g)가 홀딩 트랜지스터(22)의 소스(22s) 및 캐패시터(24)의 하층전극(24A)에 도통하고 있다.

[평면 레이아웃]

도 1~도 4에 도시하는 바와 같이, EL 디스플레이 패널(1) 전체를 평면에서본 경우, 주사선( $X_1 \sim X_m$ )과 공급선( $Z_1 \sim Z_m$ )은 교대로 배열되고, 급전배선(90, 90, ...)이 공급선( $Z_1 \sim Z_m$ )에 각각 중첩되어 있다. 또, 신호선( $Y_1 \sim Y_n$ )과 공통배선(91, 91, ...)은 교대로 배열되어 있다.

도 3~도 4에 도시하는 바와 같이, 화소회로( $P_{1,1} \sim P_{m,n}$ ) 중 임의의 화소회로( $P_{i,j}$ )에 주목한 경우, 평면에서 보아 신호선( $Y_j$ )과 공통배선(91) 사이이고, 주사선( $X_i$ )과 공급선( $Z_1$ ) 사이에는, 그들에 의해서 둘러싸인 직사각형 영역이 형성되지만,

이 직사각형 영역내에 유기EL소자(20)의 화소전극(20a)이 배치되어 있다. 따라서, EL 디스플레이 패널(1) 전체를 평면에서 본 경우, 복수의 화소전극(20a)이 매트릭스형상으로 배열되어 있다. 또한, 화소전극(20a)은 평면에서 본 경우에 수직방향으로 장축의(긴) 직사각형 형상으로 설치되어 있다.

평면에서 보아, 스위치 트랜지스터(21)가 신호선( $Y_j$ )을 따르도록 배치되고, 그 스위치 트랜지스터(21)가 화소전극(20a)의 가장자리부에 중첩되어 있다.

또, 평면에서 보아, 홀딩 트랜지스터(22)가 주사선( $X_i$ )을 따르도록 배치되며, 그 홀딩 트랜지스터(22)가 화소전극(20a)의 가장자리부와 중첩되어 있다.

또, 평면에서 보아, 구동 트랜지스터(23)가 공통배선(91)과 중첩되도록 배치되어 있다.

또, 평면에서 보아, 캐패시터(24)는 공통배선(91), 공급선( $Z_1$ ) 및 신호선( $Y_j$ )을 따르도록 화소전극(20a)의 가장자리부와 중첩되어 있다.

또한, EL 디스플레이 패널(1) 전체를 평면에서 보아 화소회로( $P_{1,1} \sim P_{m,n}$ )의 스위치 트랜지스터(21)에만 주목하면, 복수의 스위치 트랜지스터(21)가 절연기관(2)상에 매트릭스형상으로 배열되고, 평면에서 보아 화소회로( $P_{1,1} \sim P_{m,n}$ )의 홀딩 트랜지스터(22)에만 주목하면, 복수의 홀딩 트랜지스터(22)가 절연기관(2)상에 매트릭스형상으로 배열되며, 평면에서 보아 화소회로( $P_{1,1} \sim P_{m,n}$ )의 구동 트랜지스터(23)에만 주목하면, 복수의 구동 트랜지스터(23)가 절연기관(2)상에 매트릭스형상으로 배열되어 있다.

#### [EL 디스플레이 패널의 층 구조]

EL 디스플레이 패널(1)의 층 구조에 대해 설명한다. 우선, 트랜지스터(21)~(23)의 층 구조에 대해서 도 5~도 8을 이용하여 설명한다. 여기서, 도 5는 도 3에 도시된 V-V선을 따라서 절연기관(2)의 두께방향으로 절단한 화살표 단면도이고, 도 6은 도 3에 도시된 VI-VI선을 따라서 절연기관(2)의 두께 방향으로 절단한 화살표 단면도이고, 도 7은 도 3에 도시된 VII-VII선을 따라서 절연기관(2)의 두께 방향으로 절단한 화살표 단면도이며, 도 8은 도 3에 도시된 VIII-VIII선을 따라서 절연기관(2)의 두께 방향으로 절단한 화살표 단면도이다. 또한, 도 5~도 7에서는 화소회로( $P_{i,j}$ )의 인접하는 화소회로( $P_{i,j-1}$ )도 일부 나타나고 있다.

도 5에 도시하는 바와 같이, 스위치 트랜지스터(21)는 절연기관(2)상에 형성된 게이트(21g)와, 게이트(21g)상에 형성된 게이트 절연막(31)과, 게이트 절연막(31)을 사이에 두고 게이트(21g)에 대향한 반도체막(21c)과, 반도체막(21c)의 중앙부상에 형성된 채널 보호막(21p)과, 반도체막(21c)의 양단부상에 있어서 서로 이간되도록 형성되고 채널 보호막(21p)에 일부 중첩된 불순물 반도체막(21a), (21b)과, 불순물 반도체막(21a)상에 형성된 드레인(21d)과, 불순물 반도체막(21b)상에 형성된 소스(21s)로 구성되어 있다. 또한, 드레인(21d) 및 소스(21s)는 1층 구조여도 좋고, 2층 이상의 적층구조여도 좋다.

도 8에 도시하는 바와 같이, 홀딩 트랜지스터(22)는 절연기관(2)상에 형성된 게이트(22g)와, 게이트(22g)상에 형성된 게이트 절연막(31)과, 게이트 절연막(31)을 사이에 두고 게이트(22g)에 대향한 반도체막(22c)과, 반도체막(22c)의 중앙부상에 형성된 채널 보호막(22p)과, 반도체막(22c)의 양단부상에 있어서 서로 이간되도록 형성되고, 채널 보호막(22p)에 일부 중첩된 불순물 반도체막(22a), (22b)과, 불순물 반도체막(22a)상에 형성된 드레인(22d)과, 불순물 반도체막(22b)에 형성된 소스(22s)로 구성되어 있다. 또한, 드레인(22d) 및 소스(22s)는 1층 구조여도 좋고, 2층 이상의 적층구조여도 좋다.

도 5에 도시하는 바와 같이, 구동 트랜지스터(23)는 절연기관(2)상에 형성된 게이트(23g)와, 게이트(23g)상에 형성된 게이트 절연막(31)과, 게이트 절연막(31)을 사이에 두고 게이트(23g)에 대향한 반도체막(23c)과, 반도체막(23c)의 중앙부상에 형성된 채널 보호막(23p)과, 반도체막(23c)의 양단부상에 있어서 서로 이간되도록 형성되고, 채널 보호막(23p)에 일부 중첩된 불순물 반도체막(23a), (23b)과, 불순물 반도체막(23b)상에 형성된 드레인(23d)과, 불순물 반도체막(23a)상에 형성된 소스(23s)로 구성되어 있다. 평면에서 본 경우, 구동 트랜지스터(23)의 소스(23s)가 ‘ㄱ’형상으로 설치되어 있는 것에 의해, 구동 트랜지스터(23)의 채널폭이 넓게 되어 있다. 또한, 트랜지스터(21)~(23)의 각 드레인(21d)~(23d) 및 소스(21s)~(23s)는 동일한 재료층을 패터닝해서 형성되어 있다.

다음에, 캐패시터(24)의 층 구조에 대해서 설명한다. 도 5, 도 8에 도시하는 바와 같이, 캐패시터(24)는 절연기판(2)상에 형성된 하층전극(24A)과, 하층전극(24A)상에 형성된 게이트 절연막(31)과, 게이트 절연막(31)을 사이에 두고 상층전극(24A)에 대향한 전극(24B)으로 구성되어 있다.

다음에, 트랜지스터(21)~(23) 및 캐패시터(24)의 각 층과 신호선( $Y_1 \sim Y_n$ ), 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )과의 관계에 대해 도 5~도 11을 이용해서 설명한다. 도 9~도 11은 트랜지스터(21)~(23) 등의 전극의 평면도이다.

도 5~도 8, 도 9에 도시하는 바와 같이, 화소회로( $P_{1,1} \sim P_{m,n}$ )의 스위치 트랜지스터(21)의 게이트(21g), 홀딩 트랜지스터(22)의 게이트(22g), 구동 트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 하층전극(24A) 및 신호선( $Y_1 \sim Y_n$ )은 절연기판(2)상의 전면에 빈틈없이 성막된 동일한 도전성막을 포토리소그래피법에 의해 패터닝한 것이다. 이하에서는 스위치 트랜지스터(21)의 게이트(21g), 홀딩 트랜지스터(22)의 게이트(22g), 구동 트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 전극(24A) 및 신호선( $Y_1 \sim Y_n$ )의 베이스로 되는 도전성막을 게이트 레이어라 한다. 여기서, 도 9는 게이트 레이어를 패터닝한 상태의 평면도를 나타낸다.

도 5~도 8에 도시하는 바와 같이, 게이트 절연막(31)은 화소회로( $P_{1,1} \sim P_{m,n}$ )의 스위치 트랜지스터(21), 홀딩 트랜지스터(22), 구동 트랜지스터(23) 및 캐패시터(24) 전체에 공통된 막이며, 면내의 전면에 빈틈없이 성막되어 있다. 따라서, 게이트 절연막(31)은 스위치 트랜지스터(21)의 게이트(21g), 홀딩 트랜지스터(22)의 게이트(22g), 구동 트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 전극(24A) 및 신호선( $Y_1 \sim Y_n$ )을 피복하고 있다.

도 5~도 8, 도 10에 도시하는 바와 같이, 화소회로( $P_{1,1} \sim P_{m,n}$ )의 스위치 트랜지스터(21)의 드레인(21d)·소스(21s), 홀딩 트랜지스터(22)의 드레인(22d)·소스(22s), 구동 트랜지스터(23)의 드레인(23d)·소스(23s) 및 캐패시터(24)의 전극(24B)과 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )은 게이트 절연막(31)상의 전면에 빈틈없이 성막된 동일한 도전성막을 포토리소그래피법에 의해 패터닝한 것이다. 이하에서는 스위치 트랜지스터(21)의 드레인(21d)·소스(21s), 홀딩 트랜지스터(22)의 드레인(22d)·소스(22s), 구동 트랜지스터(23)의 드레인(23d)·소스(23s) 및 캐패시터(24)의 전극(24B)과 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )의 베이스로 되는 도전성막을 드레인 레이어라 한다.

여기서, 도 10은 드레인 레이어를 패터닝한 상태의 평면도를 나타낸다. 그리고, 도 11은 패터닝한 게이트 레이어에 패터닝한 드레인 레이어를 중첩한 상태의 평면도를 나타낸다.

도 3, 도 7, 도 9, 도 10에 도시하는 바와 같이, 주사선( $X_j$ )은 게이트 절연막(31)에 형성된 콘택트홀(92)을 통하여 스위치 트랜지스터(21)의 게이트(21g) 및 홀딩 트랜지스터(22)의 게이트(22g)에 도통하고, 신호선( $Y_j$ )은 게이트 절연막(31)에 형성된 콘택트홀(94)을 통하여 스위치 트랜지스터(21)의 소스(21s)에 도통하고, 홀딩 트랜지스터(22)의 소스(22s)는 게이트 절연막(31)에 형성된 콘택트홀(93)을 통하여 구동 트랜지스터(23)의 게이트(23g)에 도통하고 있다.

도 5~도 8에 도시하는 바와 같이, 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23)와 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )은 전면에 빈틈없이 성막된 보호 절연막(32)에 의해 피복되어 있다. 또한, 상세는 후술하겠지만, 보호 절연막(32)은 공급선( $Z_1 \sim Z_m$ )과 중첩되는 개소에서 스트립(短冊)형상으로 분단되어 있다.

보호 절연막(32)에는 평탄화막(33)이 적층되고 있어, 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23)와 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )에 의한 요철(오목볼록)이 평탄화막(33)에 의해 해소되고 있다. 즉, 평탄화막(33)의 표면이 평탄으로 되어 있다. 평탄화막(33)은 수직을 경화시킨 것이다. 또한, 상세는 후술하겠지만, 평탄화막(33)은 보호 절연막(32)과 함께 공급선( $Z_1 \sim Z_m$ )과 중첩되는 개소에서 직사각형 형상으로 분단되어 있다.

또한, 이 EL 디스플레이 패널(1)을 보텀에미션형으로서 이용하는 경우, 즉, 절연기판(2)을 표시면으로서 이용하는 경우에는 게이트 절연막(31), 보호 절연막(32) 및 평탄화막(33)에는 투명한 재료를 이용한다.

보호 절연막(32) 및 평탄화막(33)에는 공급선( $Z_1 \sim Z_m$ )을 따라서 수평방향으로 연재하는 장치의 복수의 홈(34)(도 8에 도시)이 공급선( $Z_1 \sim Z_m$ )에 각각 중첩되도록 형성되고, 보호 절연막(32) 및 평탄화막(33)은 수직방향으로 인접하는 홈(34,

34)에 의해서 수평방향으로 연재하는 직사각형 형상으로서 분단되어 있다. 홈(34)에는 급전배선(90)이 각각 매립되어 있으며, 홈(34)내에 있어서 급전배선(90)이 공급선( $Z_1 \sim Z_m$ )에 전기적으로 접속하도록 각각 적층되어 있다. 급전배선(90)은 도금법에 의해 형성된 것이므로, 신호선( $Y_1 \sim Y_n$ ), 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )과 트랜지스터(21~23)의 게이트전극이나, 소스, 드레인 전극보다 충분히 두껍다. 구체적으로는 급전배선(90)의 두께는 보호 절연막(32)과 평탄화막(33)의 두께의 총계와 거의 동일하다. 급전배선(90)은 금 혹은 니켈 또는 이들의 적층체로 이루어진다.

절연기판(2)에서 평탄화막(33)까지의 적층구조를 트랜지스터 어레이 기판(50)으로 한다. 이 트랜지스터 어레이 기판(50)에 있어서는 평면에서 보아 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23)가 매트릭스형상으로 배열되어 있다.

다음에, 트랜지스터 어레이 기판(50)의 표면에 적층된 층 구조에 대해서 설명한다. 트랜지스터 어레이 기판(50)의 표면상, 즉, 평탄화막(33)의 표면상에는 복수의 화소전극(20a)이 매트릭스형상으로 배열되어 있다. 또, 평탄화막(33) 및 보호 절연막(32)에는 복수의 콘택트홀(95)이 화소전극(20a) 및 캐패시터(24)의 전극(24B)의 일부에 중첩되도록 형성되고, 이들 콘택트홀(95)에 도전성 패드가 매립되어 있다. 따라서, 화소전극(20a)은 평탄화막(33) 및 보호 절연막(32)에 형성된 콘택트홀(95)을 통하여 캐패시터(24)의 전극(24B), 스위치 트랜지스터(21)의 드레인(21d) 및 구동 트랜지스터(23)의 소스(23s)에 도통하고 있다. 또한, 콘택트홀(95)내의 도전성 패드는 도금법에 의해 형성된 것이다.

화소전극(20a)은 유기EL소자(20)의 애노드로서 기능하는 전극이다. 즉, 화소전극(20a)의 일함수가 비교적 높고, 후술하는 유기EL층(20b)에 정공을 효율 좋게 주입하는 것이 바람직하다. 또, 화소전극(20a)은 보트에미션 구조의 경우, 가시광에 대해 투과성을 갖고 있다. 화소전극(20a)으로서는 예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 산화인듐( $In_2O_3$ ), 산화 주석( $SnO_2$ ), 산화 아연( $ZnO$ ) 또는 카드뮴-주석 산화물(CTO)을 주성분으로 한 금속 산화물이 있다.

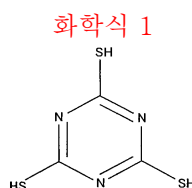
또한, 이 EL 디스플레이 패널(1)을 투에미션형으로서 이용하는 경우, 즉, 절연기판(2)의 반대측을 표시면으로서 이용하는 경우에는 화소전극(20a)과 평탄화막(33)의 사이에, 도전성이고 또한 가시광 반사성이 높은 반사막을 성막하면 좋다.

이들 화소전극(20a)은 평탄화막(33)상의 전면에 빈틈없이 성막된 도전성막(보트에미션의 경우, 투명 도전성막)을 포토리소그래피법·에칭법에 의해서 패터닝한 것이다. 수직방향으로 인접하는(서로 이웃하는) 화소전극(20a)의 사이의 급전배선(90)상에는 급전배선(90)을 따라서 급전배선(90)과 전기적으로 접속하고 있는 도전성라인(51)이 화소전극(20a)의 1열 건너 패터닝되어 있지만, 도전성 라인(51)은 화소전극(20a)의 베이스로 되는 도전성막을 에칭하는 것에 의해서 화소전극(20a)과 함께 패터닝된 것이다. 각 도전성 라인(51)의 폭은 아래쪽의 급전배선(90)의 폭보다 넓기 때문에 급전배선(90)이 노출하지 않도록 급전배선(90)을 각각 피복하여, 급전배선(90)을 도전성 라인(51)의 에천트(부식액) 등으로부터 보호하고 있다.

이들 화소전극(20a)의 사이에는 질화 실리콘 등으로 이루어지는 메시형상의 절연막(52)이 패터닝되어 있다. 구체적으로는 절연막(52)은 도전성라인(51)이 노출되지 않도록 도전성라인(51)을 덮도록 열방향으로 연재하고, 그리고 후술하는 공통배선(91)의 하지층(underlayer)으로서 열방향으로 연재하는 격자형상으로 형성되어 있다. 수평방향으로 인접하는 화소전극(20a), (20a)간의 절연막(52)의 위에는 열방향을 따라서 공통배선(91)이 각각 적층되어 있다.

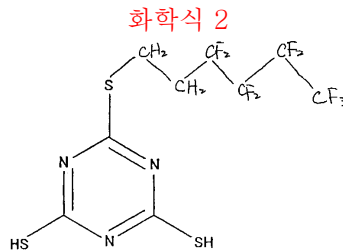
공통배선(91)은 도금법에 의해 형성된 것이므로, 신호선( $Y_1 \sim Y_n$ ), 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )과 트랜지스터(21~23)의 게이트 전극이나 소스, 드레인 전극보다 충분히 두껍다. 공통배선(91)은 동, 알루미늄, 금, 니켈 중의 적어도 어느 하나를 포함한다.

공통배선(91)의 표면에는 발수성(water repellency)·발유성(oil repellency)을 가진 발액성 도통막(55)이 성막되어 있다. 발액성 도통막(55)은 다음의 화학식 1로 나타낸 트리아질트리티올(triazyl-trithiol)의 메르카프토(mercapto)기(-SH)의 수소 원자(H)가 환원이탈하고, 유황 원자(S)가 공통배선(91)의 표면에 산화흡착한 것이다.



발액성 도통막(55)은 트리아질트리티올 분자가 공통배선(91)의 표면에 극히 얇게 성막되어 있기 때문에, 발액성 도통막(55)은 두께방향으로 매우 저저항이며 거의 절연성을 갖지 않는다. 또한, 발수성·발유성을 현저하게 하기 위해 트리아질트리티올 대신에, 트리아질트리티올의 1 또는 2의 메틸기가 불화 알킬기로 치환한 트리아진티올 유도체여도 좋다. 이러한 트리아질 화합물은 공통배선(91)과 같은 금속에 선택적으로 피막해서 결합할 수 있다. 구체적으로는 6-디메틸아미노-1, 3, 5-트리아진-2, 4-디티올(dithiol)나트륨염을 농도  $10^{-3}$ mol·l 수용액으로 조정한 후, 액온(液溫) 26℃, 침지시간 30분의 조건에서 공통배선(91)을 그의 수용액에 침지했을 때, 공통배선(91)의 표면에 막두께 0.7nm 정도의 발액성 도통막(55)이 피막된다(막두께는 엘립소미터(ellipsometer)에 의한 측정값). 또, 6-디도데실아미노(didodecylamino)-1, 3, 5-트리아진-2, 4-디티올-나트륨염을 농도  $10^{-3}$ mol·l 수용액으로 조정한 후, 액온 46℃, 침지 시간 30분의 조건에서 공통배선(91)을 그 수용액에 침지했을 때, 공통배선(91)에 막두께 1.8nm 정도의 발액성 도통막(55)이 피막된다(막두께는 엘립소미터에 의한 측정값).

또 상기에 한정하지 않고, 다음의 화학식에 나타내는 순수한 물을 용매로 한 트리아진티올 유도체(예를 들면, 다음의 화학식)의 수산화나트륨 수용액을 공통배선(91)에 도포해서 트리아진티올 유도체를 피막해도 좋다. 이 수용액은 트리아진티올 유도체의 농도를  $2.0 \times 10^{-3}$ mol·l로 하고, 수산화나트륨의 농도를  $2.0 \times 10^{-3}$ mol·l로 한다.



이와 같이, 알킬기의 수소의 적어도 일부를 불소기로 치환된 불소계 트리아진티올 화합물쪽이 불소가 포함되지 않은 트리아진티올 화합물보다 발액성이 강하다.

화소전극(20a)상에는 유기EL소자(20)의 유기EL층(20b)이 성막되어 있다. 유기EL층(20b)은 광의 발광층이며, 유기EL층(20b)에는 유기화합물인 발광재료(형광체)가 함유되어 있다. 유기EL층(20b)은 화소전극(20a)으로부터 차례로 정공 수송층, 협의의 발광층의 순으로 적층한 2층 구조이다. 정공 수송층은 도전성 고분자인 PEDOT(폴리티오펜) 및 도펀트인 PSS(폴리스티렌 술폰산)으로 이루어지고, 협의의 발광층은 폴리플루오렌계 발광재료로 이루어진다.

유기EL층(20b)은 발액성 도통막(55)의 코팅 후에 습식도포법(예를 들면, 잉크젯법)에 의해서 성막된다. 이 경우, 화소전극(20a)에 유기EL층(20b)으로 이루어지는 유기화합물을 함유하는 유기화합물 함유액을 도포하지만, 이 유기화합물 함유액의 액면은 절연막(52)의 꼭대기부(top)보다 높다. 수평방향으로 인접하는 화소전극(20a)간에 꼭대기부가 절연막(52)의 꼭대기부보다 충분히 높은 후막의 공통배선(91)이 설치되어 있으므로, 화소전극(20a)에 도포된 유기화합물 함유액이 수평방향으로 인접하는 화소전극(20a)에 누설되는 일이 없도록 막고 있다. 또, 공통배선(91)에는 발수성·발유성의 발액성 도통막(55)이 코팅되어 있으므로, 화소전극(20a)에 도포된 유기화합물 함유액을 되튀기므로, 화소전극(20a)에 도포된 유기화합물 함유액이 화소전극(20a)의 중앙에 대해 절연 라인(52)의 각부(角部) 부근에서 극단적으로 두껍게 퇴적되지 않게 되므로, 유기화합물 함유액이 건조해서 이루어지는 유기EL층(20b)을 균일한 막두께로 성막할 수 있다.

이와 같이 공통배선(91), (91)간에 유기EL층(20b)을 성막하는 것에 의해서, 도 12에 도시하는 바와 같이, 적색으로 발광하는 유기EL층(20b)이 성막된 영역 R, 녹색으로 발광하는 유기EL층(20b)이 성막된 영역 G, 청색으로 발광하는 유기EL층(20b)이 성막된 영역 B가 이 순으로 배열된 스트라이프 구조를 구성하고, 동일 열의 복수의 화소는 동일색으로 발광한다.

평면에서 본 경우, 도포된 유기화합물 함유액은 수평방향의 좌우측을 각각 공통배선(91), (91)중의 어느 하나로 간막이되어 있기 때문에 수직방향으로 각 열마다 균일하게 분포하므로, 수직방향으로 배열된 복수의 유기EL층(20b)은 모두 동일한 층구조이며, 동일한 색으로 발광한다. 또한, 화소전극(20a) 및 유기EL층(20b)은 수직방향을 따라서 띠형상으로 장척이 아니어도 좋으며, 수평방향으로 장척이어도 좋다.

또한, 유기EL층(20b)은 2층 구조 이외에, 화소전극(20a)으로부터 차례로 정공 수송층, 협의의 발광층, 전자 수송층으로 되는 3층 구조여도 좋고, 협의의 발광층으로 이루어지는 1층 구조여도 좋으며, 이들 층 구조에 있어서 적절한 층간에 전자 혹은 정공의 주입층이 개재한 적층구조여도 좋으며, 그 외의 적층구조여도 좋다.

유기EL층(20b)상에는 유기EL소자(20)의 캐소드로서 기능하는 대향전극(20c)이 성막되어 있다. 대향전극(20c)은 모든 화소에 공통해서 형성된 공통 전극이며, 전면에 빈틈없이 성막되어 있다. 대향전극(20c)이 전면에 빈틈없이 성막되는 것에 의해, 대향전극(20c)이 발액성 도통막(55)을 사이에 두고 공통배선(91)을 피복하고 있다. 그 때문에, 도 2의 회로도에 나타내는 바와 같이, 대향전극(20c)은 공통배선(91)에 대해 도통하고 있다.

대향전극(20c)은 화소전극(20a)보다 일함수가 낮은 재료로 형성되어 있으며, 예를 들면, 마그네슘, 칼슘, 리튬, 바륨, 인듐, 희토류금속의 적어도 1종을 포함하는 단체 또는 합금으로 형성되어 있는 것이 바람직하다. 또, 대향전극(20c)은 상기 각종 재료의 층이 적층된 적층구조로 되어 있어도 좋고, 이상의 각종 재료의 층에 부가해서 시트 저항을 낮게 하기 위해 산화되기 어려운 금속층이 퇴적한 적층구조로 되어 있어도 좋고, 구체적으로는 유기EL층(20b)과 접하는 계면층에 설치된 일함수가 낮은 고순도의 바륨층과, 바륨층을 피복하도록 설치된 알루미늄층과의 적층구조나, 하층에 리튬층, 상층에 알루미늄층이 설치된 적층구조를 들 수 있다. 또, 튜에미션 구조의 경우, 대향전극(20c)을 상술과 같은 일함수가 낮은 박막과 그 위에 ITO 등의 투명 도통막을 적층한 투명전극으로 해도 좋다.

대향전극(20c)상에는 밀봉(封止) 절연막(56)이 성막되어 있다. 밀봉 절연막(56)은 대향전극(20c) 전체를 피복하고, 대향전극(20c)의 열화를 방지하기 위해 설치되어 있는 무기막 또는 유기막이다.

또한, 종래, 튜에미션형 구조의 EL 디스플레이 패널은 대향전극(20c)의 적어도 일부를 금속 산화물과 같이 저항값이 높은 투명전극을 이용하게 되지만, 이러한 재료는 충분히 두껍게 하지 않으면 시트 저항이 충분히 낮아지지 않기 때문에 두껍게 하는 것에 의해서 필연적으로 유기EL소자의 투과율이 내려가 버리고, 대화면으로 될수록 면내에서 균일한 전위로 되기 어려워 표시 특성이 낮게 되어 버리고 있었다.

그러나, 본 실시형태에서는 수직방향으로 충분한 두께를 위해 저저항의 복수의 공통배선(91, 91, ...)을 설치하고 있으므로, 대향전극(20c)과 아울러 유기EL소자(20, 20, ...)의 캐소드전극 전체의 시트 저항값을 내려, 충분하고 또한 면내에서 균일하게 대전류를 흘리는 것이 가능해진다. 또한, 이러한 구조에서는 공통배선(91, 91, ...)이 캐소드 전극으로서의 시트 저항을 내리고 있으므로, 대향전극(20c)을 박막으로 해서 투과율을 향상시키거나 하는 것이 가능하다. 또한 튜에미션 구조에서는 화소전극(20a)을 반사성의 재료로 해도 좋다.

#### [트랜지스터 어레이 기관 및 EL 디스플레이 패널의 제조방법]

트랜지스터 어레이 기관(50) 및 EL 디스플레이 패널(1)의 제조방법에 대해 설명한다.

CVD, PVD, 스퍼터링과 같은 기상 성장법에 의해서 게이트 레이어를 절연기관(2)상의 전면에 빈틈없이 성막한다. 다음에, 그 게이트 레이어에 대해 포토리소그래피법·에칭법을 차례로 실시하는 것에 의해서, 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 게이트(21g), 게이트(22g), 게이트(23g) 및 전극(24A)과 신호선( $Y_1 \sim Y_n$ )을 패터닝한다.

다음에, 기상 성장법에 의해서 게이트 절연막(31)을 전면에 빈틈없이 성막한다. 다음에, 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 콘택트홀(92~94)을 포토리소그래피법·에칭법 등에 의해 게이트 절연막(31)에 형성한다.

다음에, 기상 성장법·포토리소그래피법·에칭법을 차례로 실시하는 것에 의해서 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 반도체막(21c), (22c), (23c)을 패터닝한다. 다음에, 기상성장법·포토리소그래피법·에칭법을 차례로 실시하는 것에 의해서 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 채널 보호막(21p), (22p), (23p)을 패터닝한다. 다음에, 기상 성장법·포토리소그래피법·에칭법을 차례로 실시하는 것에 의해서 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 불순물 반도체막(21a), (22a), (23a) 및 불순물 반도체막(21b), (22b), (23b)을 패터닝한다.

다음에, 기상 성장법에 의해서 드레인 레이어를 게이트 절연막(31)상의 전면에 빈틈없이 성막한다. 이에 따라, 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 콘택트홀(91~94)에는 드레인 레이어의 일부가 매립된다.

다음에, 그 드레인 레이어에 대해 포토리소그래피법·에칭법을 차례로 실시하는 것에 의해서, 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 드레인(21d), (22d), (23d), 소스(21s), (22s), (23s) 및 전극(24B)과 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )을 패터닝한다.

다음에, 기상 성장법에 의해서 보호 절연막(32)을 전면에 빈틈없이 성막한다. 다음에, 보호 절연막(32) 전체에 수지를 도포하고, 그 수지를 건조시키는 것에 의해, 평탄화막(33)을 전면에 빈틈없이 성막한다.

다음에, 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 콘택트홀(95)을 보호 절연막(32) 및 평탄화막(33)에 형성하는 동시에, 보호 절연막(32) 및 평탄화막(33)의 각 공급선( $Z_1 \sim Z_m$ )과 중첩되는 위치에 있어서 홈(34)을 각각 형성한다.

다음에, 공급선( $Z_1 \sim Z_m$ ) 및 전극(23B)에 전압을 인가해서 도금법을 행하는 것에 의해서, 홈(34)에 급전배선(90)을 성장시키는 동시에, 콘택트홀(95)에 도전성 패드를 성장시킨다. 이에 따라, 홈(34)내에 있어서 각 공급선( $Z_1 \sim Z_m$ )에 급전배선(90)이 적층되고, 콘택트홀(95)내에 있어서 전극(23B)에 도전성 패드가 적층된다.

이상에 의해 트랜지스터 어레이 기관(50)이 완성된다.

다음에, 기상 성장법에 의해서 투명 도전성막을 트랜지스터 어레이 기관(50)의 표면 전면에 빈틈없이 성막한다. 다음에, 그 투명 도전성막에 대해 포토리소그래피법·에칭법을 차례로 실시하는 것에 의해서, 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 화소전극(20a) 및 도전성 라인(51)을 패터닝한다.

다음에, 기상 성장법에 의해서 절연막을 전면에 빈틈없이 성막한다. 다음에, 수평방향으로 인접하는 화소전극(20a)의 사이이고 그의 절연막의 위에 공통배선(91)을 도금법에 의해서 성장시킨다.

다음에, 표면 전체에 트리아질트리티올 용액을 도포하는 것에 의해서, 혹은, 이 패널을 트리아질트리티올 용액에 침지하는 것에 의해서, 공통배선(91)의 표면에 대해 선택적으로 발액성 도통막(55)을 형성한다. 또한, 트리아질트리티올의 성질에 의해, 공통배선(91)의 표면에는 발액성 도통막(55)이 형성되지만, 절연막의 표면에는 발액성 도통막이 형성되지 않는다.

다음에, 절연막에 대해 포토리소그래피법·에칭법을 순차 실행하는 것에 의해, 그 절연막을 매트릭스형상으로 개구된 절연막(52)으로 패터닝한다. 이에 따라, 화소전극(20a)이 노출된다.

다음에, 습식 도포법에 의해서 유기EL층(20b)을 패터닝한다. 수평방향으로 인접하는 화소전극(20a)간에 후막의 공통배선(91)이 설치되어 있으므로, 더 나아가서는 공통배선(91)에는 발수성·발유성의 발액성 도통막(55)이 코팅되어 있으므로, 화소전극(20a)에 도포된 유기화합물 함유액이 인접하는 화소전극(20a)에 누출되는 일이 없다. 또한, 발액성 도통막(55)의 발수성·발유성에 의해서, 화소전극(20a)에 도포된 유기화합물 함유액이 화소전극(20a)의 주위에서 두껍게 되지 않으므로, 유기EL층(20b)을 균일한 막두께로 성막할 수 있다.

다음에, 기상 성장법에 의해서 대향전극(20c)을 전면에 빈틈없이 성막한다. 다음에, 기상 성장법에 의해서 밀봉 절연막(56)을 전면에 빈틈없이 성막한다.

이상에 의해 EL 디스플레이 패널(1)이 완성된다.

#### [EL 디스플레이 패널의 구동방법]

EL 디스플레이 패널(1)을 액티브 매트릭스 방식으로 구동하기 위해서는 다음과 같이 된다. 즉, 도 13에 도시하는 바와 같이, 주사선( $X_1 \sim X_m$ )에 접속된 선택 드라이버에 의해서, 주사선( $X_1$ )에서 주사선( $X_m$ )으로의 순(주사선( $X_m$ )의 다음은 주사선( $X_1$ ))으로 하이레벨의 시프트 펄스를 순차 출력함으로써 주사선( $X_1 \sim X_m$ )을 순차 선택한다. 또, 선택기간에 각 급전배선(90)을 통하여 공급선( $Z_1 \sim Z_m$ )에 각각 접속된 구동 트랜지스터(23)에 기입전류를 흘리기 위한 기입급전전압(VL)을 인가하고, 발광기간에 구동 트랜지스터(23)를 통하여 유기EL소자(20)에 구동전류를 흘리기 위한 구동급전전압(VH)을 인가하는 급전드라이버가 각 급전배선(90)에 접속되어 있다. 이 급전드라이버에 의해서, 선택 드라이버와 동기하도록, 공급선( $Z_1$ )으로부터 공급선( $Z_m$ )으로의 순(공급선( $Z_m$ )의 다음은 공급선( $Z_1$ ))으로 로우레벨(유기EL소자(20)의 대향전극의 전압보다 저레벨)의 기입급전전압(VL)을 순차 출력함으로써 공급선( $Z_1 \sim Z_m$ )을 순차 선택한다. 또, 선택 드라이버가 각 주사선( $X_1 \sim X_m$ )을 선택하고 있을 때에, 데이터 드라이버가 기입전류인 기입전류(전류신호)를 소정의 행의 구동 트랜지스터(23)의 소스-드레인간을 통하여 전체 신호선( $Y_1 \sim Y_n$ )에 흘린다. 이 때 공급선( $Z_1 \sim Z_m$ )에 접속된 급전배선(90)에도 급전드라이

이버에 의해서 배선단자(90b), (90c)의 양쪽으로부터 로우레벨의 기입급전전압(VL)이 출력된다. 또한, 대향전극(20c) 및 공통배선(91)은 배선단자(91c)에 의해서 외부와 접속되며, 일정한 코먼전위(Vcom)(예를 들면, 접지=0볼트)로 유지되어 있다.

주사선( $X_i$ )의 선택기간에 있어서는  $i$ 행째의 주사선( $X_i$ )에 하이레벨의 시프트 펄스가 출력되고 있으므로, 스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)가 ON상태로 된다. 각 선택기간에 있어서, 데이터 드라이버측의 전위는 급전배선(90, 90, ...) 및 공급선( $Z_1 \sim Z_m$ )에 출력된 기입급전전압(VL) 이하이고 또한 이 기입급전전압(VL)은 코먼전위(Vcom) 이하로 설정되어 있다. 따라서 이 때, 유기EL소자(20)로부터 신호선( $Y_1 \sim Y_n$ )에 흐르는 일은 없으므로 도 2에 도시하는 바와 같이, 데이터 드라이버에 의해서 계조에 따른 전류값의 기입전류(기입전류)가 화살표 A와 같이 신호선( $Y_1 \sim Y_n$ )에 흐르고, 화소회로( $P_{i,j}$ )에 있어서는 급전배선(90) 및 공급선( $Z_1$ )으로부터 구동 트랜지스터(23)의 소스-드레인간, 스위치 트랜지스터(21)의 소스-드레인간을 통하여 신호선( $Y_j$ )을 향한 기입전류(기입전류)가 흐른다. 이와 같이 구동 트랜지스터(23)의 소스-드레인간을 흐르는 전류의 전류값은 데이터 드라이버에 의해서 일의적으로 제어되고, 데이터 드라이버는 외부로부터 입력된 계조에 따라 기입전류(기입전류)의 전류값을 설정한다. 기입전류(기입전류)가 흐르고 있는 동안,  $i$ 행째의  $P_{i,1} \sim P_{i,n}$ 의 각 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압은 각각 신호선( $Y_1 \sim Y_n$ )에 흐르는 기입전류(기입전류)의 전류값, 즉 구동 트랜지스터(23)의  $V_g$ - $I_{ds}$ 특성의 경시 변화에 관계없이 구동 트랜지스터(23)의 드레인(23d)-소스(23s)간을 흐르는 기입전류(기입전류)의 전류값에 적당하도록 강제적으로 설정되고, 이 전압의 레벨에 따른 크기의 전하가 캐패시터(24)에 차지되고, 기입전류(기입전류)의 전류값이 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압의 레벨로 변환된다. 그 후의 발광기간에서는 주사선( $X_i$ )이 로우레벨로 되고, 스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)가 OFF상태로 되지만, OFF상태의 홀딩 트랜지스터(22)에 의해서 캐패시터(24)의 전극(24A)측의 전하가 감금되어 플로팅 상태로 되고, 구동 트랜지스터(23)의 소스(23s)의 전압이 선택기간에서 발광기간으로 이행할 때에 변조해도, 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전위차가 그대로 유지된다. 이 발광기간에서는 공급선( $Z_j$ ) 및 거기에 접속된 급전배선(90)의 전위가 구동급전전압(VH)으로 되고, 유기EL소자(20)의 대향전극(20c)의 전위(Vcom)보다 높아지는 것에 의해서, 공급선( $Z_j$ ) 및 거기에 접속된 급전배선(90)으로부터 구동 트랜지스터(23)를 통하여 유기EL소자(20)에 구동전류가 화살표 B의 방향으로 흘러, 유기EL소자(20)가 발광한다. 구동전류의 전류값은 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압에 의존하기 때문에, 발광기간에 있어서의 구동전류의 전류값은 선택기간에 있어서의 기입전류(인발(pull-out)전류)의 전류값과 동일하게 된다.

EL 디스플레이 패널(1)의 다른 액티브 매트릭스 구동방법은 다음과 같이 된다. 즉, 도 14에 도시하는 바와 같이, 발진회로에 의해서 급전배선(90, 90, ...) 및 공급선( $Z_1 \sim Z_m$ )에 대해 클럭신호를 출력한다. 또, 선택 드라이버에 의해서 주사선( $X_1$ )으로부터 주사선( $X_m$ )으로의 순(주사선( $X_m$ )의 다음은 주사선( $X_1$ ))으로 하이레벨의 시프트 펄스를 순차 출력함으로써 주사선( $X_1 \sim X_m$ )을 순차 선택하지만, 선택 드라이버가 주사선( $X_1 \sim X_m$ )중의 어느 하나로 시프트 펄스를 출력하고 있을 때에는 발진 회로의 클럭신호가 로우레벨로 된다. 또, 선택 드라이버가 각 주사선( $X_1 \sim X_m$ )을 선택하고 있을 때에, 데이터 드라이버가 기입전류인 인발전류(전류신호)를 구동 트랜지스터(23)의 소스-드레인간을 통하여 전체 신호선( $Y_1 \sim Y_n$ )에 흘린다. 또한, 대향전극(20c) 및 급전배선(90)의 일정한 코먼전위(Vcom)(예를 들면, 접지=0볼트)로 유지되어 있다.

주사선( $X_i$ )의 선택기간에 있어서는  $i$ 행째의 주사선( $X_i$ )에 시프트펄스가 출력되어 있기 때문에, 스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)가 ON상태로 된다. 각 선택기간에 있어서, 데이터 드라이버측의 전위는 급전배선(90, 90, ...) 및 공급선( $Z_1 \sim Z_m$ )에 출력된 클럭신호의 로우레벨 이하이고 또한 이 클럭신호의 로우레벨은 코먼전위(Vcom) 이하로 설정되어 있다. 따라서 이 때, 유기EL소자(20)로부터 신호선( $Y_1 \sim Y_n$ )에 흐르는 일은 없으므로 도 2에 도시하는 바와 같이, 데이터 드라이버에 의해서 계조에 따른 전류값의 기입전류(인발전류)가 화살표 A와 같이, 신호선( $Y_1 \sim Y_n$ )에 흐르고, 화소회로( $P_{i,j}$ )에 있어서는 급전배선(90) 및 공급선( $Z_j$ )으로부터 구동 트랜지스터(23)의 소스-드레인간, 스위치 트랜지스터(21)의 소스-드레인간을 통하여 신호선( $Y_j$ )을 향한 기입전류(인발전류)가 흐른다. 이와 같이 구동 트랜지스터(23)의 소스-드레인간을 흐르는 전류의 전류값은 데이터 드라이버에 의해서 일의적으로 제어되고, 데이터 드라이버는 외부로부터 입력된 계조에 따라 기입전류(인발전류)의 전류값을 설정한다. 기입전류(인발전류)가 흐르고 있는 동안,  $i$ 행째의  $P_{i,1} \sim P_{i,n}$ 의 각 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압은 각각 신호선( $Y_1 \sim Y_n$ )에 흐르는 기입전류(인발전류)의 전류값, 즉 구동 트랜지스터(23)의  $V_g$ - $I_{ds}$ 특성의 경시 변화에 관계없이 구동 트랜지스터(23)의 드레인(23d)-소스(23s)간을 흐르는 기입전류(인발전류)의 전류값에 적당하도록 강제적으로 설정되고, 이 전압의 레벨에 따른 크기의 전하가 캐패시터(24)

에 차지되어, 기입전류(인발전류)의 전류값이 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압의 레벨로 변환된다. 그 후의 발광기간에서는 주사선( $X_i$ )이 로우레벨로 되고, 스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)가 OFF상태로 되지만, OFF상태의 홀딩 트랜지스터(22)에 의해서 캐패시터(24)의 전극(24A)측의 전하가 감금되어 플로팅상태로 되고, 구동 트랜지스터(23)의 소스(23s)의 전압이 선택기간에서 발광기간으로 이행할 때에 변조해도, 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전위차가 그대로 유지된다. 이 발광기간 중, 어느 행의 선택기간도 아닌 동안, 즉, 클럭신호가 급전배선(90) 및 공급선( $Z_i$ )의 전위가 유기EL소자(20)의 대향전극(20c) 및 급전배선(90)의 전위( $V_{com}$ )보다 높은 하이레벨의 동안, 또한 고전위의 급전배선(90) 및 공급선( $Z_i$ )으로부터 구동 트랜지스터(23)의 소스-드레인간을 통하여 유기EL소자(20)에 구동전류가 화살표 B의 방향으로 흘러, 유기EL소자(20)가 발광한다. 구동전류의 전류값은 구동 트랜지스터(23)의 게이트(23g)-소스(23s) 간의 전압에 의존하기 때문에, 발광기간에 있어서의 구동전류의 전류값은 선택기간에 있어서의 기입전류(인발전류)의 전류값에 동일해진다. 또 발광기간에 있어서, 어느 행의 선택기간의 동안, 즉 클럭신호가 로우레벨일 때에는 급전배선(90) 및 공급선( $Z_i$ )의 전위가 대향전극(20c) 및 급전배선(90)의 전위( $V_{com}$ ) 이하이므로, 유기EL소자(20)에 구동전류는 흐르지 않아 발광하지 않는다.

어느 구동방법에 있어서도, 스위치 트랜지스터(21)는 구동 트랜지스터(23)의 소스(23s)와 신호선( $Y_j$ )의 사이의 전류의 ON(선택기간)·OFF(발광기간)를 행하는 것으로서 가능하다. 또, 홀딩 트랜지스터(22)는 선택기간에 구동 트랜지스터(23)의 소스(23s)-드레인(23d)간에 전류가 흐를 수 있는 상태로 하고, 발광기간에 구동 트랜지스터(23)의 게이트(23g)에 인가한 전압을 홀딩하는 것으로서 가능하다. 그리고, 구동 트랜지스터(23)는 발광기간중에 공급선( $Z_i$ ) 및 급전배선(90)이 하이레벨로 되었을 때에, 계조에 따른 크기의 전류를 유기EL소자(20)에 흘려 유기EL소자(20)를 구동하는 것으로서 가능하다.

이상과 같이, 급전배선(90)을 흐르는 전류의 크기는 1열의 주사선( $X_i$ )에 접속된 n개의 유기EL소자(20)에 흐르는 구동전류의 크기의 합으로 되므로, VGA 이상의 화소수로 동화상 구동하기 위한 선택기간으로 설정한 경우, 급전배선(90)의 기생용량이 증대해 버려, 박막 트랜지스터의 게이트 전극 또는 소스, 드레인 전극과 같은 박막에서는 n개의 유기EL소자(20)에 기입전류(즉 구동전류)를 흘리기 위해서는 저항이 너무 높지만, 본 실시형태에서는 화소회로( $P_{1,1} \sim P_{m,n}$ )의 박막 트랜지스터의 게이트 전극이나 소스, 드레인 전극과는 다른 도전층에 의해서 급전배선(90)을 구성하고 있으므로, 급전배선(90)에 의한 전압강하는 작아지고, 짧은 선택기간이라도 지연없이 충분히 기입전류(인발전류)를 흘릴 수 있다. 그리고, 급전배선(90)을 두겹게 하는 것에 의해 급전배선(90)을 저저항화했으므로, 급전배선(90)의 폭을 좁게 할 수 있다. 그 때문에, 보트에미션의 경우, 화소 개구율의 감소를 최소한으로 억제할 수 있다.

마찬가지로, 발광기간에 공통배선(91)에 흐르는 구동전류의 크기는 선택기간에 급전배선(90)에 흐르는 기입전류(인발전류)의 크기와 동일하므로, 화소회로( $P_{1,1} \sim P_{m,n}$ )의 박막 트랜지스터의 게이트 전극이나 소스, 드레인 전극과는 다른 도전층을 대향전극(20c)에 접속하고 있으므로, 배선(91)을 후막으로 할 수 있고, 공통배선(91)을 저저항화할 수 있으며, 또한 대향전극(20c) 자체가 박막화하여 더욱 고저항으로 되어도 대향전극(20c)의 전압을 면내에서 균일하게 할 수 있다. 따라서, 가령 모든 화소전극(20a)에 동일한 전위를 인가한 경우에도, 어떤 유기EL층(20b)의 발광 강도도 대략 동일하게 되어, 면내의 발광 강도를 균일하게 할 수 있다.

또, EL 디스플레이 패널(1)을 틱에미션형으로서 이용한 경우, 대향전극(20c)을 더욱 박막화하는 것이 가능하므로, 유기EL층(20b)을 발한 광이 대향전극(20c)을 투과중에 감쇠하기 어려워진다. 또한, 평면에서 보아 수평방향으로 인접하는 화소전극(20a)의 사이에 공통배선(91)이 설치되어 있기 때문에, 화소 개구율의 감소를 최소한으로 억제할 수 있다.

또, 공급선( $Z_1 \sim Z_m$ )이 신호선( $Y_1 \sim Y_n$ )의 상층으로 되기 때문에, 트랜지스터 어레이 기관(50), EL 디스플레이 패널(1)의 제조 과정에 있어서 공급선( $Z_1 \sim Z_m$ )을 하지층으로서 공급선( $Z_1 \sim Z_m$ )에 전압을 인가한 상태에서 도금액에 침지하는 것에 의해서, 공급선( $Z_1 \sim Z_m$ )에 적층된 급전배선(90)을 성장시킬 수 있다.

여기서, EL 디스플레이 패널(1)의 화소를 WXGA(768×1366)로 했을 때에, 급전배선(90) 및 공통배선(91)의 바람직한 폭, 단면적을 정의한다. 도 15는 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 구동 트랜지스터(23) 및 유기EL소자(20)의 전류-전압 특성을 나타내는 그래프이다.

도 15에 있어서, 종축은 1개의 구동 트랜지스터(23)의 소스(23s)-드레인(23d)간을 흐르는 기입전류의 전류값 또는 1개의 유기EL소자(20)의 애노드-캐소드간을 흐르는 구동전류의 전류값이며, 횡축은 1개의 구동 트랜지스터(23)의 소스(23s)-드레인(23d)간의 전압(동시에 1개의 구동 트랜지스터(23)의 게이트(23g)-드레인(23d)간의 전압)이다. 도면 중, 실선(Ids

max)은 최고 휘도계조(가장 밝은 표시)시의 기입전류 및 구동전류이며, 1점 쇄선(Ids mid)은 최고 휘도계조와 최저 휘도계조와의 사이의 중간 휘도계조시의 기입전류 및 구동전류이고, 2점 쇄선(Vpo)은 구동 트랜지스터(23)의 불포화영역(선형영역)과 포화영역과의 임계값 즉 핀치오프 (pinch-off)전압이며, 3점 쇄선(Vds)은 구동 트랜지스터(23)의 소스(23s)-드레인(23d)간을 흐르는 기입전류이며, 파선(IEL)은 유기EL소자(20)의 애노드-캐소드간을 흐르는 구동전류이다.

여기서 전압 VP1은 최고 휘도계조시의 구동 트랜지스터(23)의 핀치오프 전압이고, 전압 VP2는 구동 트랜지스터(23)가 최고 휘도계조의 기입전류가 흐를 때의 소스-드레인간 전압이며, 전압 VELmax(전압(VP4)-전압(VP3))는 유기EL소자(20)가 최고 휘도계조의 기입전류와 전류값이 동일한 최고 휘도계조의 구동전류로 발광할 때의 애노드-캐소드간의 전압이다. 전압 VP2'는 구동 트랜지스터(23)가 중간 휘도계조의 기입전류가 흐를 때의 소스-드레인간 전압이며, 전압(전압(VP4')-전압(VP3'))은 유기EL소자(20)가 중간 휘도계조의 기입전류와 전류값이 동일한 중간 휘도계조의 구동전류로 발광할 때의 애노드-캐소드간 전압이다.

구동 트랜지스터(23) 및 유기EL소자(20)는 모두 포화영역에서 구동시키기 위해, (급전배선(90)의 발광기간시의 구동급전 전압(VH))에서 (공통배선(91)의 발광기간시의 전압(Vcom))을 뺀 값(VX)은 하기의 식 (2)를 만족시킨다.

$$VX = Vpo + Vth + Vm + VEL \quad \dots\dots(2)$$

Vth(최고 휘도시의 경우 VP2-VP1에 동일함)는 구동 트랜지스터(23)의 임계값전압이며, VEL(최고 휘도시의 경우 VELmax에 동일함)은 유기EL소자(20)의 애노드-캐소드간 전압이며, Vm은 계조에 따라 변위하는 허용전압이다.

도면으로부터 명확한 바와 같이, 전압(VX) 중, 휘도 계조가 높아질수록 트랜지스터(23)의 소스-드레인간에 요하는 전압(Vpo + Vth)이 높아지는 동시에 유기EL소자(20)의 애노드-캐소드간에 요하는 전압(VEL)이 높아진다. 따라서, 허용전압(Vm)은 휘도계조가 높아질수록 낮아지고, 최소 허용전압(Vmin)은 VP3-VP2로 된다.

유기EL소자(20)는 저분자 EL 재료 및 고분자 EL 재료에 관계없이 일반적으로 경시 열화하고, 고저항화한다. 10000시간 후의 애노드-캐소드간 전압은 초기시의 1.4배~수배 정도로 되는 것이 확인되고 있다. 즉, 전압(VEL)은 동일한 휘도 계조 시라도 시간이 경과할수록 높아진다. 이 때문에, 구동 초기시의 허용전압(Vm)이 높을수록 장기간에 걸쳐 동작이 안정하므로, 전압(VEL)이 8V이상, 더욱 바람직하게는 13V이상으로 되도록 전압(VX)을 설정하고 있다.

이 허용전압(Vm)에는 유기EL소자(20)의 고저항화 뿐만 아니라, 또한 급전배선(90)에 의한 전압강하의 분도 포함된다.

급전배선(90)의 배선저항으로 인해 전압강하가 크면 EL 디스플레이 패널(1)의 소비전력이 현저하게 증대해 버리기 때문에, 급전배선(90)의 전압강하는 1V이하로 설정하는 것이 특히 바람직하다. 1개의 유기EL소자(20)는 EL 디스플레이 패널(1)의 패널 사이즈가 32인치인 경우, 최대 휘도계조로 발광할 때의 전류값은 약 5.4μA~6.8μA, 40인치의 경우, 8.5μA~11.0μA로 설정되어 있다.

행방향의 1개의 화소의 길이인 화소폭(Wp)과, 행방향의 화소수(1366)와, 좌측의 비화소 영역에 있어서의 급전배선(90)으로부터 배선단자(90b)까지의 연장 부분과, 우측의 비화소영역에 있어서의 급전배선(90)으로부터 배선단자(90c)까지의 연장 부분을 고려한 결과, EL 디스플레이 패널(1)의 패널 사이즈가 32인치, 40인치의 경우, 급전배선(90)의 전체길이는 각각 706.7mm, 895.2mm로 된다. 여기서, 급전배선(90)의 선폭(WL) 및 공통배선(91)의 선폭(WL)이 넓어지면, 구조상 유기EL층(20b)의 면적이 작아지고, 또한 다른 배선과의 중첩 기생 용량을 발생하여 가일층의 전압강하를 초래하기 때문에, 급전배선(90)의 폭(WL) 및 공통배선(91)의 선폭(WL)은 각각 화소폭(Wp)의 1.5이하로 억제하는 것이 바람직하다. 이러한 것을 고려하면, EL 디스플레이 패널(1)의 패널 사이즈가 32인치, 40인치의 경우, 급전배선(90)의 선폭(WL) 및 공통배선(91)의 선폭(WL)은 각각 34μm이내, 44μm이내로 된다. 또 급전배선(90) 및 공통배선(91)의 최대 막두께(Hmax)는 에스펙트비를 고려하면, 트랜지스터(21)~(23)의 최소 가공치수 4μm의 1.5배, 즉 6μm로 된다. 따라서 급전배선(90) 및 공통배선(91)의 최대 단면적(Smax)은 32인치, 40인치이며, 각각 204μm<sup>2</sup>, 264μm<sup>2</sup>로 된다.

이러한 32인치의 EL 디스플레이 패널(1)에 대해, 최대전류가 흐르도록 전체 점등했을 때의 급전배선(90) 및 공통배선(91)의 각각의 최대 전압강하를 1V이하로 하기 위해서는 도 16에 도시하는 바와 같이, 급전배선(90) 및 공통배선(91)의 각각의 배선 저항율(ρ)·단면적(S)은 4.7Ω·cm이하로 설정될 필요가 있다. 도 17에 32인치의 EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 단면적과 전류밀도의 상관관계를 나타낸다. 또한, 상술한 급전배선(90) 및 공통배선(91)의 최대단면적(Smax)시에 허용되는 저항율은 32인치에서 9.6 μΩcm, 40인치에서 6.4 μΩcm로 된다.

그리고, 40인치의 EL 디스플레이 패널(1)에 대해, 최대 전류가 흐르도록 전체 점등했을 때의 급전배선(90) 및 공통배선(91)의 각각의 최대 전압강하를 1V이하로 하기 위해서는 도 18에 도시하는 바와 같이, 급전배선(90) 및 공통배선(91)의 각각의 배선 저항율( $\rho$ )·단면적(S)은  $2.4\Omega\cdot\text{cm}$ 이하로 설정될 필요가 있다. 도 19에 40인치의 EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)의 각각의 단면적과 전류밀도의 상관관계를 나타낸다.

급전배선(90) 및 공통배선(91)의 고장에 의해 동작하지 않게 될 고장 수명(MTF)은 하기의 식(3)을 만족시킨다.

$$\text{MTF} = A \exp(E_a \cdot K_b T) \cdot \rho J^2 \quad \dots\dots(3)$$

$E_a$ 는 활성화 에너지,  $K_b T = 8.617 \times 10^{-5} \text{eV}$ ,  $\rho$ 는 급전배선(90) 및 공통배선(91)의 저항율,  $J$ 는 전류밀도이다.

급전배선(90) 및 공통배선(91)의 고장수명(MTF)은 저항율의 증대나 전자기동(일렉트로 마이그레이션)에 율속한다. 급전배선(90) 및 공통배선(91)을 Al계(Al 단체 혹은 AlTi나 AlNd 등의 합금)로 설정하고, MTF가 10000시간, 85°C의 동작온도에서 시산하면, 전류밀도( $J$ )는  $2.1 \times 10^4 \text{A}\cdot\text{cm}^2$  이하로 할 필요가 있다. 마찬가지로 급전배선(90) 및 공통배선(91)을 Cu로 설정하면,  $2.8 \times 10^6 \text{A}\cdot\text{cm}^2$  이하로 할 필요가 있다. 또한 Al합금내의 Al 이외의 재료는 Al보다 낮은 저항율인 것을 전제로 하고 있다.

이들을 고려해서, 32인치의 EL 디스플레이 패널(1)에서는 전체 점등상태에서 10000시간에 급전배선(90) 및 공통배선(91)이 고장나지 않는 바와 같은 Al계의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 17로부터  $57\mu\text{m}^2$  이상 필요하게 되고, 마찬가지로 Cu의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 17로부터  $0.43\mu\text{m}^2$  이상 필요하게 된다.

그리고 40인치의 EL 디스플레이 패널(1)에서는 전체 점등상태에서 10000시간에 급전배선(90) 및 공통배선(91)이 고장나지 않는 바와 같은 Al계의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 19로부터,  $92\mu\text{m}^2$  이상 필요하게 되고, 마찬가지로 Cu의 급전배선(90) 및 공통배선(91)의 각각의 단면적(S)은 도 19로부터,  $0.69\mu\text{m}^2$  이상 필요하게 된다.

Al계의 급전배선(90) 및 공통배선(91)에서는 Al계의 저항율이  $4.00\mu\Omega\text{cm}$ 로 하면, 32인치의 EL 디스플레이 패널(1)에서는 상술한 바와 같이 배선 저항율( $\rho$ )·단면적(S)이  $4.7\Omega\cdot\text{cm}$ 이하이므로, 최소 단면적( $S_{\text{min}}$ )은  $85.1\mu\text{m}^2$ 로 된다. 이 때 상술한 바와 같이 급전배선(90) 및 공통배선(91)의 배선평(WL)은  $34\mu\text{m}$ 이내이므로 급전배선(90) 및 공통배선(91)의 최소 막두께( $H_{\text{min}}$ )는  $2.50\mu\text{m}$ 로 된다.

또, Al계의 급전배선(90) 및 공통배선(91)의 40인치의 EL 디스플레이 패널(1)에서는 상술한 바와 같이 배선저항율( $\rho$ )·단면적(S)이  $2.4\Omega\cdot\text{cm}$ 이하이므로, 최소단면적( $S_{\text{min}}$ )은  $167\mu\text{m}^2$ 로 된다. 이 때 상술한 바와 같이 급전배선(90) 및 공통배선(91)의 배선평(WL)은  $44\mu\text{m}$ 이내이므로 급전배선(90) 및 공통배선(91)의 최소 막두께( $H_{\text{min}}$ )는  $3.80\mu\text{m}$ 로 된다.

Cu의 급전배선(90) 및 공통배선(91)에서는 Cu의 저항율이  $2.10\mu\Omega\text{cm}$ 로 하면, 32인치의 EL 디스플레이 패널(1)에서는 상술한 바와 같이 배선 저항율( $\rho$ ) / 단면적(S)이  $4.7\Omega\cdot\text{cm}$ 이하이므로, 최소 단면적( $S_{\text{min}}$ )은  $44.7\mu\text{m}^2$ 로 된다. 이 때 상술한 바와 같이 급전배선(90) 및 공통배선(91)의 배선평(WL)은  $34\mu\text{m}$ 이내이므로 급전배선(90) 및 공통배선(91)의 최소 막두께( $H_{\text{min}}$ )는  $1.31\mu\text{m}$ 로 된다.

또 Cu의 급전배선(90) 및 공통배선(91)의 40인치의 EL 디스플레이 패널(1)에서는 상술한 바와 같이 배선 저항율( $\rho$ ) / 단면적(S)이  $2.4\Omega\cdot\text{cm}$ 이하이므로, 최소 단면적( $S_{\text{min}}$ )은  $87.5\mu\text{m}^2$ 로 된다. 이 때 상술한 바와 같이 급전배선(90) 및 공통배선(91)의 배선평(WL)은  $44\mu\text{m}$ 이내이므로 급전배선(90) 및 공통배선(91)의 최소 막두께( $H_{\text{min}}$ )는  $1.99\mu\text{m}$ 로 된다.

이상으로부터, EL 디스플레이 패널(1)을 정상이고 또한 소비전력을 낮게 동작시키기 위해서는 급전배선(90) 및 공통배선(91)에서의 전압강하를 1V이하로 하는 쪽이 바람직하고, 이러한 조건으로 하기 위해서는 급전배선(90) 및 공통배선(91)이 Al계의 32인치인 패널에서는 막두께(H)가  $2.50\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $14.1\mu\text{m} \sim 34.0\mu\text{m}$ , 저항율이  $4.0\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 되고, 급전배선(90) 및 공통배선(91)이 Al계의 40인치의 패널에서는 급전배선(90) 및 공통배선(91)이 Al계의 경우, 막두께(H)가  $3.80\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $27.8\mu\text{m} \sim 44.0\mu\text{m}$ , 저항율이  $4.0\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

대체로 Al계의 급전배선(90) 및 공통배선(91)의 경우, 막두께(H)가  $2.50\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $14.1\mu\text{m} \sim 44\mu\text{m}$ , 저항율이  $4.0\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

마찬가지로, 급전배선(90) 및 공통배선(91)이 Cu의 32인치인 패널에서는 막두께(H)가  $1.31\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $7.45\mu\text{m} \sim 34\mu\text{m}$ , 저항율이  $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 되고, 급전배선(90) 및 공통배선(91)이 Cu의 40인치인 패널에서는 급전배선(90) 및 공통배선(91)이 Cu계의 경우, 막두께(H)가  $1.99\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $14.6\mu\text{m} \sim 44.0\mu\text{m}$ , 저항율이  $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

대체로 Cu의 급전배선(90) 및 공통배선(91)의 경우, 막두께(H)가  $1.31\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $7.45\mu\text{m} \sim 44\mu\text{m}$ , 저항율이  $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

따라서, 급전배선(90) 및 공통배선(91)으로서 Al계 재료 또는 Cu를 적용한 경우, EL 디스플레이 패널(1)의 급전배선(90) 및 공통배선(91)은 막두께(H)가  $1.31\mu\text{m} \sim 6\mu\text{m}$ , 폭(WL)이  $7.45\mu\text{m} \sim 44\mu\text{m}$ , 저항율이  $2.1\mu\Omega\text{cm} \sim 9.6\mu\Omega\text{cm}$ 로 된다.

[제 2 실시형태]

[EL 디스플레이 패널의 전체 구성]

도 20에는 액티브 매트릭스 구동방식의 EL 디스플레이 패널(1)의 개략도가 도시되어 있다. 도 20에 도시하는 바와 같이, EL 디스플레이 패널(1)은 광투과성을 갖는 가요성의 시트형상 또는 강성의 판형상의 절연기판(2)과, 서로 평행하게 되도록 절연기판(2)상에 배열된 n 개(복수개)의 신호선( $Y_1 \sim Y_n$ )과, 절연기판(2)을 평면에서 보아 신호선( $Y_1 \sim Y_n$ )에 대해 직교하도록 절연기판(2)상에 배열된 m개(복수개)의 주사선( $X_1 \sim X_m$ )과, 주사선( $X_1 \sim X_m$ )의 각각의 사이에 있어서 주사선( $X_1 \sim X_m$ )과 평행하고 또한 서로 엇갈리게 되는 바와 같은 절연기판(2)상에 배열된 m개(복수개)의 공급선( $Z_1 \sim Z_m$ )과, 신호선( $Y_1 \sim Y_n$ ) 및 주사선( $X_1 \sim X_m$ )을 따라서 매트릭스형상으로 되도록 절연기판(2)상에 배열된 ( $m \times n$ )군의 화소회로( $P_{1,1} \sim P_{m,n}$ )와, 공급선( $Z_1 \sim Z_m$ )에 접속되는 동시에 평면에서 보아 신호선( $Y_1 \sim Y_n$ )에 대해 평행 방향으로 되도록 복수로 분기된 급전배선(90, 90, ...)과, 급전배선(90, 90, ...)의 각각의 사이에 있어서 급전배선(90, 90, ...)에 대해 평행하고 또한 서로 엇갈리게 설치된 공통배선(91, 91, ...)을 구비한다.

급전배선(90, 90, ...)의 총수와 공통배선(91, 91, ...)의 총수의 합은 ( $n+1$ )개이며, 각 신호선( $Y_1 \sim Y_n$ )의 연재방향에 대해 각 화소회로( $P_{1,1} \sim P_{m,n}$ )의 좌우 양측을 간막이하도록 급전배선(90) 또는 공통배선(91)중의 어느 1개가 설치되어 있다.

급전배선(90, 90, ...)은 절연기판(2)의 한쪽의 주연(둘레가장자리)에 배치된 리드배선(90a)에 의해서 서로 도통하고 있기 때문에, 후술하는 바와 같이, 외부로부터의 클럭신호에 의해 등전위로 되어 있다. 또한, 리드배선(90a)은 절연기판(2)의 양 단부에 있어서 각각 배선단자(90b), (90c)와 접속하고 있다. 외부구동회로로부터 배선단자(90b), (90c)에 인가되는 전압은 모두 등전위이기 때문에, 신속하게 급전배선(90, 90, ...)전체에 전류를 공급할 수 있다. 리드배선(90a)은 후술하는 바와 같이, 급전배선(90) 및 공통배선(91)과 함께 유기EL층(20b)을 성막시에 간막이하는 격벽으로서도 기능하고 있다.

공통배선(91, 91, ...)은 절연기판(2)의 배선(90a)이 설치되어 있는 주연과 대향하는 주연에 배치된 리드배선(91a)에 의해서 서로 접속되며, 코먼전압( $V_{com}$ )이 인가되어 있다. 리드배선(91a)은 후술하는 바와 같이, 급전배선(90) 및 공통배선(91)과 함께 유기EL층(20b)을 성막시에 간막이하는 격벽으로서도 기능하고 있다.

이하에서는, 신호선( $Y_1 \sim Y_n$ )의 연재한 방향을 수직방향(열방향)으로 하고, 주사선( $X_1 \sim X_m$ )의 연재한 방향을 수평방향(행방향)으로 한다. 또, m, n은 2 이상의 자연수이며, 주사선(X)에 붙은 아래첨자는 도 20에 있어서 위로부터의 배열순을 나타내며, 공급선(Z)에 붙은 아래첨자는 도 20에 있어서 위로부터의 배열순을 나타내며, 신호선(Y)에 붙은 아래첨자는 도 20에 있어서 좌측으로부터의 배열순을 나타내고, 화소회로(P)에 붙은 아래첨자의 앞측이 위로부터의 배열순을 나타내고, 뒤측이 좌측으로부터의 배열순을 나타낸다. 즉, 1~m 중의 임의의 자연수를 i로 하고 1로부터 n중의 임의의 자연수를 j로 한 경우에, 주사선( $X_i$ )은 위로부터 i행째이고, 공급선( $Z_i$ )은 좌측으로부터 i행째이고, 신호선( $Y_j$ )은 좌측으로부터 j열째이며, 화소회로( $P_{i,j}$ )는 위로부터 i행째, 좌측으로부터 j열째이며, 화소회로( $P_{i,j}$ )는 주사선( $X_i$ ), 공급선( $Z_i$ ) 및 신호선( $Y_j$ )에 접속되어 있다.

이 EL 디스플레이 패널(1)에 있어서는 주사선( $X_1 \sim X_m$ )과 신호선( $Y_1 \sim Y_n$ )으로 매트릭스형상으로 구획된 각각의 영역이 화소를 구성하고, 화소회로( $P_{1,1} \sim P_{m,n}$ )가 1개의 영역당 1군만 설치되어 있다.

[화소회로의 회로 구성]

어느 화소회로( $P_{1,1} \sim P_{m,n}$ )도 동일하게 구성되어 있으므로, 화소회로( $P_{1,1}$ )~화소회로( $P_{m,n}$ ) 중 임의의 화소회로( $P_{i,j}$ )에 대해 설명한다. 도 21은 화소회로( $P_{i,j}$ )의 등가 회로도이며, 도 22는 주로 화소회로( $P_{i,j}$ ) 및 화소회로  $P_{(i,j+1)}$ 의 전극을 나타낸 평면도이다.

화소회로( $P_{i,j}$ )는 화소로서의 유기EL소자(20)와, 유기EL소자(20)의 주위에 배치된 3개의 N 채널형의 박막 트랜지스터(이하, 단지 트랜지스터라고 기술함)(21), (22), (23)과, 캐패시터(24)를 구비한다. 이하에서는 트랜지스터(21)를 스위치 트랜지스터(21)로, 트랜지스터(22)를 홀딩 트랜지스터(22)로, 트랜지스터(23)를 구동 트랜지스터(23)로 칭한다.

도 21에 도시하는 바와 같이, 화소회로( $P_{i,j}$ )에서는 스위치 트랜지스터(21)에 있어서는 소스(21s)가 신호선( $Y_j$ )에 도통하고, 드레인(21d)이 유기EL소자(20)의 화소전극(20a), 구동 트랜지스터(23)의 소스(23s) 및 캐패시터(24)의 한쪽의 전극(24B)에 도통하고, 게이트(21g)가 주사선( $X_i$ ) 및 홀딩 트랜지스터(22)의 게이트(22g)에 도통하고 있다.

홀딩 트랜지스터(22)에 있어서는 소스(22s)가 구동 트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 다른쪽의 전극(24A)에 도통하고, 드레인(22d)이 공급선( $Z_i$ ) 및 구동 트랜지스터(23)의 드레인(23d)에 도통하고, 게이트(22g)가 스위치 트랜지스터(21)의 게이트(21g) 및 주사선( $X_i$ )에 도통하고 있다.

구동 트랜지스터(23)에 있어서는 소스(23s)가 유기EL소자(20)의 화소전극(20a), 스위치 트랜지스터(21)의 드레인(21d) 및 캐패시터(24)의 전극(24B)에 도통하고, 드레인(23d)이 공급선( $Z_i$ ) 및 홀딩 트랜지스터(22)의 드레인(22d)에 도통하며, 게이트(23g)가 홀딩 트랜지스터(22)의 소스(22s) 및 캐패시터(24)의 전극(24A)에 도통하고 있다.

또한, EL 디스플레이 패널(1) 전체를 평면에서 보아 화소회로( $P_{1,1} \sim P_{m,n}$ )의 스위치 트랜지스터(21)에만 주목하면, 복수의 스위치 트랜지스터(21)가 절연기판(2)상에 매트릭스형상으로 배열되고, 평면에서 보아 화소회로( $P_{1,1} \sim P_{m,n}$ )의 홀딩 트랜지스터(22)에만 주목하면, 복수의 홀딩 트랜지스터(22)가 절연기판(2)상에 매트릭스형상으로 배열되며, 평면에서 보아 화소회로( $P_{1,1} \sim P_{m,n}$ )의 구동 트랜지스터(23)에만 주목하면, 복수의 구동 트랜지스터(23)가 절연기판(2)상에 매트릭스형상으로 배열되어 있다.

[EL 디스플레이 패널의 층 구조]

EL 디스플레이 패널(1)의 층 구조에 대해 설명한다. 우선, 트랜지스터(21)~(23)의 층 구조에 대해 설명한다.

도 23은 구동 트랜지스터(23)의 단면도이다. 도 23에 도시하는 바와 같이, 구동 트랜지스터(23)는 절연기판(2)상에 형성된 게이트(23g)와, 게이트(23g)상에 형성된 게이트 절연막(31)과, 게이트 절연막(31)상에 형성된 반도체막(23c)과, 반도체막(23c)의 중앙부상에 형성된 채널 보호막(23p)과, 반도체막(23c)의 양단부상에 있어서 서로 이간되도록 형성되고 채널 보호막(23p)에 일부 중첩된 불순물 반도체막(23a), (23b)과, 불순물 반도체막(23a)상에 형성된 드레인(23d)과, 불순물 반도체막(23b)상에 형성된 소스(23s)로 구성되어 있다. 또한, 드레인(23d) 및 소스(23s)는 1층 구조여도 좋고, 2층 이상의 적층구조여도 좋다.

스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)도 구동 트랜지스터(23)와 마찬가지로 되어 있기 때문에, 이들 단면도에 대해서는 생략한다.

다음에, 트랜지스터(21)~(23) 및 캐패시터(24)의 각 층과 신호선( $Y_1 \sim Y_n$ ), 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )과의 관계에 대해 도 23~도 25를 이용해서 설명한다. 여기서, 도 24는 도 22에 도시된 X X IV-X X IV 선을 따라서 절연기판(2)의 두께방향으로 절단한 화살표 단면도이며, 도 25는 도 22에 도시한 X X V-X X V 선을 따라서 절연기판(2)의 두께방향으로 절단한 화살표 단면도이다.

도 23~도 25에 도시하는 바와 같이, 스위치 트랜지스터(21)의 게이트(21g), 홀딩 트랜지스터(22)의 게이트(22g), 구동 트랜지스터(23)의 게이트(23g) 및 캐패시터(24)의 전극(24A)과 신호선( $Y_1 \sim Y_n$ )은 절연기판(2)상의 전면에 빈틈없이 성막된 도전성막을 포토리소그래피법·에칭법에 의해서 패터닝한 것이다. 신호선( $Y_1 \sim Y_n$ )은 표시계조에 따른 전류값의 계조 전류신호가 흐르는 배선이다.

게이트 절연막(31)은 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23) 모두에 공통된 막이며, 면내의 전면에 빈틈없이 성막되어 있다. 이 게이트 절연막(31)은 캐패시터(24)의 전극(24A)과 전극(24B)의 사이에 개재하는 유전체도 겹하고 있으며, 또한 신호선( $Y_1 \sim Y_n$ )도 피복하고 있다. 신호선( $Y_1 \sim Y_n$ )상에는 각각 반도체막(23c)의 베이스로 되는 막을 패터닝해서 이루어지는 보호막(35a)이 설치되고, 보호막(35a)상에는 불순물 반도체막(23a), (23b)의 베이스로 되는 막을 패터닝해서 이루어지는 보호막(35b)이 형성되어 있다. 보호막(35a) 및 보호막(35b)은 게이트 절연막(31)에 핀홀이 형성되어 버렸을 때에, 핀홀을 통하여 신호선( $Y_1 \sim Y_n$ )과, 주사선( $X_1 \sim X_m$ )중의 어느 하나 또는 공급선( $Z_1 \sim Z_m$ )중의 어느 하나가, 쇼트(단락)하지 않도록 보호하는 것이다.

스위치 트랜지스터(21)의 드레인(21d)·소스(21s), 홀딩 트랜지스터(22)의 드레인(22d)·소스(22s), 구동 트랜지스터(23)의 드레인(23d)·소스(23s) 및 캐패시터(24)의 전극(24B) 및 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )은 게이트 절연막(31)상의 전면에 빈틈없이 성막된 도전성막을 포토리소그래피법·에칭법에 의해서 패터닝한 것이다. 또한, 도 22에 도시하는 바와 같이, 주사선( $X_1$ )은 게이트 절연막(31)에 형성된 콘택트홀(92)을 통하여 스위치 트랜지스터(21)의 게이트(21g) 및 홀딩 트랜지스터(22)의 게이트(22g)에 접속되어 있는 콘택트부(C1)에 도통하고, 신호선( $Y_j$ )은 게이트 절연막(31)에 형성된 콘택트홀(94)을 통하여 스위치 트랜지스터(21)의 소스(21s)에 도통하고, 홀딩 트랜지스터(22)의 소스(22s)는 게이트 절연막(31)에 형성된 콘택트홀(93)을 통하여 구동 트랜지스터(23)의 게이트(23g)와 접속되어 있는 콘택트부(C3)에 도통하고 있다.

도 23~도 25에 도시하는 바와 같이, 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23)와 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )은 전면에 빈틈없이 성막된 보호 절연막(32)에 의해서 피복되어 있다. 보호 절연막(32)은 질화 실리콘 또는 산화 실리콘으로 이루어지고, 트랜지스터(21)~(23), 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )을 절연 보호하고 있다.

보호 절연막(32)상에는 평탄화막(33)이 적층되어 있고, 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23)와 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )에 의한 오목볼록이 평탄화막(33)에 의해서 해소되어 있다. 즉, 평탄화막(33)의 표면이 평탄으로 되어 있다. 평탄화막(33)은 폴리이미드 등의 수지를 경화시킨 것이다.

절연기판(2)으로부터 평탄화막(33)까지의 적층구조를 트랜지스터 어레이 기판(50)으로 한다. 이 트랜지스터 어레이 기판(50)에 있어서는 평면에서 보아 스위치 트랜지스터(21), 홀딩 트랜지스터(22) 및 구동 트랜지스터(23)가 매트릭스형상으로 배열되어 있다.

또한, 이 EL 디스플레이 패널(1)을 보텀에미션형으로서 이용하는 경우, 즉, 절연기판(2)으로부터 유기EL소자(20)의 광을 출사해서 절연기판(2)을 표시면으로서 이용하는 경우에는 게이트 절연막(31), 보호 절연막(32) 및 평탄화막(33)에는 투명한 재료를 이용한다.

다음에, 트랜지스터 어레이 기판(50)의 표면에 적층된 층 구조에 대해 설명한다. 트랜지스터 어레이 기판(50)의 표면상, 즉, 평탄화막(33)의 표면상에는 화소전극(20a)이 화소회로( $P_{1,1} \sim P_{m,n}$ )마다 매트릭스형상으로 배열되어 있다. 평면에서 보아, 화소회로( $P_{i,j}$ )의 화소전극(20a)은 인접하는 주사선( $X_i$ ) 및 공급선( $Z_j$ ) 및 인접하는 신호선( $Y_j$ ) 및 신호선( $Y_{j+1}$ )에 의해서 구획된 영역에 형성되어 있다. 또, 화소전극(20a)은 평탄화막(33) 및 보호 절연막(32)에 형성된 콘택트홀을 통하여 캐패시터(24)의 전극(24B), 스위치 트랜지스터(21)의 드레인(21d) 및 구동 트랜지스터(23)의 소스(23s)에 도통하고 있다.

화소전극(20a)은 유기EL소자(20)의 애노드로서 기능하는 전극이다. 즉, 화소전극(20a)의 일함수가 비교적 높으며, 후술하는 유기EL층(20b)에 정공을 효율 좋게 주입하는 것이 바람직하다. 또, 화소전극(20a)은 가시광에 대해 투과성을 갖고 있다. 화소전극(20a)으로서는 예를 들면, 주석도프산화인듐(ITO), 아연도프산화인듐, 산화인듐( $In_2O_3$ ), 산화주석( $SnO_2$ ), 산화아연( $ZnO$ ) 또는 카드뮴-주석산화물(CTO)을 주성분으로 한 것이 있다.

또한, 이 EL 디스플레이 패널(1)을 투명미션형으로서 이용하는 경우, 즉, 절연기관(2)의 반대측을 표시면으로서 이용하는 경우에는 화소전극(20a)과 평탄화막(33)의 사이에, 도전성이고 또한 가시광 반사성이 높은 반사막을 성막하면 좋다.

이들 화소전극(20a)은 평탄화막(33)상의 전면에 빈틈없이 성막된 투명 도전성막을 포토리소그래피법·에칭법에 의해서 패터닝한 것이다. 수평방향으로 인접하는 화소전극(20a)의 사이에는 화소전극(20a)과 전기적으로 이간해서 수직방향으로 연재하는 도전성 라인(51)이, 신호선 $Y_{(j-2k)}, \dots, Y_{(j-2)}, Y_j, Y_{(j+2)}, \dots$ ( $k$ 는 자연수)와 같이, 즉 급전배선(90)과 마찬가지로, 1열 건너 패터닝되어 있다. 도전성 라인(51)은 화소전극(20a)의 베이스로 되는 투명 도전성막을 에칭하는 것에 의해서 화소전극(20a)과 함께 패터닝된 것이다. 도전성 라인(51)의 좌우 양측의 주연부 위에는 수직방향으로 긴 홈형상의 절연 라인(57, 57, ...)이 각각 형성되어 있다. 절연 라인(57, 57) 사이로부터 노출하고 있는 도전성 라인(51)상에는 각각 급전배선(90, 90, ...)이 적층되어 있다.

수평방향으로 인접하는 화소전극(20a)의 사이에는 화소전극(20a)과 전기적으로 절연해서 수직방향으로 연재하는 절연라인(52)이, 신호선 $Y_{(j-2k+1)}, \dots, Y_{(j-1)}, Y_{(j+1)}, Y_{(j+3)}, \dots$ ( $k$ 는 자연수)와 같이, 즉 공통배선(91)과 마찬가지로, 화소전극(20a)의 1열 건너 패터닝되어 있다. 이들 절연라인(52)은 개구율을 높게 하기 위해, 양측이 화소전극(20a)의 주연부에 일부 중첩되도록 설치되어 있지만, 화소전극(20a)의 주연부와 중첩되지 않는 구조이어도 좋다. 이들 절연라인(52) 중 도전성 라인(51)과 중첩되어 있지 않은 절연 라인(52)상에는 공통배선(91)이 적층되어 있다.

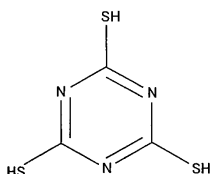
급전배선(90)은 절연라인(52)보다 충분히 두꺼우며, 절연라인(52)으로부터 융기하고 있다. 또한, 급전배선(90)은 도금법에 의해 형성된 것이므로, 신호선( $Y_1 \sim Y_n$ ), 주사선( $XV \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )과 트랜지스터(21)~(23)의 게이트, 소스 및 드레인보다 충분히 두껍다. 도 22, 도 25에 도시하는 바와 같이, 평면에서 보아 각 급전배선(90)과 공급선( $Z_1 \sim Z_m$ )이 교차하는 개소에 있어서 콘택트홀(53)이 평탄화막(33) 및 보호 절연막(32)에 형성되고, 그 콘택트홀(53)에 도전성 패드(58)가 매립되며, 도전성 패드(58)의 위에 도전성 라인(51) 및 급전배선(90)이 차례로 중첩되어 있다. 그 때문에, 도 21의 회로도에도 도시하는 바와 같이, 급전배선(90)이 콘택트부(C2)에서 전기적으로 공급선( $Z_1 \sim Z_m$ )에 도통하고, 더 나아가서는 공급선( $Z_i$ )를 통하여 화소회로( $Z_{i,1} \sim Z_{i,n}$ )의 트랜지스터(22), (23)의 드레인(22d), (23d)에 도통하고 있다. 또한, 콘택트홀(53)내의 도전성 패드(58)는 도금법에 의해 형성된 것이다.

공통배선(91)도, 급전배선(90)과 함께 도금법에 의해 형성된 것이므로, 신호선( $Y_1 \sim Y_n$ ), 주사선( $X_1 \sim X_m$ ) 및 공급선( $Z_1 \sim Z_m$ )과 트랜지스터(21)~(23)의 게이트, 소스 및 드레인보다 충분히 두껍다. 공통배선(91) 및 급전배선은 동, 금 혹은 니켈 또는 이들 적층체로 이루어진다.

급전배선(90)의 표면에는 발수성·발유성을 가진 발액성 절연막(54)이 성막되어 있다. 이 발액성 절연막(54)은 불소수지 전착(電着) 도료로 이루어지며, 전착 도장에 의해서 성막된 것이다.

공통배선(91)의 표면에는 발수성·발유성을 가진 발액성 도통막(55)이 성막 되어 있다. 발액성 도통막(55)은 다음의 화학식(1)에 나타낸 트리아질트리티올의 1 또는 2의 펙캡토기(-SH : 티올기로 호칭하는 경우도 있음)의 수소원자(H)가 환원 이 탈하고, 유황원자(S)가 금속인 공통배선(91)의 표면에 산화흡착한 것이다.

[화학식 1]



발액성 도통막(55)은 극히 얇은 트리아질트리티올 분자 유닛이 공통배선(91)의 표면에 극히 얇게 성막되어 있기 때문에, 발액성 도통막(55)은 두께 방향으로 매우 저저항이며 거의 절연성을 갖지 않는다. 또한, 발수성·발유성을 현저하게 하기 위해 트리아질트리티올 대신에, 트리아질트리티올의 1 또는 2의 펙캡토기가 불화 알킬기로 치환한 트리아질티올 유도체 여도 좋다. 이러한 트리아질 화합물은 발액성 도통막(55)과 같은 금속에 선택적으로 피막하여 결합할 수 있다. 구체적으로는 6-디메틸아미노-1, 3, 5-트리아진-2, 4-디티올-나트륨염을 농도  $10^{-3} \text{ mol} \cdot \text{l}$  수용액으로 조정한 후, 액온  $26^\circ\text{C}$ , 침지시

간 30분의 조건에서 공통배선(91)을 그의 수용액에 침지했을 때, 공통배선(91)의 표면에 막두께 0.7nm 정도의 발액성 도통막(55)이 피막된다(막두께는 엘립소미터에 의한 측정값). 또, 6-디도데실아미노-1, 3, 5-트리아진-2, 4-디티올-나트륨염을 농도  $10^{-3}$  mol/l 수용액으로 조정된 후, 액온 46°C, 침지시간 30분의 조건에서 공통배선(91)을 그의 수용액에 침지했을 때, 공통배선(91)에 막두께 1.8nm 정도의 발액성 도통막(55)이 피막된다(막두께는 엘립소미터에 의한 측정값).

또한, 발액성 도통막(55)의 피막 구조를 모식적으로 나타내면, 도 26과 같이 된다. 도 26에 있어서 치환기 R은 예를 들면 디메틸아미노 또는 디도데실아미노이다.

화소전극(20a)상에는 유기EL소자(20)의 유기EL층(20b)이 성막되어 있다. 유기EL층(20b)은 광의 발광층이며, 유기EL층(20b)에는 유기화합물인 발광재료(형광체)가 함유되어 있다. 유기EL층(20b)은 화소전극(20a)으로부터 차례로 정공 수송층, 협의의 발광층의 순으로 적층한 2층 구조이다. 정공 수송층은 도전성 고분자인 PEDOT(폴리티오펜) 및 도펀트인 PSS(폴리스티렌 술폰산)로 이루어지고, 협의의 발광층은 폴리플루오렌계 발광재료로 이루어진다.

유기EL층(20b)은 발액성 절연막(54) 및 발액성 도통막(55)의 코팅 후에 습식 도포법(예를 들면, 잉크젯법)에 의해서 성막된다. 이 경우, 화소전극(20a)에 유기EL층(20b)으로 되는 유기화합물을 함유하는 유기화합물 함유액을 도포하지만, 이 유기화합물 함유액의 액면은 절연라인(52)의 꼭대기부 및 절연라인(57)의 꼭대기부보다 높다. 수평방향으로 인접하는 화소전극(20a)간에 꼭대기부가 절연라인(52)의 꼭대기부 및 절연라인(57)의 꼭대기부보다 충분히 높은 후막의 급전배선(90) 및 공통배선(91)이 교대로 설치되어 있기 때문에, 화소전극(20a)에 도포된 유기화합물 함유액이 수평방향에 대해 인접하는 화소전극(20a)에 누설되는 일이 없도록 막아져 있다. 또, 급전배선(90)에는 발수성·발유성의 발액성 절연막(54)이 코팅되고, 더 나아가서는 공통배선(91)에는 발수성·발유성의 발액성 도통막(55)이 코팅되어 있기 때문에, 화소전극(20a)에 도포된 유기화합물 함유액이 발액성 절연막(54) 및 발액성 도통막(55)에서는 되튀겨지므로, 화소전극(20a)에 도포된 유기화합물 함유액이 화소전극(20a)의 중앙에 대해 절연라인(52)의 각부(角部) 부근에서 극단적으로 두껍게 퇴적되지 않게 된다. 그 때문에, 유기화합물 함유액이 건조해서 이루어지는 유기EL층(20b)을 균일한 막두께로 성막할 수 있다.

이와 같이 유기EL층(20b)을 성막하는 것에 의해서, 도 27에 도시하는 바와 같이, 적색으로 발광하는 유기EL층(20b)이 성막된 영역 R, 녹색으로 발광하는 유기EL층(20b)이 성막된 영역 G, 청색으로 발광하는 유기EL층(20b)이 성막된 영역 B의 스트라이프 구조를 구성하여, 동일 열의 복수의 화소는 동일색으로 발광한다.

평면에서 본 경우, 도포된 유기화합물 함유액은 좌우를 각각 급전배선(90) 및 공통배선(91)중의 어느 하나로 간막이되어 있기 때문에 수직방향으로 각 열마다 균일하게 분포하므로, 수직방향으로 배열된 복수의 유기EL층(20b)은 모두 동일한 층구조이며, 동일한 색으로 발광한다. 한편, 수평방향으로 1열로 배열된 복수의 유기EL층(20b)은 적색 발광, 녹색 발광, 청색 발광의 순으로 반복하도록 협의의 발광층이 배열되어 있다. 정공 수송층은 다른 색으로 발광하는 화소기리에서 서로 동일한 재료를 이용해도 좋다.

또한, 유기EL층(20b)은 2층 구조 이외에, 화소전극(20a)으로부터 차례로 정공 수송층, 협의의 발광층, 전자 수송층으로 이루어지는 3층 구조이어도 좋고, 협의의 발광층으로 이루어지는 1층 구조이어도 좋으며, 이들 층 구조에 있어서 적절한 층간에 전자 혹은 정공의 주입층이 개재한 적층구조이어도 좋고, 그 밖의 적층구조이어도 좋다.

유기EL층(20b)상에는 유기EL소자(20)의 캐소드로서 기능하는 대향전극(20c)이 성막되어 있다. 대향전극(20c)은 모든 화소에 공통해서 형성된 공통 전극이다. 대향전극(20c)이 전면에 빈틈없이 성막되는 것에 의해, 대향전극(20c)이 발액성 도통막(55)을 사이에 두고 공통배선(91)을 피복하는 동시에 발액성 절연막(54)을 사이에 두고 급전배선(90)을 피복하고 있다. 그 때문에, 도 21의 회로도에 도시하는 바와 같이, 대향전극(20c)은 공통배선(91)에 대해 도통하고 있다. 그것에 대해, 대향전극(20c)은 급전배선(90)에 대해 절연하고 있다.

도 23~도 25에 도시하는 바와 같이, 대향전극(20c)은 화소전극(20a)보다 일함수가 낮은 재료로 형성되어 있고, 예를 들면, 마그네슘, 칼슘, 리튬, 바륨, 인듐, 희토류금속의 적어도 1종을 포함하는 단체 또는 합금으로 형성되어 있는 것이 바람직하다. 또, 대향전극(20c)은 상기 각종 재료의 층이 적층된 적층구조로 되어 있어도 좋고, 이상의 각종 재료의 층에 부가해서 시트 저항을 낮게 하기 위해 산화되기 어려운 금속층이 퇴적된 적층구조로 되어 있어도 좋으며, 구체적으로는 유기EL층(20b)과 접하는 계면층에 설치된 일함수가 낮은 고순도의 바륨층과 바륨층을 피복하도록 설치된 알루미늄층과의 적층구조, 하층에 리튬층, 상층에 알루미늄층이 설치된 적층구조를 들 수 있다. 또, 투명구조의 경우, 대향전극(20c)을 상술과 같은 일함수가 낮은 박막과 그 위에 ITO 등의 투명 도전막을 적층한 투명전극으로 해도 좋다.

대향전극(20c)상에는 밀봉 절연막(56)이 성막되어 있다. 밀봉 절연막(56)은 대향전극(20c) 전체를 피복하고, 대향전극(20c)의 열화를 방지하기 위해 설치되어 있는 무기막 또는 유기막이다.

또한, 종래, 틱에미션형 구조의 EL 디스플레이 패널은 대향전극의 적어도 일부를 금속산화물과 같이 저항값이 높은 투명 전극을 이용하게 되지만, 이러한 재료는 충분히 두껍게 하지 않으면 시트 저항이 충분히 낮게 되지 않으므로 두껍게 하는 것에 의해서 필연적으로 유기EL소자의 투과율이 내려가 버리고, 대화면으로 될수록 면내에서 균일한 전위로 되기 어려워 표시 특성이 낮게 되어 버리고 있었다. 그러나, 본 실시형태에서는 수직방향으로 충분한 두께를 위해 저저항의 복수의 공통배선(91, 91, ...)을 설치하고 있으므로, 대향전극(20c)과 아울러 유기EL소자(20, 20, ...)의 캐소드 전극 전체의 시트 저항값을 내려, 충분하고 또한 면내에서 균일하게 대전류를 흘리는 것이 가능해진다. 또한, 이러한 구조에서는 공통배선(91, 91, ...)이 캐소드전극으로서의 시트저항을 내리고 있으므로, 대향전극(20c)을 박막으로 해서 투과율을 향상시키거나 하는 것이 가능하다. 또한 틱에미션 구조에서는 화소전극(20a)을 반사성의 재료로 해도 좋다.

[EL 디스플레이 패널의 구동방법]

EL 디스플레이 패널(1)을 액티브 매트릭스 방식으로 구동하기 위해서는 다음과 같이 된다. 즉, 도 28에 도시하는 바와 같이, 발진회로에 의해서 급전배선(90, 90, ...) 및 공급선( $Z_1 \sim Z_m$ )에 대해 클럭신호를 출력한다. 또, 주사측 드라이버에 의해서 주사선( $X_1$ )에서 주사선( $X_m$ )으로의 순(주사선( $X_m$ )의 다음은 주사선( $X_1$ ))으로 하이레벨의 시프트 펄스를 순차 출력함으로써 주사선( $X_1 \sim X_m$ )을 순차 선택하지만, 주사측 드라이버가 주사선( $X_1 \sim X_m$ ) 중의 어느 하나로 시프트 펄스를 출력하고 있을 때에는 발진회로의 클럭신호가 로우레벨로 된다. 또, 주사측 드라이버가 각 주사선( $X_1 \sim X_m$ )을 선택하고 있을 때에, 데이터측 드라이버가 기입전류인 인발전류(전류신호)를 구동 트랜지스터(23)의 소스-드레인간을 통하여 전체 신호선( $Y_1 \sim Y_n$ )에 흘린다. 또한, 대향전극(20c) 및 급전배선(90)의 일정한 코먼전압(Vcom)(예를 들면, 접지=0볼트)으로 유지되어 있다.

주사선( $X_i$ )의 선택기간에 있어서는 i행째의 주사선( $X_i$ )에 시프트펄스가 출력되고 있으므로, 스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)가 ON상태로 된다. 각 선택기간에 있어서, 데이터측 드라이버측의 전위는 급전배선(90, 90, ...) 및 공급선( $Z_1 \sim Z_m$ )에 출력된 클럭신호의 로우레벨 이하이고 또한 이 클럭신호의 로우레벨은 코먼전압(Vcom)이하로 설정되어 있다. 따라서 이 때, 유기EL소자(20)로부터 신호선( $Y_1 \sim Y_n$ )에 흐르는 일은 없으므로, 도 21에 도시하는 바와 같이 데이터측 드라이버에 의해서 계조에 따른 전류값의 기입전류(인발전류)가 화살표 A와 같이 신호선( $Y_1 \sim Y_n$ )에 흐르고, 화소회로( $P_{i,j}$ )에 있어서는 급전배선(90) 및 공급선( $Z_j$ )으로부터 구동 트랜지스터(23)의 소스-드레인간, 스위치 트랜지스터(21)의 소스-드레인간을 통하여 신호선( $Y_j$ )을 향한 기입전류(인발전류)가 흐른다. 이와 같이 구동 트랜지스터(23)의 소스-드레인간을 흐르는 전류의 전류값은 데이터측 드라이버에 의해서 일의적으로 제어되고, 데이터측 드라이버는 외부로부터 입력된 계조에 따라 기입전류(인발전류)의 전류값을 설정한다. 기입전류(인발전류)가 흐르고 있는 동안, i행째의  $P_{i,1} \sim P_{i,n}$ 의 각 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압은 각각 신호선( $Y_1 \sim Y_n$ )에 흐르는 기입전류(인발전류)의 전류값, 즉 구동 트랜지스터(23)의 Vg-Ids특성의 경시 변화에 관계없이 구동 트랜지스터(23)의 드레인(23d)-소스(23s)간을 흐르는 기입전류(인발전류)의 전류값에 적당하도록 강제적으로 설정되고, 이 전압의 레벨에 따른 크기의 전하가 캐패시터(24)에 차지되고, 기입전류(인발전류)의 전류값이 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압의 레벨로 변환된다. 그 후의 발광기간에서는 주사선( $X_i$ )이 로우레벨로 되고, 스위치 트랜지스터(21) 및 홀딩 트랜지스터(22)가 OFF상태로 되지만, OFF상태의 홀딩 트랜지스터(22)에 의해서 캐패시터(24)의 전극(24A)측의 전하가 감금되어 플로팅상태로 되고, 구동 트랜지스터(23)의 소스(23s)의 전압이 선택기간에서 발광기간으로 이행할 때에 변조해도, 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전위차가 그대로 유지된다. 이 발광기간 중, 어느 행의 선택기간도 아닌 동안, 즉, 클럭신호가 급전배선(90) 및 공급선( $Z_j$ )의 전위가 유기EL소자(20)의 대향전극(20c) 및 급전배선(90)의 전위(Vcom)보다 높은 하이레벨의 동안, 더욱 고전위의 급전배선(90) 및 공급선( $Z_j$ )으로부터 구동 트랜지스터(23)의 소스-드레인간을 통하여 유기EL소자(20)에 구동전류가 화살표 B의 방향으로 흘러, 유기EL소자(20)가 발광한다. 구동전류의 전류값은 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압에 의존하기 때문에, 발광기간에 있어서의 구동전류의 전류값은 선택기간에 있어서의 기입전류(인발전류)의 전류값에 동일하게 된다. 또 발광기간에 있어서, 어느 1개의 행의 선택기간의 동안, 즉 클럭신호가 로우레벨일 때에는 급전배선(90) 및 공급선( $Z_j$ )의 전위가 대향전극(20c) 및 급전배선(90)의 전위(Vcom) 이하이므로, 유기EL소자(20)에 구동전류는 흐르지 않아 발광하지 않는다.

즉, 선택기간 중, 스위치 트랜지스터(21)는 구동 트랜지스터(23)의 소스(23s)와 신호선( $Y_j$ ) 사이에 기입전류(인발전류)가 흐르도록 전류로를 형성하고, 홀딩 트랜지스터(2)는 급전배선(90)과 구동 트랜지스터(23)의 드레인(23d)의 사이에 기입 전류(인발전류)가 흐르도록 전류로를 형성한다.

그리고, 발광기간 중, 스위치 트랜지스터(21)는 구동 트랜지스터(23)의 소스(23s)로부터 흐르는 구동전류가 신호선( $Y_j$ )에 흐르지 않도록 전류로를 닫고, 홀딩 트랜지스터(22)는 구동 트랜지스터(23)의 게이트(23g)-소스(23s)간의 전압을 홀딩해서 구동전류의 전류값을 일정하게 하는 것이다. 그리고, 구동 트랜지스터(23)는 발광기간중에 공급선( $Z_i$ ) 및 급전배선(90)이 하이레벨로 되었을 때에, 선택기간에 게이트(23g)-소스(23s)간에 차지된 전하에 따라, 계조에 따른 크기의 전류를 유기EL소자(20)에 흘려 유기EL소자(20)를 구동하는 것이다.

[변형예 1]

또한, 본 발명은 상기 실시형태에 한정되지 않고, 본 발명의 취지를 이탈하지 않는 범위에 있어서 각종 개량 및 설계의 변경을 행해도 좋다.

또, 상기 실시형태에서는 트랜지스터(21)~(23)이 N채널형인 전계효과 트랜지스터로서 설명했다. 트랜지스터(21)~(23)가 P채널형인 전계 효과 트랜지스터여도 좋다. 그 경우, 도 2의 회로 구성에서는 트랜지스터(21)~(23)의 소스(21s), (22s), (23s)와 트랜지스터(21)~(23)의 드레인(21d), (22d), (23d)의 관계가 반대로 된다. 예를 들면, 구동 트랜지스터(23)가 P채널형인 전계 효과 트랜지스터의 경우에는 구동 트랜지스터(23)의 드레인(23d)이 유기EL소자(20)의 화소전극(20a)에 도통하고, 소스(23s)가 공급선( $Z_i$ )에 도통한다.

[변형예 2]

또, 상기 각 실시형태에서는 1화소당 3개의 트랜지스터(21)~(23)가 설치되어 있지만, 유기EL소자에 소스 또는 드레인이 직렬로 접속된 구동 트랜지스터를 구비한 EL 디스플레이 패널이면, 트랜지스터의 수나 전류구동, 전압구동의 제한없이 본 발명을 적용할 수 있다.

[변형예 3]

또, 상기 각 실시형태에서는 트랜지스터(21)~(23)가 N채널형인 전계 효과 트랜지스터로서 설명했다. 트랜지스터(21)~(23)가 P채널형의 전계 효과 트랜지스터이어도 좋다. 그 경우, 도 2의 회로구성에서는 트랜지스터(21)~(23)의 소스(21s), (22s), (23s)와 트랜지스터(21)~(23)의 드레인(21d), (22d), (23d)의 관계가 반대로 된다. 또 각 신호의 하이레벨, 로우 레벨이 역전한다.

[변형예 4]

또, 상기 각 실시형태에서는 각 홀딩 트랜지스터(22)의 드레인(22d)은 공급선( $Z_1 \sim Z_m$ ) 중의 어느 하나에 접속되어 있지만, 이것에 한정되지 않고, 각 화소회로( $P_{i,1}, P_{i,2}, P_{i,3}, \dots, P_{i,n}$ )의 홀딩 트랜지스터(22)의 드레인(22d)을 주사선( $X_i$ )에 접속하도록 해도 좋다.

[변형예 5]

또, 상기 각 실시형태에서는 기입전류로 되는 기입급전전압(VL) 및 구동전류로 되는 구동급전전압(VH)을, 급전배선(90)에 배선단자(90b), (90c)의 양쪽으로부터 공급해서 급전배선(90)의 전압강하를 낮게 하였지만, 전압강하가 높아도 좋은 설계이면 배선단자(90b), (90c)중의 어느 한쪽만으로부터 공급하도록 해도 좋다.

[변형예 6]

또, 상기 각 실시형태에서는 트랜지스터(21)~(23)가 아몰퍼스 실리콘 트랜지스터이었지만, 이것에 한정하지 않고 폴리 실리콘이어도 좋다.

[변형예 7]

또, 상기 제 2 실시형태에서는 급전배선(90)의 표면에 발액성 절연막(54)을 피막했지만, 이것에 한정되지 않고, 발액성 절연막(54)을 설치하지 않고, 공통배선(91)과 함께 급전배선(90)의 표면에 발액성 도통막(55)을 피막하고, 공통배선(91) 및 급전배선(90)을 발액성 격벽으로 하여 유기EL층(20b)의 적어도 1층을 피막하고 나서, 급전배선(90)의 표면을 제외한 유기EL층(20b) 및 공통배선(91)의 표면에 대향전극(20c)을 성막해도 좋다.

**발명의 효과**

또, 적합성이 있는 한 상기 변형예를 복수 조합해도 좋다.

**(57) 청구의 범위**

**청구항 1.**

기관과,

상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 게이트 절연막이 개재되는 복수의 구동 트랜지스터와,

상기 복수의 구동 트랜지스터의 게이트와 함께 패터닝되고, 상기 기관상에 있어서 소정의 방향으로 연재하도록 배열된 복수의 신호선과,

상기 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 신호선과 교차하도록 배열되며, 구동 트랜지스터의 소스와 드레인 중의 한쪽에 도통한 복수의 공급선과,

상기 복수의 공급선을 따라서 상기 복수의 공급선에 각각 적층된 복수의 급전배선을 구비하는 것을 특징으로 하는 트랜지스터 어레이 기관.

**청구항 2.**

제 1 항에 있어서,

상기 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 공급선과 교차하도록 배열된 복수의 주사선을 추가로 구비하는 것을 특징으로 하는 트랜지스터 어레이 기관.

**청구항 3.**

제 2 항에 있어서,

상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 상기 게이트 절연막이 개재되는 복수의 스위치 트랜지스터를 추가로 구비하고,

상기 복수의 구동 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 복수의 스위치 트랜지스터의 소스와 드레인 중의 한쪽에 각각 도통하며,

상기 복수의 스위치 트랜지스터의 게이트가 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 주사선에 도통하고,

상기 복수의 스위치 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 신호선에 도통하고 있는 것을 특징으로 하는 트랜지스터 어레이 기판.

#### 청구항 4.

제 2 항에 있어서,

상기 기판상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 상기 게이트 절연막이 개재되는 복수의 홀딩 트랜지스터를 추가로 구비하고,

상기 복수의 홀딩 트랜지스터의 소스와 드레인 중의 한쪽이, 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 복수의 구동 트랜지스터의 게이트에 각각 도통하며,

상기 복수의 홀딩 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 공급선 또는 상기 주사선에 도통하고,

상기 복수의 홀딩 트랜지스터의 게이트가 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 주사선에 도통하고 있는 것을 특징으로 하는 트랜지스터 어레이 기판.

#### 청구항 5.

제 1 항에 있어서,

상기 구동 트랜지스터의 소스와 드레인 중의 한쪽에 접속된 발광소자를 추가로 갖는 것을 특징으로 하는 트랜지스터 어레이 기판.

#### 청구항 6.

제 1 항에 있어서,

상기 공급선을 통하여 상기 구동 트랜지스터의 게이트-소스간에 기입전류를 흘리는 데이터 드라이버를 추가로 갖는 것을 특징으로 하는 트랜지스터 어레이 기판.

#### 청구항 7.

제 3 항에 있어서,

상기 주사선을 선택해서 상기 스위치 트랜지스터를 ON하는 선택 드라이버를 추가로 갖는 것을 특징으로 하는 트랜지스터 어레이 기판.

#### 청구항 8.

제 1 항에 있어서,

상기 급전배선에 접속되고, 선택기간에 상기 급전배선을 통하여 상기 구동 트랜지스터에 기입전류를 흘리기 위한 기입급전전압을 인가하며, 상기 선택기간에 상기 구동 트랜지스터의 게이트-소스간에 홀딩된 전압에 따라서 발광기간에 상기 구동 트랜지스터를 통하여 발광소자에 구동전류를 흘리기 위한 구동급전전압을 인가하는 급전드라이버를 갖는 것을 특징으로 하는 트랜지스터 어레이 기판.

### 청구항 9.

제 1 항에 있어서,

상기 급전배선의 막두께가 1.31~6 $\mu\text{m}$ 인 것을 특징으로 하는 트랜지스터 어레이 기판.

### 청구항 10.

제 1 항에 있어서,

상기 급전배선의 폭이 7.45~44 $\mu\text{m}$ 인 것을 특징으로 하는 트랜지스터 어레이 기판.

### 청구항 11.

제 1 항에 있어서,

상기 급전배선의 저항율이 2.1~9.6 $\mu\Omega\text{cm}$ 인 것을 특징으로 하는 트랜지스터 어레이 기판.

### 청구항 12.

제 1 항에 있어서,

화소전극, EL층 및 대향전극을 갖고 상기 구동 트랜지스터에 접속된 발광소자를 추가로 구비하며, 상기 급전배선은 상기 화소전극으로 되는 재료막 및 상기 대향전극으로 되는 재료막과 다른 재료막을 패터닝해서 형성되고, 또한 상기 구동 트랜지스터의 게이트의 막두께보다 두껍고, 상기 구동 트랜지스터의 소스·드레인의 막두께보다도 두꺼운 것을 특징으로 하는 트랜지스터 어레이 기판.

### 청구항 13.

기판과,

상기 기판상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 게이트 절연막이 개재되는 복수의 구동 트랜지스터와,

상기 복수의 구동 트랜지스터의 게이트와 함께 패터닝되고, 상기 기판상에 있어서 소정의 방향으로 연재하도록 배열된 복수의 신호선과,

상기 복수의 구동 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 신호선과 교차하도록 배열되며, 구동 트랜지스터의 소스와 드레인 중의 한쪽에 도통한 복수의 공급선과,

상기 복수의 공급선을 따라서 상기 복수의 공급선에 각각 접속된 복수의 급전배선과,

상기 복수의 구동 트랜지스터의 소스와 드레인의 다른쪽에 각각 도통한 복수의 화소전극과,

상기 복수의 화소전극 각각에 성막된 복수의 발광층과,

상기 복수의 발광층을 피복한 대향전극을 구비하는 것을 특징으로 하는 디스플레이 패널.

#### 청구항 14.

제 13 항에 있어서,

상기 복수의 트랜지스터의 소스·드레인과 함께 패터닝되고, 상기 게이트 절연막을 통하여 상기 복수의 공급선과 교차하도록 배열된 복수의 주사선을 추가로 구비하는 것을 특징으로 하는 디스플레이 패널.

#### 청구항 15.

제 14 항에 있어서,

상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 상기 게이트 절연막이 개재되는 복수의 스위치 트랜지스터를 추가로 구비하고,

상기 복수의 구동 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 복수의 스위치 트랜지스터의 소스와 드레인 중의 한쪽에 각각 도통하며,

상기 복수의 스위치 트랜지스터의 게이트가 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 주사선에 도통하고,

상기 복수의 스위치 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 신호선에 도통하고 있는 것을 특징으로 하는 디스플레이 패널.

#### 청구항 16.

제 14 항에 있어서,

상기 기관상에 매트릭스형상으로 배열되고, 게이트와 소스·드레인의 사이에 상기 게이트 절연막이 개재되는 복수의 홀딩 트랜지스터를 추가로 구비하고,

상기 복수의 홀딩 트랜지스터의 소스와 드레인 중의 한쪽이, 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 복수의 구동 트랜지스터의 게이트에 각각 도통하며,

상기 복수의 홀딩 트랜지스터의 소스와 드레인 중의 다른쪽이 상기 공급선 또는 상기 주사선에 도통하고,

상기 복수의 홀딩 트랜지스터의 게이트가 상기 게이트 절연막에 형성된 콘택트홀을 통하여 상기 주사선에 도통하고 있는 것을 특징으로 하는 디스플레이 패널.

#### 청구항 17.

제 13 항에 있어서,

상기 급전배선은 상기 화소전극으로 되는 재료막 및 상기 대향전극으로 되는 재료막과 다른 재료막을 패터닝해서 형성되고, 또한 상기 구동 트랜지스터의 게이트의 막두께보다 두꺼우며, 상기 구동 트랜지스터의 소스·드레인의 막두께보다도 두꺼운 것을 특징으로 하는 디스플레이 패널.

#### 청구항 18.

패널의 위에 화소전극을 매트릭스형상으로 배열하도록 패터닝하는 공정과,

상기 화소전극의 사이에 금속으로 이루어지는 배선을 형성하는 공정과,

상기 배선의 표면에 발액도통층을 피막하는 공정과,

상기 전극에 유기화합물 함유액을 도포함으로써 유기화합물층을 성막하는 공정을 갖는 것을 특징으로 하는 디스플레이 패널의 제조방법.

### 청구항 19.

제 18 항에 있어서,

상기 유기화합물층을 형성한 후, 상기 유기화합물층 및 상기 배선을 피복 하도록 대향전극을 성막하는 것을 특징으로 하는 디스플레이 패널의 제조방법.

### 청구항 20.

제 18 항에 있어서,

상기 유기화합물층은 유기EL층인 것을 특징으로 하는 디스플레이 패널의 제조방법.

### 청구항 21.

제 18 항에 있어서,

상기 배선은 상기 유기화합물층에 전기적으로 접속되어 있는 것을 특징으로 하는 디스플레이 패널의 제조방법.

### 청구항 22.

제 18 항에 있어서,

상기 유기화합물층에 전기적으로 접속되어 있는 트랜지스터를 추가로 구비하는 것을 특징으로 하는 디스플레이 패널의 제조방법.

### 청구항 23.

제 22 항에 있어서,

상기 배선은 트랜지스터에 접속되는 급전배선인 것을 특징으로 하는 디스플레이 패널의 제조방법.

### 청구항 24.

제 18 항에 있어서,

상기 화소전극의 표면은 금속 산화물인 것을 특징으로 하는 디스플레이 패널의 제조방법.

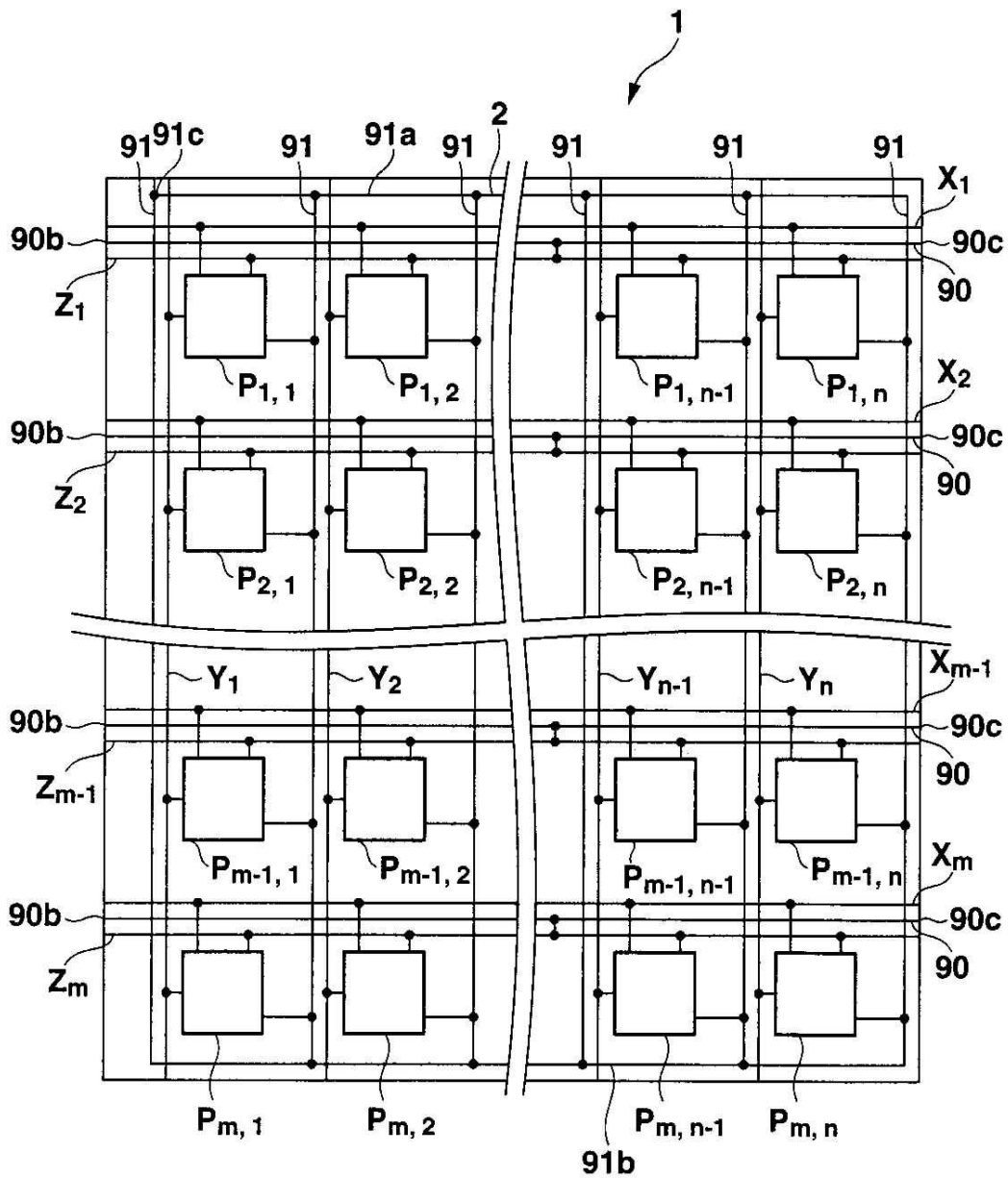
청구항 25.

제 18 항에 있어서,

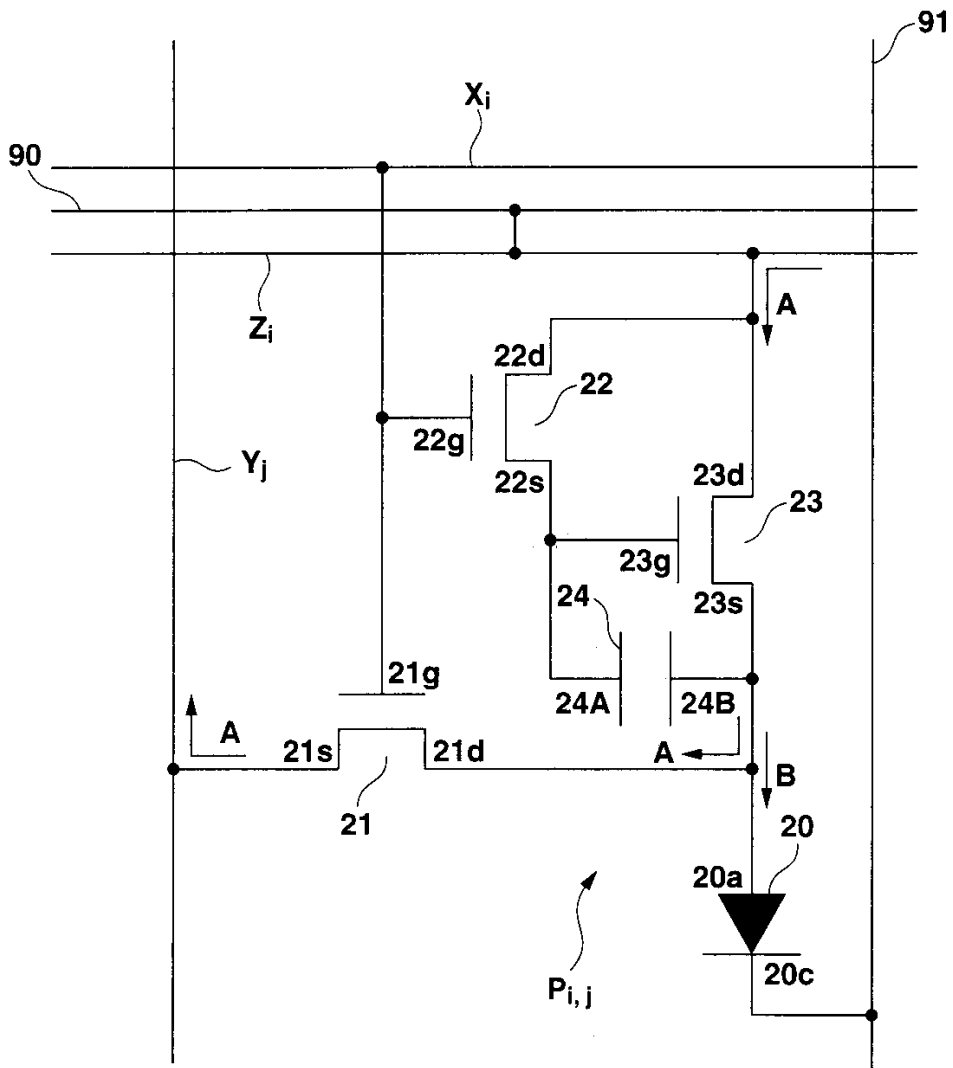
상기 발액도통층은 트리아진 화합물을 갖는 것을 특징으로 하는 디스플레이 패널의 제조방법.

도면

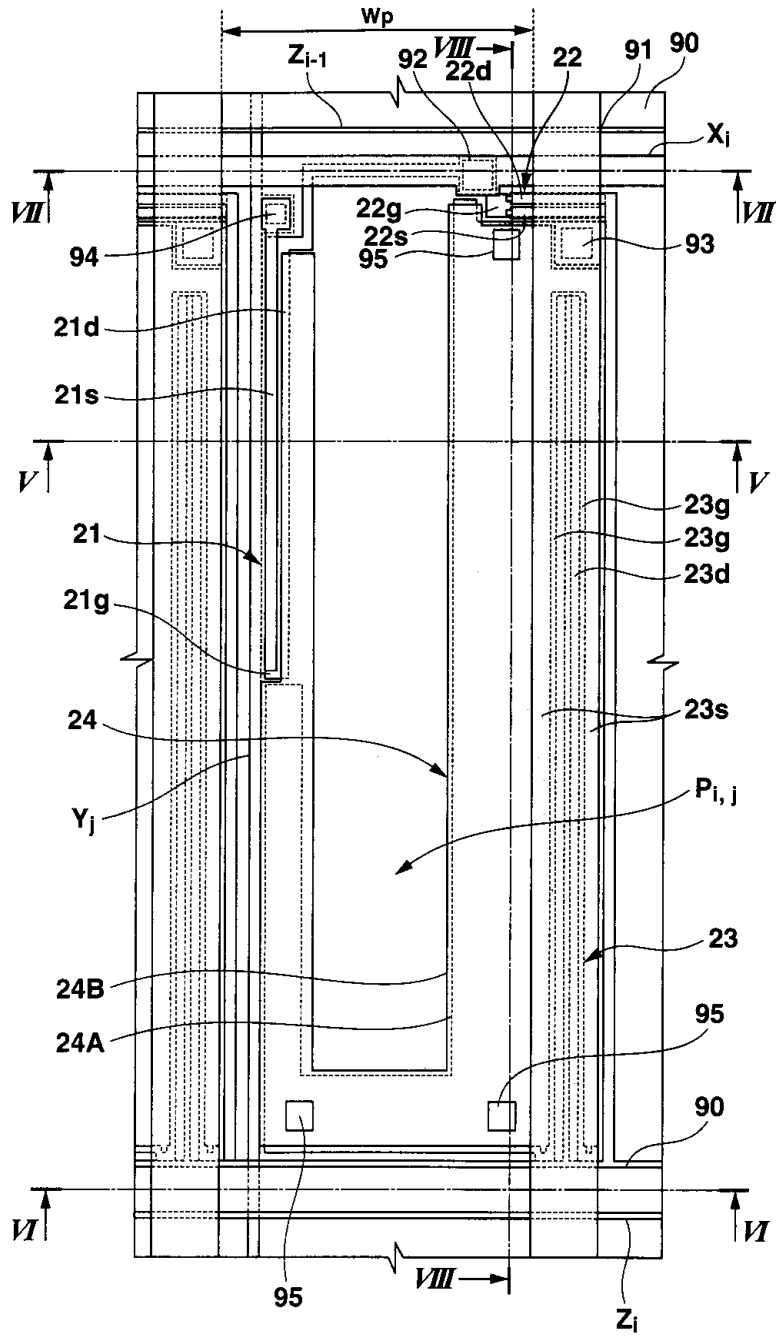
도면1



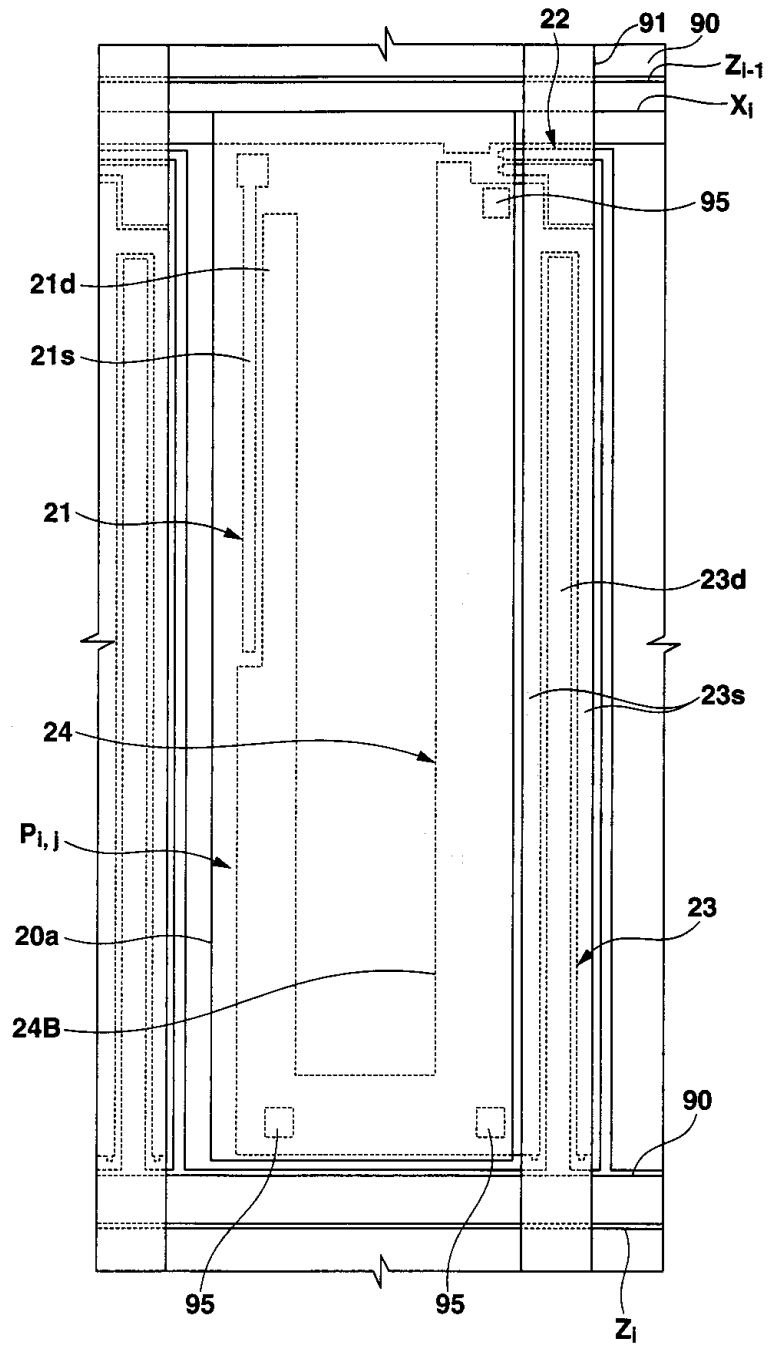
도면2



도면3



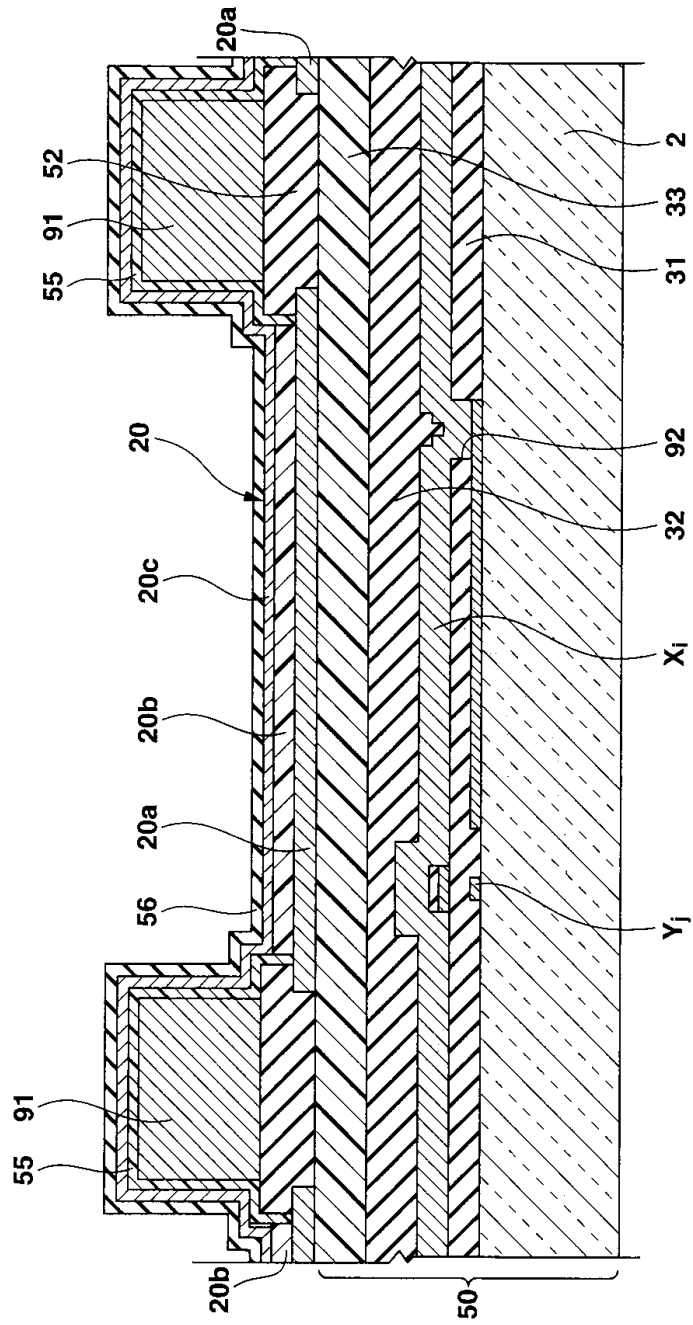
도면4



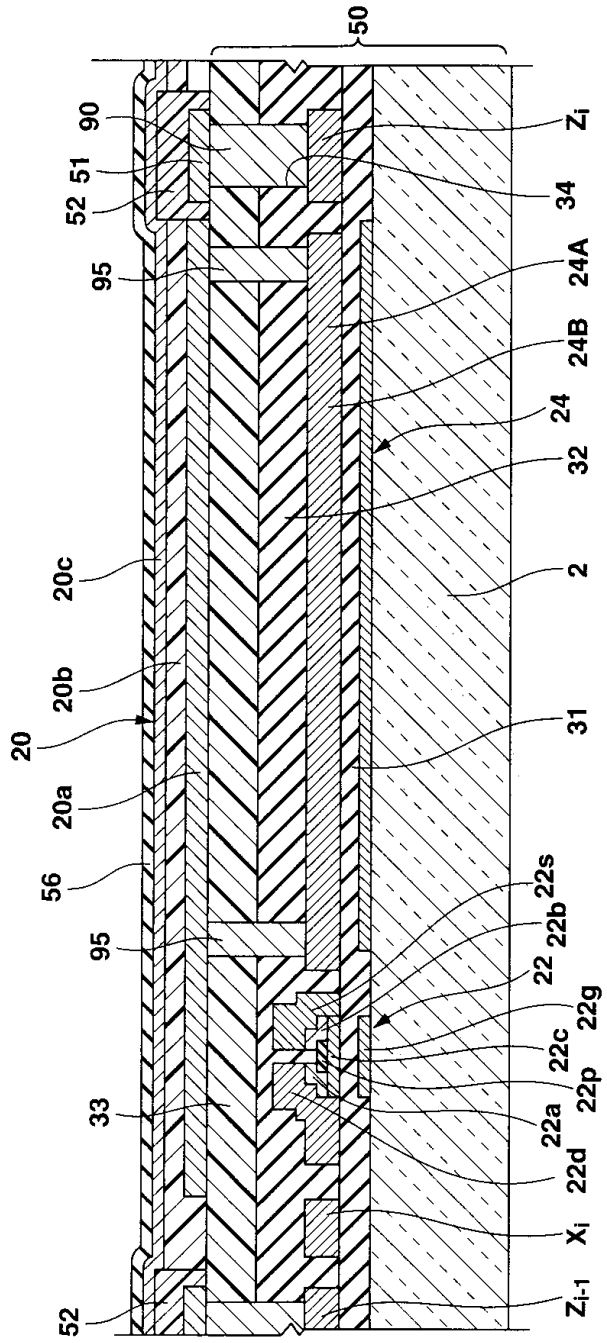




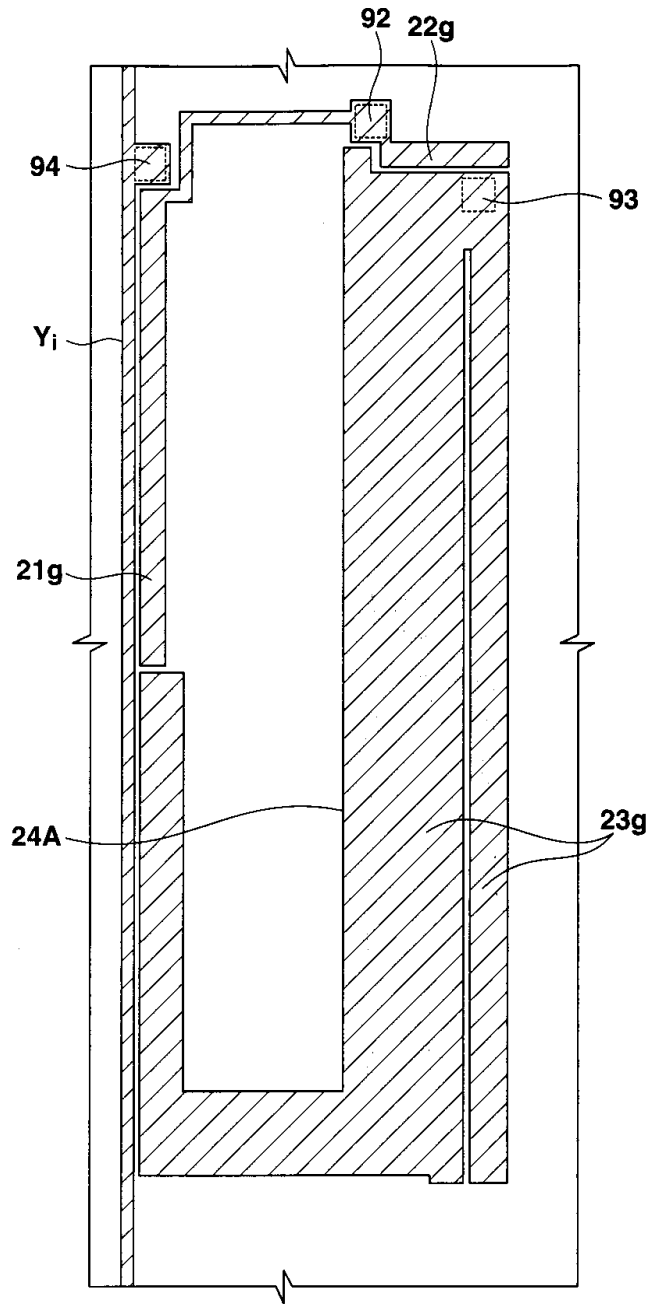
도면7



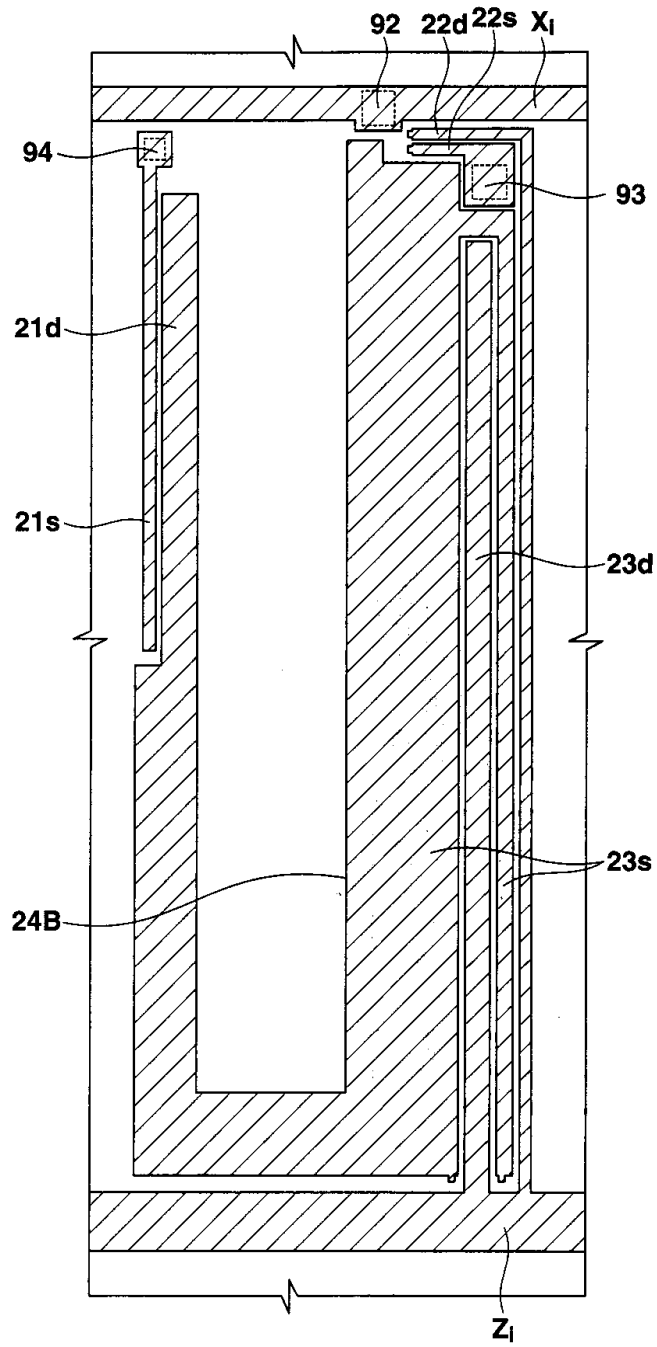
도면8



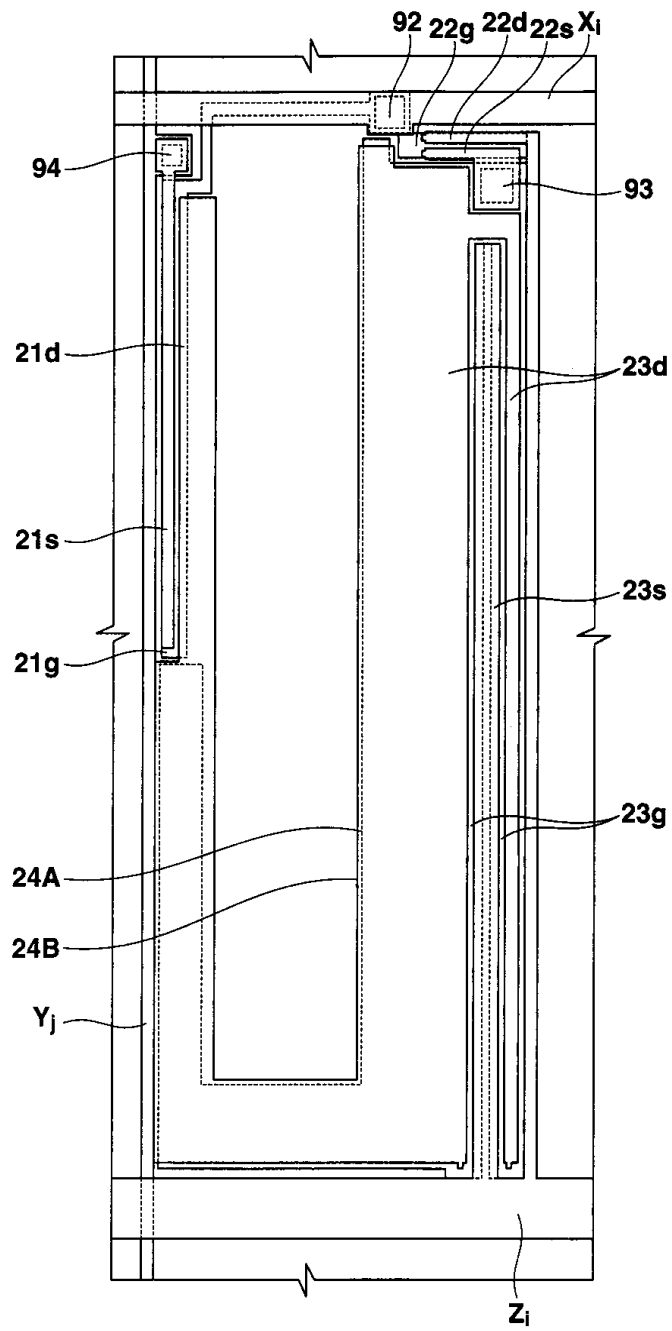
도면9



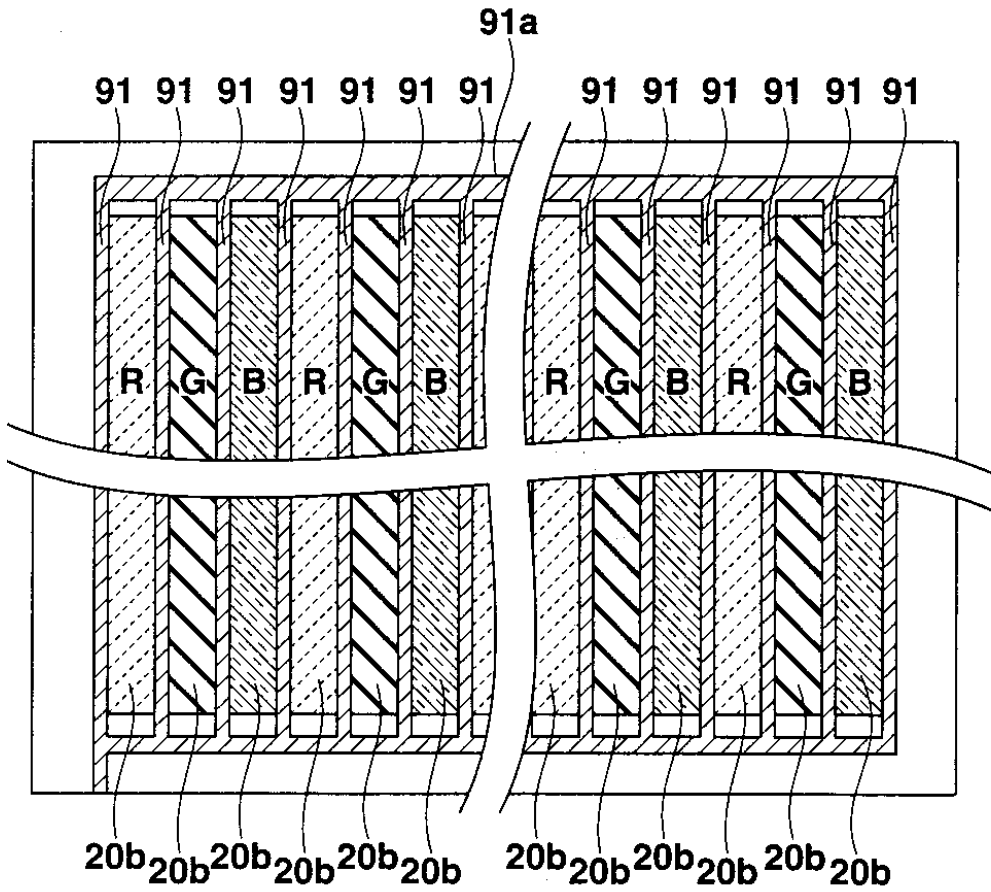
도면10



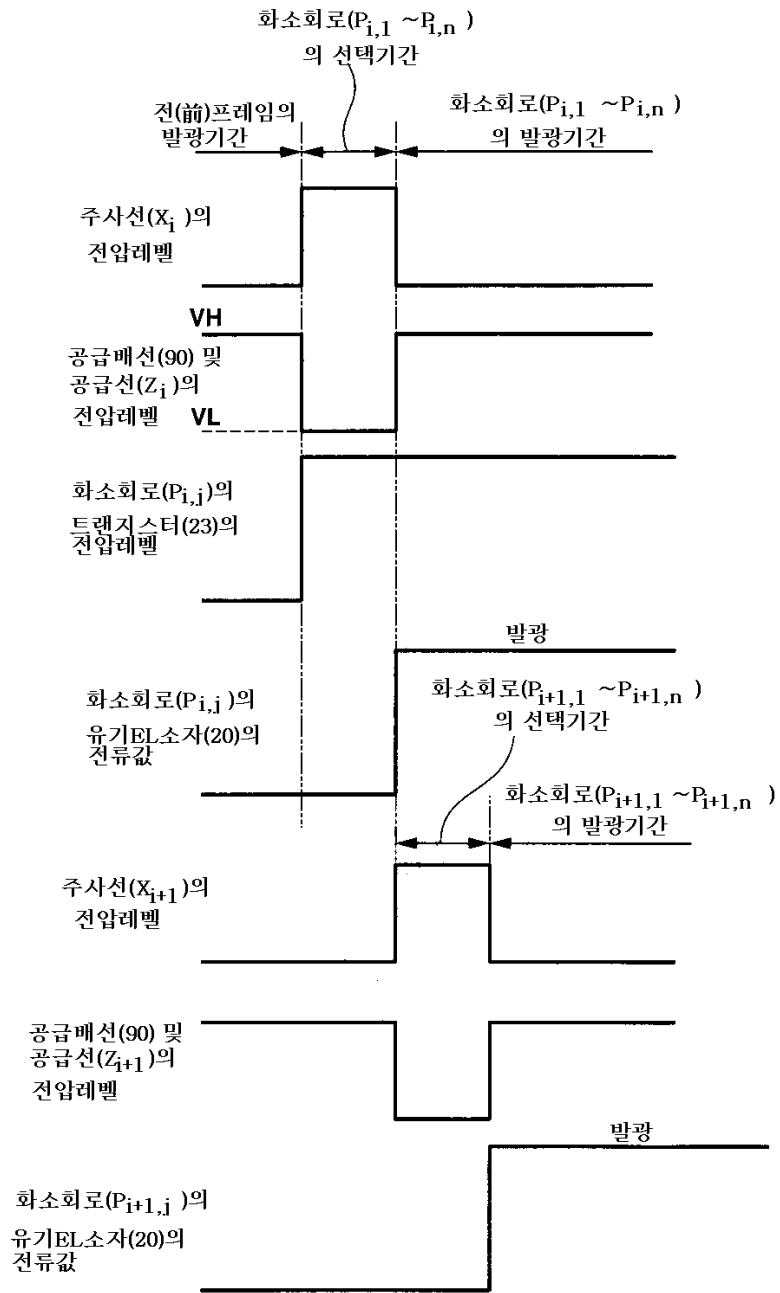
도면11



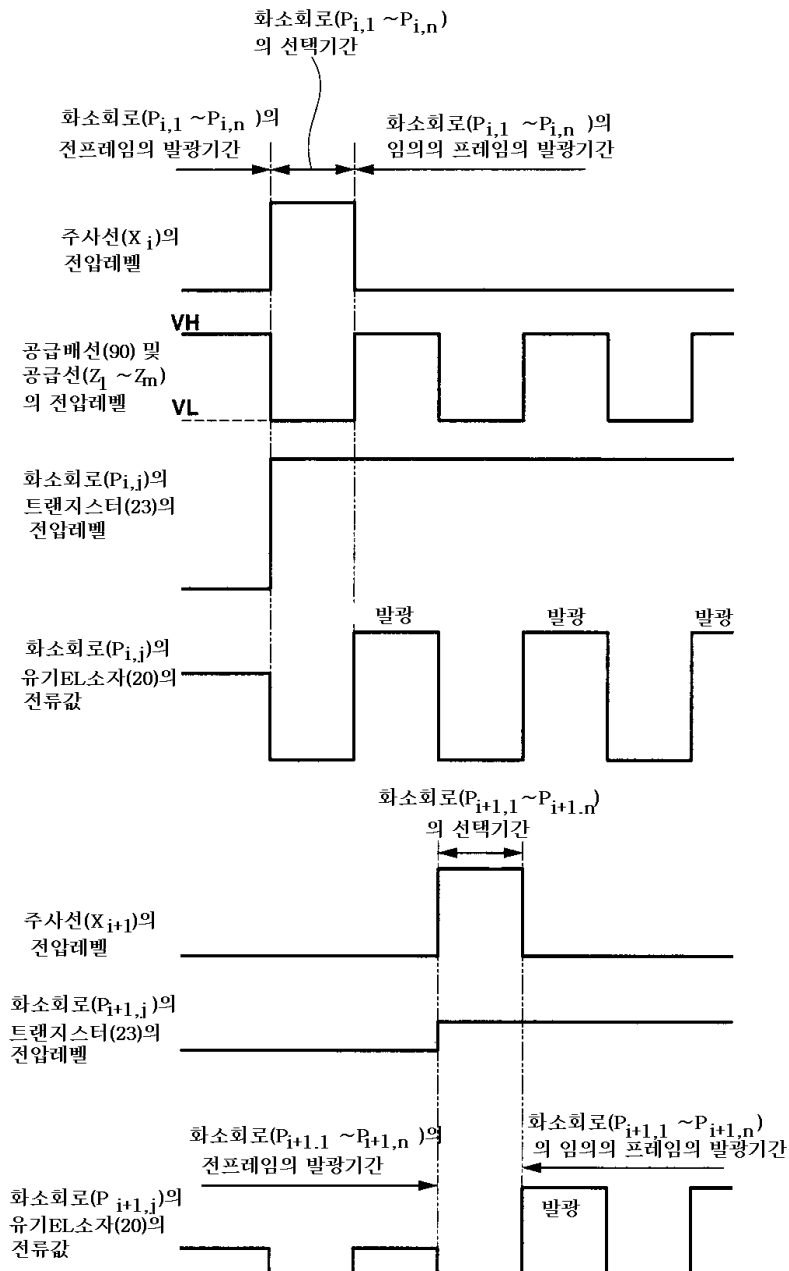
도면12



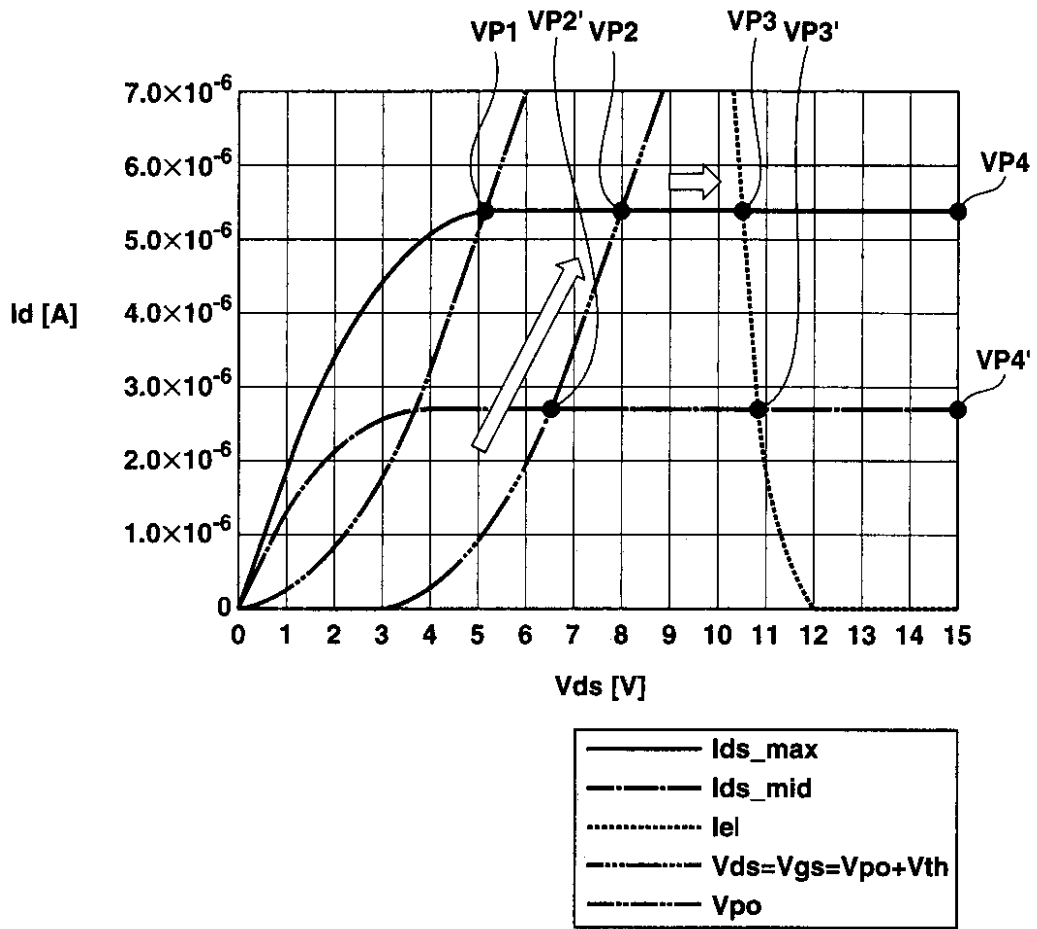
도면13



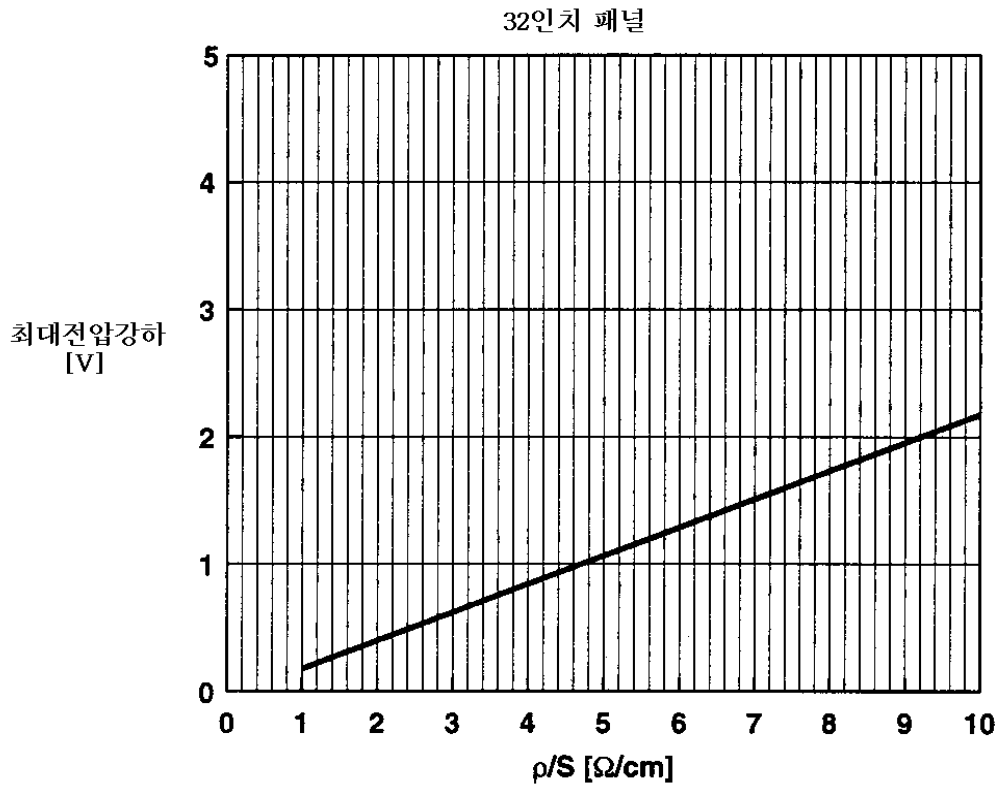
도면14



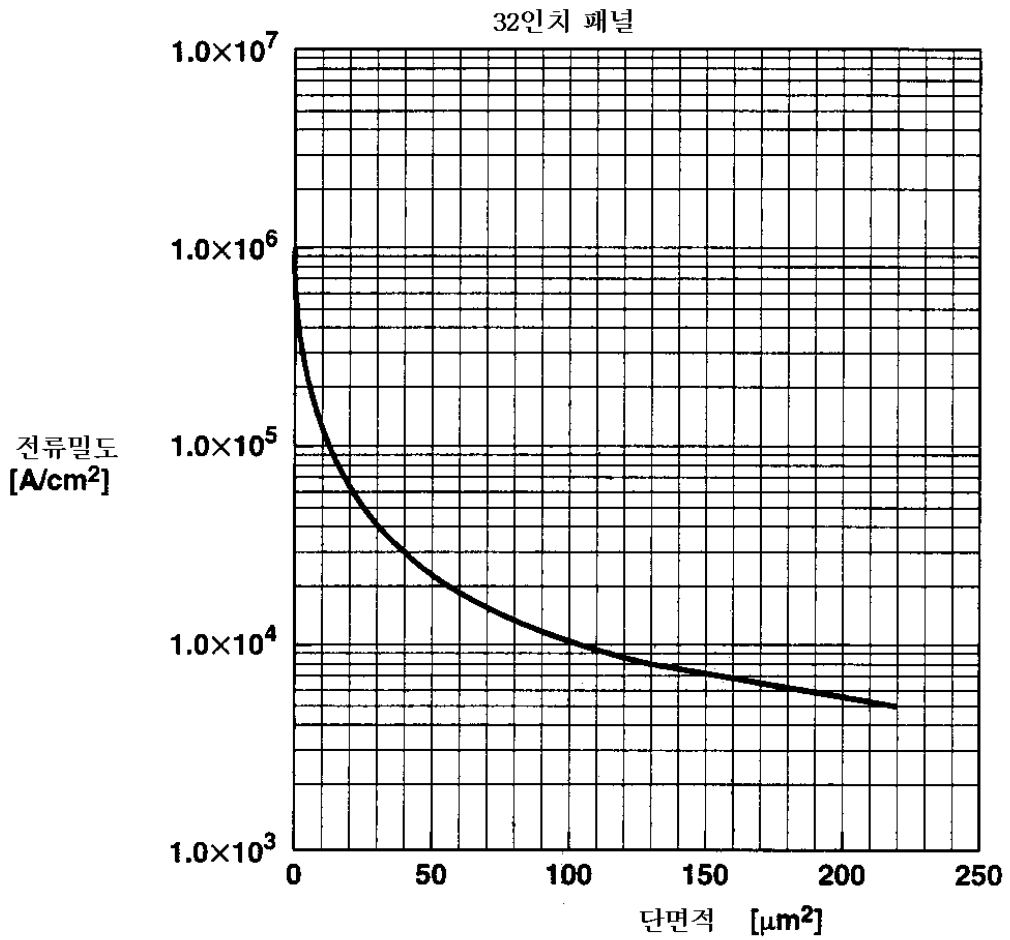
도면15



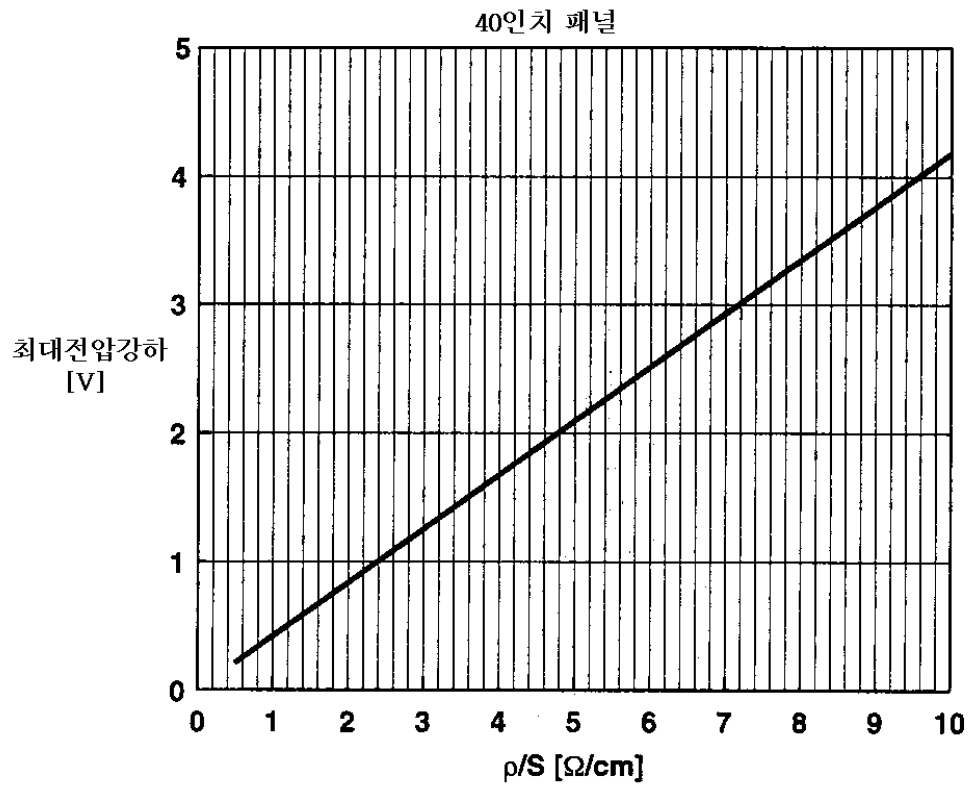
도면16



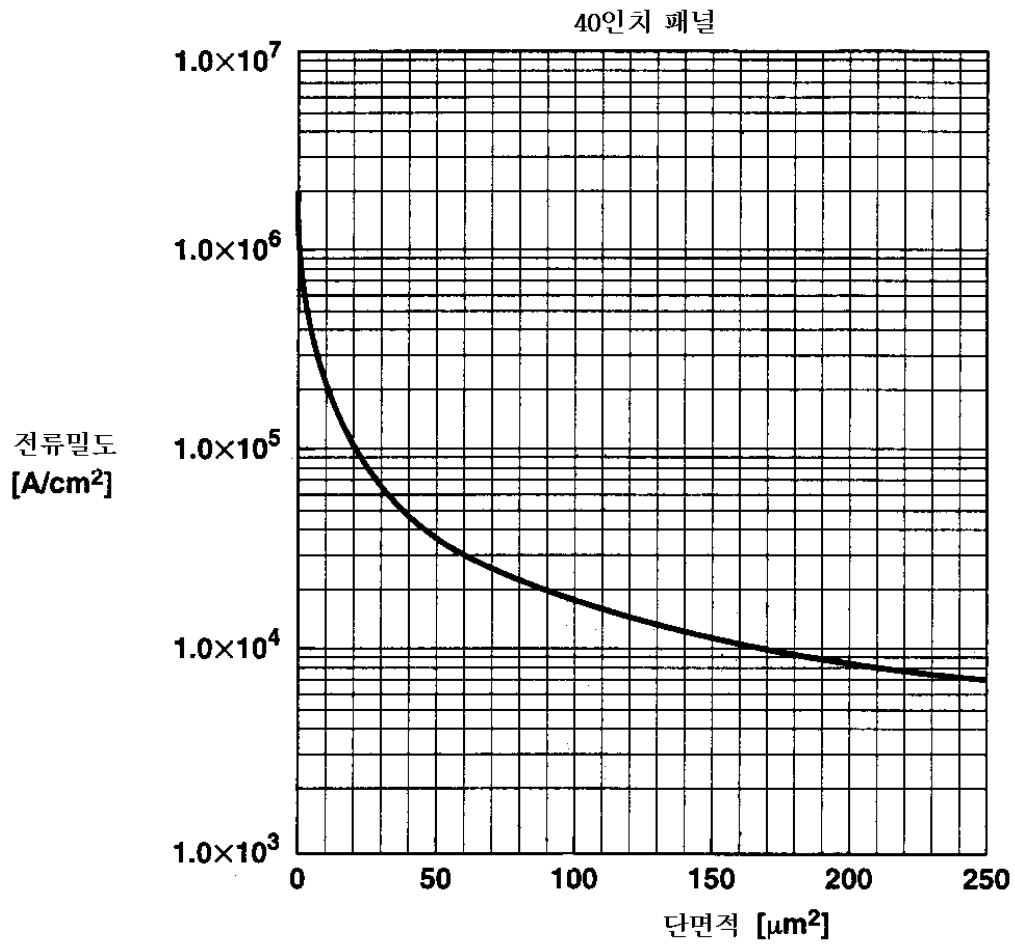
도면17



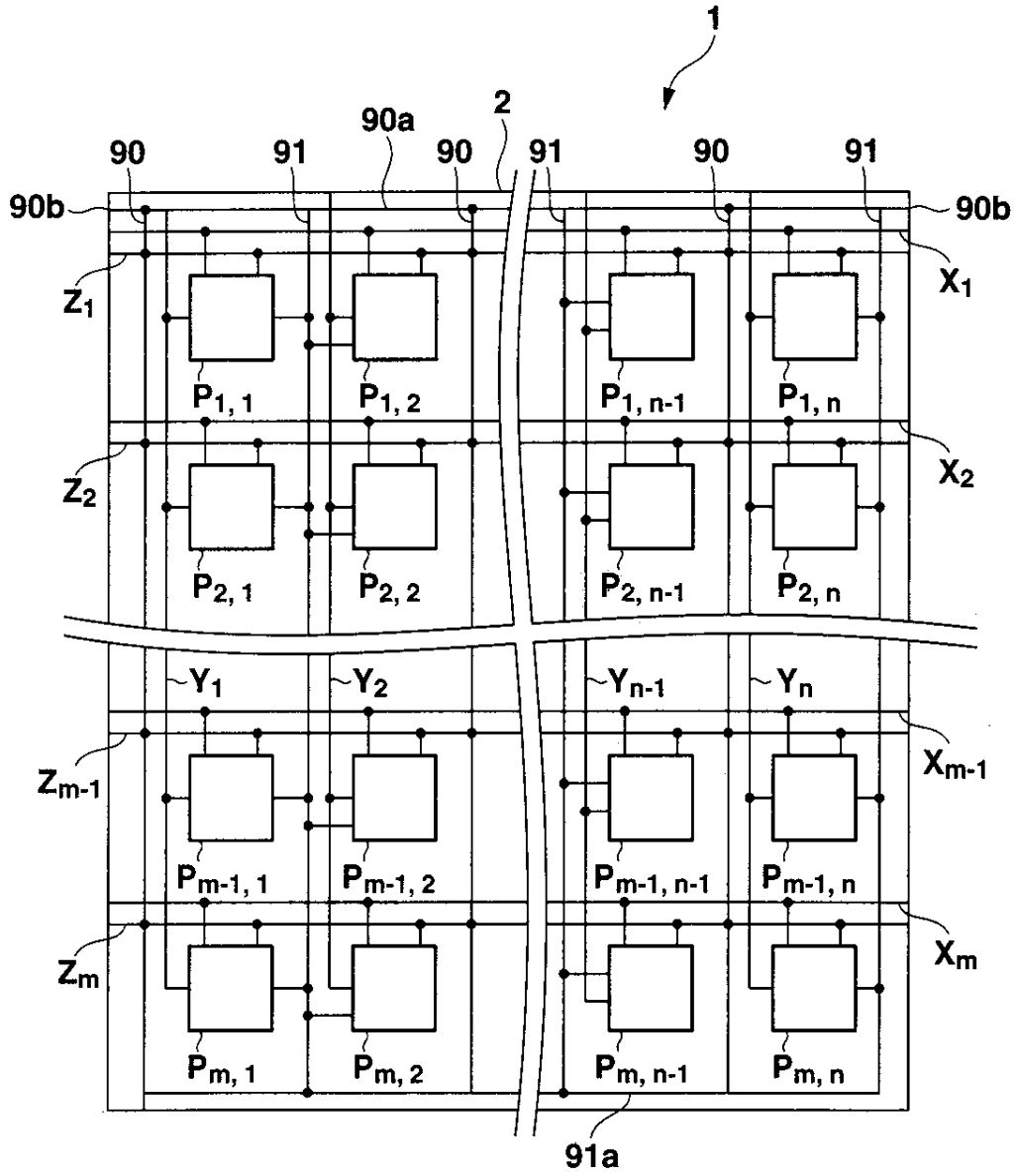
도면18



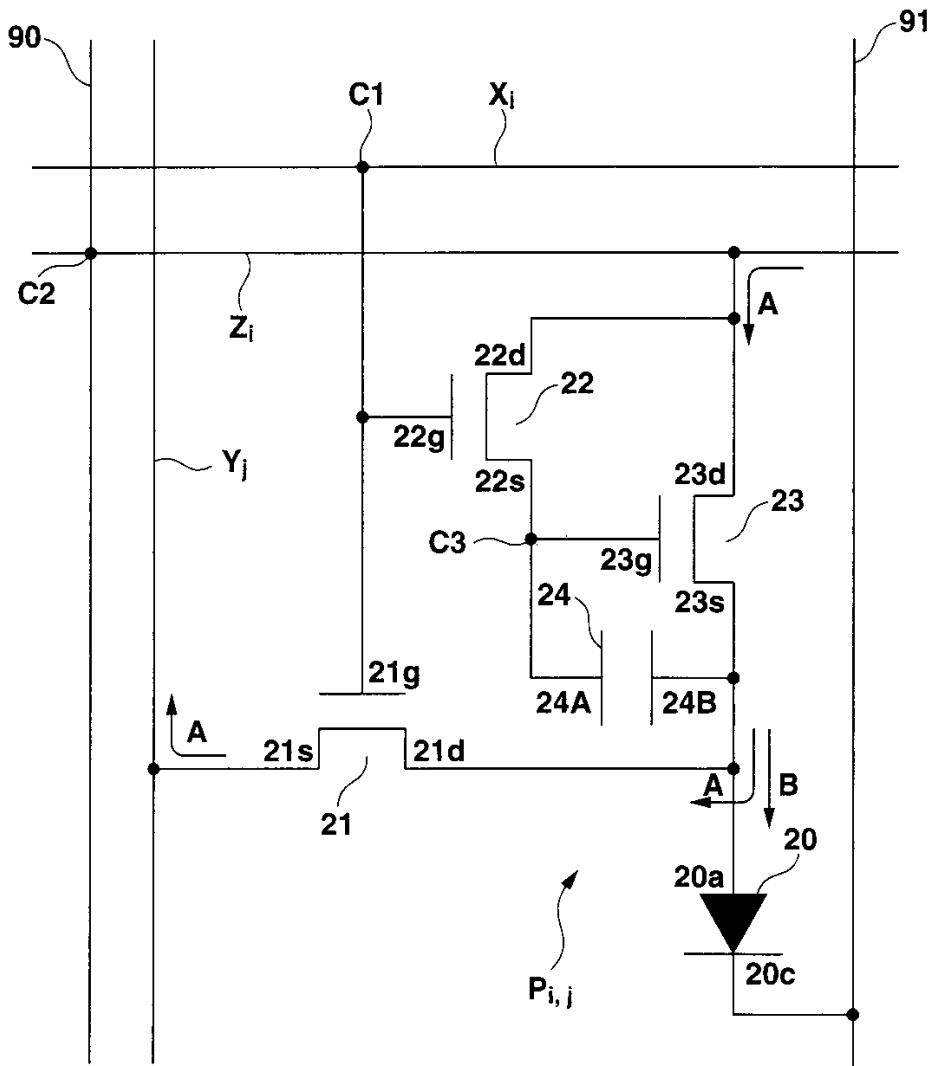
도면19



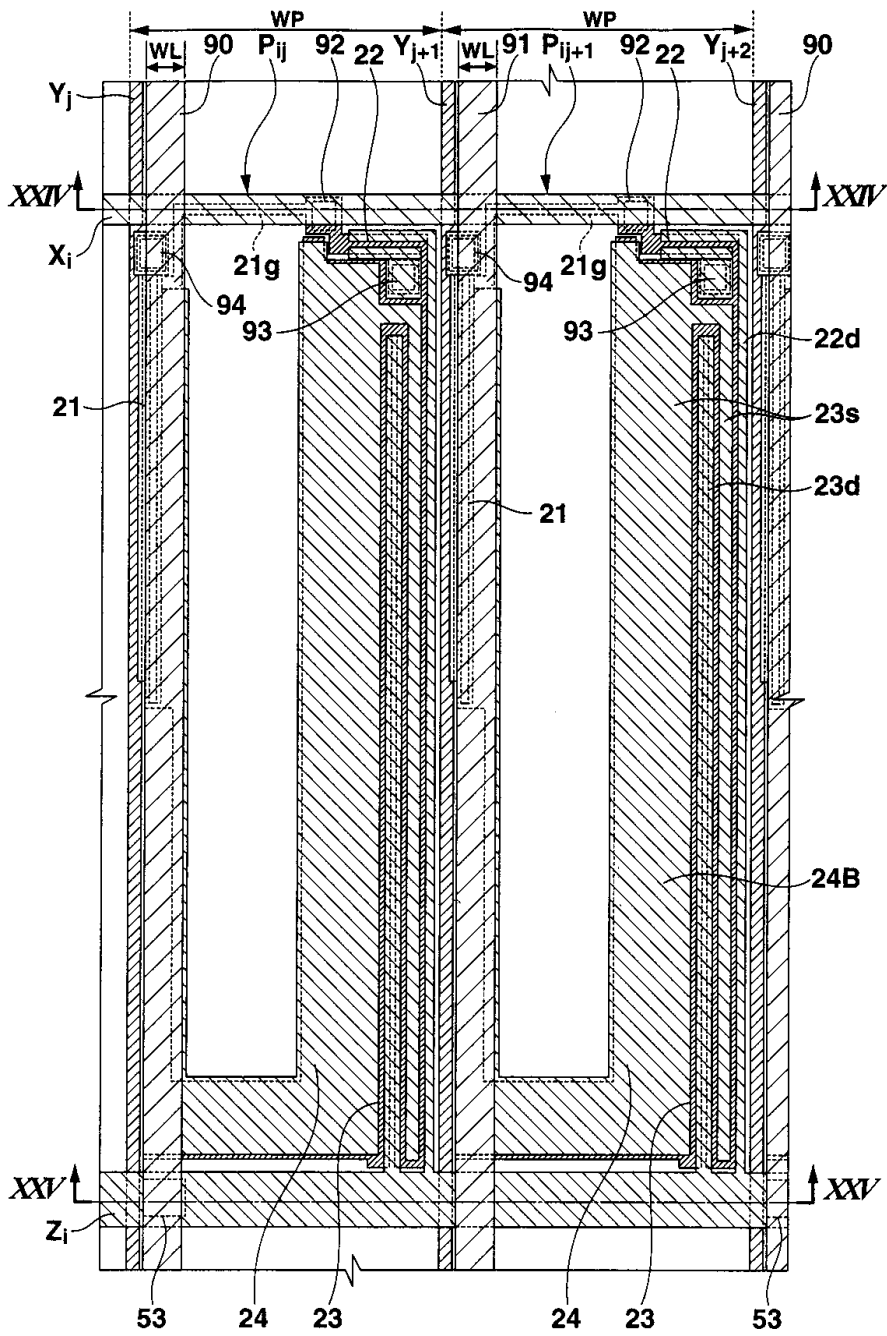
도면20



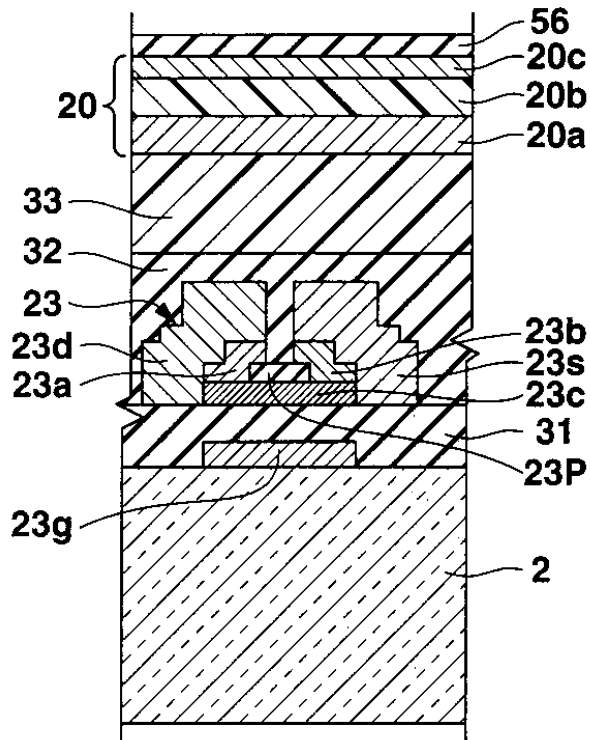
도면21



도면22

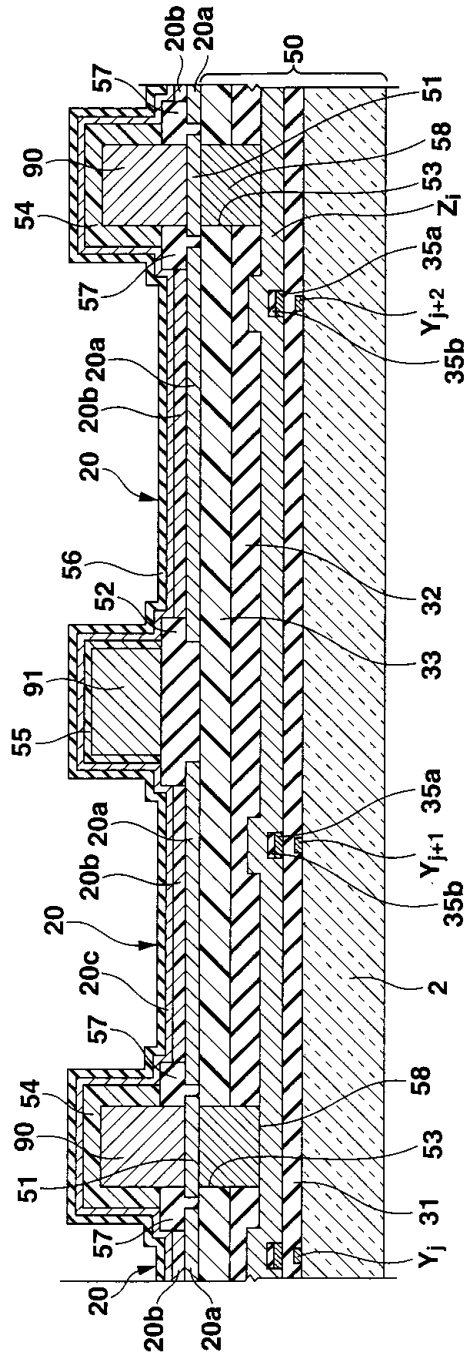


도면23

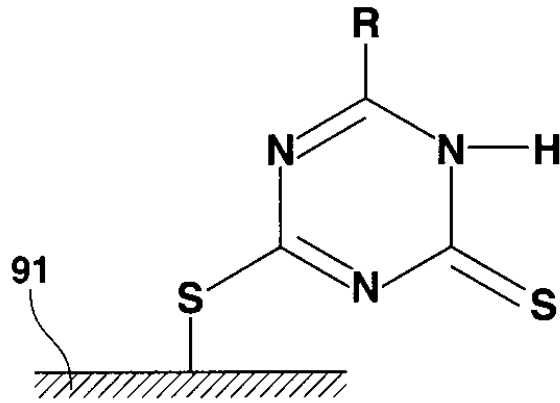




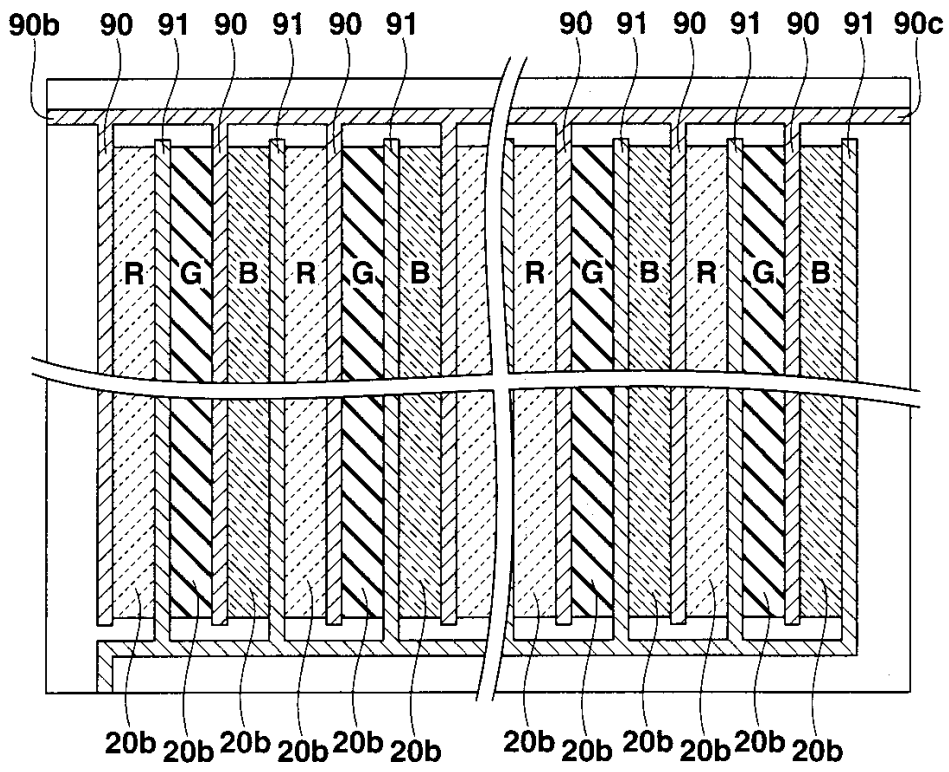
도면25



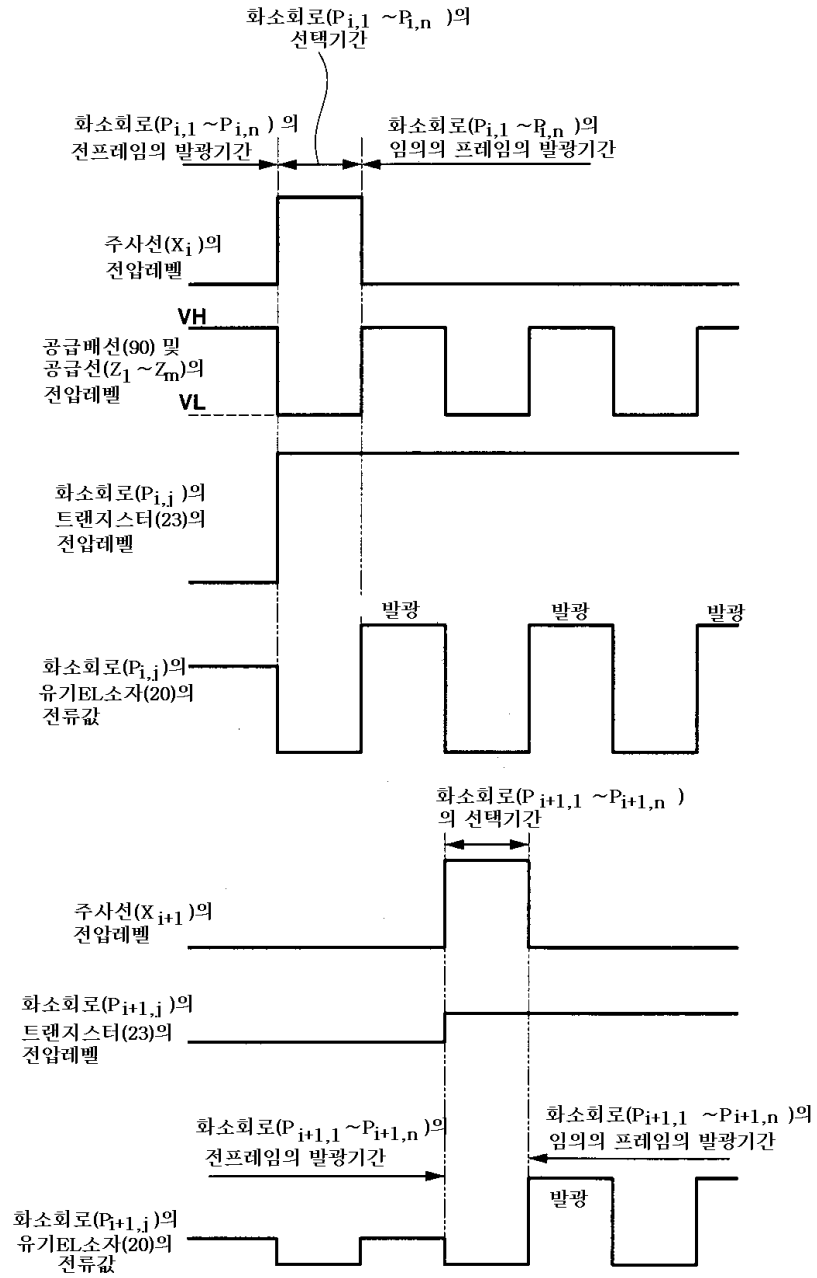
도면26



도면27



도면28



|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 晶体管阵列基板和显示面板   |         |            |
| 公开(公告)号        | <a href="#">KR1020060051458A</a>   | 公开(公告)日 | 2006-05-19 |
| 申请号            | KR1020050087577  | 申请日     | 2005-09-21 |
| [标]申请(专利权)人(译) | 卡西欧计算机株式会社<br>西伯利亚有限公司计算关键财富   |         |            |
| 申请(专利权)人(译)    | 计算关键是否西伯利亚有限公司   |         |            |
| 当前申请(专利权)人(译)  | 计算关键是否西伯利亚有限公司   |         |            |
| [标]发明人         | SHIMODA SATORU<br>시모다사토루<br>SHIRASAKI TOMOYUKI<br>시라사키도모유키<br>OGURA JUN<br>오구라준<br>KUMAGAI MINORU<br>구마가이미노루 |         |            |
| 发明人            | 시모다사토루<br>시라사키도모유키<br>오구라준<br>구마가이미노루  |         |            |
| IPC分类号         | H05B33/22 H05B33/10  |         |            |
| CPC分类号         | H01L27/1214 H01L27/12 H01L27/124   |         |            |
| 代理人(译)         | 孙某EUN JIN  |         |            |
| 优先权            | 2004273532 2004-09-21 JP<br>2004273580 2004-09-21 JP<br>2005269434 2005-09-16 JP                             |         |            |
| 其他公开文献         | KR100735977B1  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

摘要(译)

控制布线电压降的基板，布置在基板上的多个驱动晶体管为矩阵形状，多个信号线，多个馈电线和晶体管阵列面板具有各个层叠的多个馈电布线。包括多个喂食器的多个喂食器。关于倍数，栅极绝缘层允许在栅极和源极漏极之间。多个信号线用多个驱动晶体管的栅极图案化，并且布置成针对基板相位连续地发布到预定方向。利用多个驱动晶体管的源极漏极图案化多个馈电线，并且布置源极漏极以便通过栅极绝缘层与多个信号线交叉，并且在驱动晶体管的源极和漏极之间的一侧获得启发。像素电路，扫描线，馈线，晶体管，EL显示面板。

