

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
H05B 33/22
H05B 33/10

(11) 공개번호 10-2004-0091148
(43) 공개일자 2004년10월27일

(21) 출원번호	10-2004-7014716		
(22) 출원일자	2004년09월17일		
번역문 제출일자	2004년09월17일		
(86) 국제출원번호	PCT/IB2003/000670	(87) 국제공개번호	WO 2003/079440
(86) 국제출원출원일자	2003년02월21일	(87) 국제공개일자	2003년09월25일

(30) 우선권주장	0206551.4	2002년03월20일	영국(GB)
	0209559.4	2002년04월26일	영국(GB)
	0216058.8	2002년07월11일	영국(GB)

(71) 출원인 코닌클리케 필립스 일렉트로닉스 엔.브이.
네덜란드왕국, 아인드호펜, 그로네보르스베그 1

(72) 발명자 피쉬,데이비드,에이.
네덜란드, 아아 아인드호펜 5656 프로프. 홀스트란 6

차일즈,마크,제이.
네덜란드, 아아 아인드호펜 5656 프로프. 홀스트란 6

헥터,제이슨,알.
네덜란드, 아아 아인드호펜 5656 프로프. 홀스트란 6

영,니겔,디.
네덜란드, 아아 아인드호펜 5656 프로프. 홀스트란 6

(74) 대리인 문경진

심사청구 : 없음

(54) 능동 매트릭스 전계 발광 디스플레이 디바이스, 및 그제조 방법

요약

물리적 배리어(210)는, 특히 유기 반도체 물질의 LED(25)를 갖는 능동-매트릭스 전계 발광 디스플레이 디바이스의 회로 기판(100) 상의 이웃한 픽셀(200) 사이에 존재한다. 회로 기판에서 기생 커패시턴스를 감소시키기 위해, 본 발명은 회로 기판(100)보다 더 높은 레벨로 신호 라인(160)의 적어도 부분을 제공하는 금속 또는 다른 전기-전도성 물질(240)을 갖는 이들 배리어(210)를 형성한다. 이러한 전도성 배리어 물질(240)은 기판(100) 내에 매트릭스 회로에 연결되지만, LED(25)에 인접한 적어도 측면에서 절연(40)된다. 바람직하게, 커패시턴스간 가드 라인(9)은 신호 라인(160)과 기판(100)에서의 회로 사이의 회로 기판(100)에 포함된다.

대표도

도 4

명세서

기술분야

본 발명은 능동-매트릭스 전계 발광 디스플레이 디바이스에 관한 것으로, 특히 반도체성 컨주게이팅(conjugated) 중합체 또는 다른 유기 반도체 물질로 된 발광 다이오드를 사용하는 것에 관한 것이지만, 이에 국한되지 않는다. 본 발명은 또한 이러한 디바이스의 제조 방법에 관한 것이다.

배경기술

회로 기판 상에 존재하는 픽셀 어레이를 포함하는 그러한 능동-매트릭스 전계 발광 디스플레이 디바이스는 알려져 있으며, 여기서 각 픽셀은 일반적으로 유기 반도체 물질로 된 전계 발광 요소를 포함한다. 전계 발광 요소는 기판에서의 회로, 예를 들어 공급 라인을 포함하는 구동 회로 및 어드레싱(행) 및 신호(열) 라인을 포함하는 매트릭스 어드레싱 회로에 연결된다. 이들 라인은 일반적으로 기판에서 박막 전도체 층으로 형성된다. 회로 기판은 또한 각 픽셀에 대해 어드레싱 및 구동 요소(일반적으로 박막 트랜지스터, 이후에 'TFT'로 언급됨)를 포함한다.

많은 그러한 어레이에서, 절연 물질로 된 물리적 배리어는 어레이의 적어도 한 방향으로 인접한 픽셀 사이에 존재한다. 그러한 배리어의 예는, 공개된 영국 특허 출원 GB-A-2 347 017, 공개된 PCT 특허 출원 WO-A 1-99/43031, 공개된 유럽 특허 출원 EP-A-0 895 219, EP-A-1 096 568, EP-A-1 102 317에 주어져 있으며, 상기 특허 전체 내용은 본 명세서에 참고용으로 병합되어 있다.

그러한 배리어는 종종 예를 들어 '벽', '파티션(partition)', '뱅크(bank)', '리브(rib)', '분리기(separator)', 또는 '댐(dam)'으로 지칭된다. 인용된 참고 문헌에서 알 수 있듯이, 이들은 몇몇 기능을 제공할 수 있다. 이들은 전계 발광 층 및/또는, 개별적인 픽셀 및/또는 픽셀의 열의 전극 층을 한정하기 위해 제조시 사용될 수 있다. 따라서, 예를 들어, 배리어는 칼라 디스플레이의 적색, 녹색 및 청색 픽셀에 대해 잉크젯-프린트될 수 있거나, 단색 디스플레이에 대해 스펀-코팅될 수 있는 컨주게이트 중합체 물질의 픽셀 오버플로우(overflow)를 방지한다. 제조된 디바이스에서의 배리어는 픽셀의 널리-한정된 광학 분리를 제공할 수 있다. 상기 배리어는, 전계 발광 요소의 공통 상부 전극의 저항(이에 따라 양단간의 전압 강하)을 감소시키기 위한 보조 배선으로서 전도 물질(전계 발광 요소의 상부 전극 물질과 같은)을 또한 수용하거나 포함할 수 있다.

매우 우수한 화질은 스위칭된 전류 미러 픽셀 회로를 갖는 능동-매트릭스 전계 발광 디스플레이로 달성가능하다. 그러한 디스플레이 디바이스는 공개된 미국 특허 출원 US-A-2001/0052606(필립스 관리 번호: PHNL000281)에 기재되어 있으며, 상기 특허의 전체 내용은 본 명세서에 참고용으로 병합되어 있다. 이것은, 디스플레이의 수명에 걸쳐 디스플레이의 열이 매우 작은 전류로 어드레싱되는 것을 필요로 한다. 대형 디스플레이의 경우에, 열 커패시턴스는 높아져 가고, 이는 픽셀을 정확한 전류 레벨에 어드레싱하기 위한 시간 상수가 커진다는 것을 의미한다. 디스플레이에 대한 높은 해상도는 수명을 단축시킴으로써 그 상황을 더욱 더 어렵게 만든다.

발명의 상세한 설명

본 발명의 목적은, 기본 디바이스 구조, 그 레이아웃(layout) 및 그 전자 공학(electronics)과 호환되는 방식으로, 능동-매트릭스 전계 발광 디스플레이 디바이스의 특정 특징을 사용, 개발, 적응 및/또는 확장하여, 신호 라인(열 전도체)에 관련된 그러한 문제를 감소시키는 것이다.

본 발명의 하나의 양상에 따라, 청구항 1항에 기재된 특징을 갖는 능동-매트릭스 전계 발광 디스플레이 디바이스가 제공된다.

본 발명에 따라, 픽셀들 간의 물리적 배리어는 전기-전도 물질(일반적으로 금속)로 형성되며, 상기 전기-전도 물질은 회로 기판보다 더 높은 레벨로 신호 라인(열 전도체)의 적어도 부분을 제공하는데 사용된다. 따라서, 열 커패시턴스 유출물(issue)은, 회로 기판 내(열 커패시턴스 유출물이 회로 레이아웃에 의해 크게 제약받는 곳)로부터 기판 상의 픽셀 배리어의 훨씬 더 자유로운 환경으로 전달된다. 이러한 전달은 열 커패시턴스, 이에 따라 정확한 전류 레벨에 픽셀을 어드레싱하기 위한 시간 상수에서 감소를 쉽게 허용한다. 전도성 배리어 물질은 회로 기판 내에서 매트릭스 어드레싱 회로와 연결되는 한편, 또한 전계 발광 요소에 인접한 배리어의 적어도 면에 위치한다.

본 발명에 따라 많은 다양성이 가능하다. 다양한 구조적 특징은 픽셀 배리어에 대해 채택될 수 있다. 따라서, 배리어는 주로 전도성 물질 또는 절연 물질로 되어 있고, 절연 및/또는 전도성 코팅을 가질 수 있다. 커패시턴스간(inter-capacitance)

citance) 가드(guard) 라인은 적어도 배리어의 신호 라인과 회로 기판의 회로 사이에 포함되는 것이 바람직하다. 전압 버퍼는 신호 라인과 가드 라인 사이에 연결될 수 있어서, 그 결과 그 사이의 전압을 0 가까이 유지시킬 수 있다.

본 발명의 다른 양상에 따라, 그러한 능동-매트릭스 전계 발광 디스플레이 디바이스의 유리한 제조 방법이 또한 제공된다.

본 발명에 따른 다양한 유리한 특징 및 특징-조합은 첨부된 청구항에 설명되어 있다. 이러한 특징 및 다른 특징은 이제 첨부 도면을 참조하여 예로서 설명되는 본 발명의 실시예에 예시되어 있다.

도면의 간단한 설명

도 1은, 본 발명에 따라 신호 라인을 위한 전도성 배리어 물질이 제공될 수 있는 능동-매트릭스 전계 발광 디스플레이 디바이스의 4개의 픽셀 영역에 대한 회로도.

도 2는 종래 기술 유형의 디스플레이 디바이스의 픽셀 영역에서 기생 커패시턴스를 도시한 개략적인 단면도.

도 3은, 본 발명에 따라 신호 라인에 대한 전도성 배리어 구조의 일례를 도시한 도면으로서, 능동-매트릭스 전계 발광 디스플레이 디바이스의 일 실시예의 픽셀 어레이 및 회로 기판의 부분적인 단면도.

도 4는 본 발명에 따라 신호 라인에 대한 금속 코팅을 이용한 전도성 배리어 구조의 다른 예로 디바이스 부분을 도시한 단면도.

도 5는 본 발명에 따라 디바이스의 특정 실시예에서 가드 라인을 포함하기 위해, 도 4의 디바이스의 회로 기판의 전도성 층 패턴의 레이아웃을 도시한 평면도.

도 6은 본 발명에 따라 도 4 및 도 5의 디스플레이 디바이스의 픽셀 영역에서 기생 커패시턴스를 도시한, 도 2의 단면도와 유사한 개략적인 단면도.

도 7은 도 4 내지 도 6의 디바이스와 같은 디바이스 실시예에서 가드 라인에 대한 전압 버퍼 장치의 회로도.

도 8은 본 발명에 따라 변형된 실시예에 대한 금속 코팅의 추가적으로 포함하는, 도 3의 구조와 유사한 전도성 배리어 구조를 도시한 단면도.

도 9는 본 발명에 따른 디바이스의 특정 실시예에 대한 레이아웃 지형의 일례를 도시한 평면도.

도 10 내지 도 12는, 본 발명에 따른 하나의 특정한 실시예로 제조시 스테이지에서 도 3의 디바이스 부분과 같은 디바이스 부분의 단면도.

도 13은 또한 발명에 따른 전도성 배리어 물질의 절연시 변형을 도시하는, 도 12 스테이지에서의 디바이스 부분을 도시한 단면도.

실시예

모든 도면은 도식적이라는 점을 주지해야 한다. 이들 도면의 상대적인 치수 및 비율은 도면에서 명백함 및 편리함을 위해 확대되거나 축소되는 것으로 도시되었다. 일반적으로 동일한 참조번호는 변형된 상이한 실시예에서 대응하거나 유사한 특징을 언급하는데 사용된다.

도 1 및 도 3 실시예의 능동-매트릭스 전계 발광 디스플레이 디바이스는 매트릭스 어드레싱 회로를 갖는 회로 기판(100) 상의 픽셀 어레이(200)를 포함한다. 물리적 배리어(210)는 어레이의 적어도 한 방향으로 인접한 픽셀 중 적어도 일부 픽셀 사이에 존재한다. 이들 배리어(210) 중 적어도 일부는 본 발명에 따라 신호 라인(열 전도체)(160)의 적어도 부분으로서 사용되는 전도성 배리어 물질(240)로 구성된다. 본 발명에 따라 이러한 특수한 구성 및 배리어(210)의 사용과 별도로, 디스플레이는 예를 들어 전술한 배경 참조 문서와 같은 알려진 디바이스 기술 및 회로 기술을 이용하여 구성될 수 있다.

매트릭스 어드레싱 회로는 도 1에 도시된 바와 같이, 각각 어드레싱(행) 및 신호(열) 라인(150 및 160)의 횡단 세트를 포함한다. 어드레싱 요소(T2)(일반적으로 박막 트랜지스터, 이후에 'TFT'로 언급됨)는 이들 라인(150 및 160)의 각

교차점에 병합된다. 도 1이 예로서 하나의 특정 픽셀 회로 구성을 도시한다는 것이 이해되어야 한다. 다른 픽셀 회로 구성은 능동 매트릭스 전계 발광 디스플레이 디바이스에 대해 알려져 있다. 본 발명이 디바이스의 특정 픽셀 회로 구성과 상관없이 그러한 디바이스의 픽셀 배리어에 적용될 수 있다는 것이 쉽게 이해되어야 한다.

도 1에 도시된 바와 같이, 각 픽셀(200)은 일반적으로 유기 반도체 물질의 발광 다이오드(LED)인 전류-구동 전계 발광 요소(25)(21, 22, 23)를 포함한다. LED(25)는 어레이의 2개의 전압 공급 라인(140 및 230) 사이의 구동 요소(T1)(일반적으로 TFT)와 직렬로 연결된다. 이들 2개의 공급 라인은 일반적으로 전력 공급 라인(140){전압(Vdd)을 가짐} 및 접지 라인(230)(또한 '복귀 라인'이라 불림)이다. LED(25)로부터의 광 방출은 각 구동 TFT(T1)에 의해 변경된 바와 같이 LED(25)에 흐르는 전류 흐름에 의해 제어된다.

픽셀의 각 행은 관련 행 전도체(150){이에 따라 상기 행의 픽셀의 어드레싱 TFT(T2)의 게이트}에 인가되는 선택 신호에 의해 프레임 주기에 차례로 어드레싱된다. 이러한 신호는 어드레싱 TFT(T2)를 턴 온하여, 열 전도체(160)로부터 각 데이터 신호로 상기 행의 픽셀을 로딩(loading)시킨다. 이들 데이터 신호는 각 픽셀의 개별적인 구동 TFT(T1)의 게이트에 인가된다. 구동 TFT(T1)의 결과적인 전도 상태를 유지하기 위해, 이러한 데이터 신호는 게이트(5)와 구동 라인(140, 240) 사이에 결합되는 유지 커패시터(Ch)에 의해 게이트(5) 상에 유지된다. 따라서, 각 픽셀(200)의 LED(25)를 통하는 구동 전류는, 이전 어드레스 기간 동안 인가되고 연관된 커패시터(Ch) 상에 전압으로서 저장되는 구동 신호를 기초하여 구동 TFT(T1)에 의해 제어된다. 도 1의 특정 예에서, T1은 P-채널 TFT로서 도시되는 반면, T2는 N-채널 TFT로서 도시된다.

이러한 회로는 알려진 박막 기술을 이용하여 구성될 수 있다. 기판(100)은, 예를 들어 이산화 실리콘의 절연 표면-버퍼 층(11)이 증착되는 절연 유리 베이스(10)를 가질 수 있다. 박막 회로는 알려진 방법으로 층(11) 상에 제조된다.

도 3은 TFT(T2)에 대한 특정 예를 도시하는데, 상기 TFT는 능동 반도체 층(1)(일반적으로 폴리실리콘으로 이루어짐)과; 게이트 유전 층(2)(일반적으로 이산화 실리콘으로 이루어짐)과; 게이트 전극(5)(일반적으로 폴리실리콘 또는 알루미늄으로 이루어짐)과; 위에 있는 절연 층(들)(2 및 8)에서 윈도우{비아(via)}를 통해 반도체 층(1)의 도핑된 소스 및 드레인 영역과 접촉하는 금속 전극(3 및 4)(일반적으로 알루미늄으로 이루어짐)을 포함한다.

특정 TFT{예를 들어 T1 또는 T2 또는 회로 기판의 다른 TFT} 및 그 회로 기능에 따라, 전극(3, 4, 5)의 확장부는 예를 들어 요소(T1, T2, Ch)와 LED(25) 사이의 상호 연결, 및/또는 전도체 라인(140, 150 및 160)의 적어도 부분을 형성할 수 있다. 도 3은 신호 라인(160)에 대한 연결로서 T2의 전극(4)의 작은-면적의 국부 연장부(160a)를 도시한다. T2의 게이트 전극의 라인 연장부는 어드레싱(행) 라인(150)을 형성한다. T1(도 3에 도시되지 않음)의 전극(4)의 라인 연장부는 전력 공급 라인(140)을 형성할 수 있다.

유지 커패시터(Ch)는 알려진 방식으로 회로 기판(100) 내부의 박막 구조로서 유사하게 형성될 수 있다.

일반적으로 LED(25)는 하부 전극(21)과 상부 전극(23) 사이에 광-방출 유기 반도체 물질(22)을 포함한다. 바람직한 특정 실시예에서, 반도체성 컨주게이팅된 중합체는 전계 발광 물질(22)에 사용될 수 있다. 기판(100)을 통해 광(250)을 방출하는 LED에 대해, 하부 전극(21)은 인듐 주석 산화물(ITO)의 애노드일 수 있고, 상부 전극(23)은, 예를 들어 칼슘 및, 알루미늄을 포함하는 캐소드일 수 있다. 도 3은 하부 전극(21)이 회로 기판(100)에서 박막으로서 형성되는 LED 구성을 도시한다. 후속적으로-증착된 유기 반도체 물질(22)은 기판(100)의 박막 구조에 걸쳐 연장하는 평면 절연 층(12)(예를 들어 질화 실리콘으로 이루어짐)에서 윈도우(12a)에서의 이러한 박막 전극 층(21)에 접촉한다.

알려진 디바이스에서와 같이, 본 발명에 따라 도 1 및 도 3의 디바이스는 어레이의 적어도 한 방향으로 이웃한 픽셀의 적어도 일부 사이에 물리적 배리어(210)를 포함한다. 이들 배리어(210)는 또한 예를 들어 '벽', '파티션', '뱅크', '리브', '분리기', 또는 '댐'이라 불릴 수 있다. 특정 디바이스 실시예 및 그 제조에 따라, 이들은 예를 들어 다음과 같은 알려진 방식으로:

- 반도체성 중합체 층(22)을 제공할 동안, 개별적인 픽셀(200)의 각 영역 및/또는 픽셀(200)의 열 사이의 중합체 용액의 분리 및 오버플로우 방지하고;
- 개별적인 픽셀(200) 및/또는 픽셀(200)의 열에 대해 반도체성 중합체 또는 다른 전계 발광 층(22)의 한정에서 기판 표면상에 자가-패터닝 능력을 제공하고{및 아마 예를 들어 상부 전극(23)의 개별적인 하부 층인, 픽셀을 위한 개별적인 전극의 자가-분리};
- 적어도 유기 반도체 물질(22) 및/또는 전극 물질의 증착 동안 기판 표면에 걸쳐 마스크를 위한 스페이서(spacer)의 역할 및,
- 광(250)이 상부를 통해 방출될 때{하부 기판(100) 대신, 또는 이와 함께}, 어레이에서 픽셀(200)의 잘-한정된 광

분리를 위한 불투명 배리어(210)를 형성하는데 사용될 수 있다.

이러한 알려진 방식으로 특정 사용이 어떤 것이라도, 본 발명의 실시예에서 어레이 열에 평행하게 연장하는 물리적 배리어(210)는 특수한 방식으로 구성되고 사용된다. 따라서, 도 3의 픽셀 배리어(210)는 회로 기판(100)보다 더 높은 레벨에서 신호 라인(열 전도체)(160)의 적어도 부분을 제공하는 금속(240){또는 다른 전기-전도성 물질(240)}을 포함하여, 열 커패시턴스를 감소시킨다.

이러한 전도성 배리어 물질(240)은 LED(25)에 인접한 면에서 절연되고, 연장부(160a)에서 어드레싱 TFT의 주 전극(4)에 연결된다. 도 3에 도시된 바와 같이, 전도성 배리어 물질(240)을 TFT(T2)에 이렇게 연결하는 것은 열을 따라 각 픽셀에서의 중간 절연층(12)에서 개별적인 연결 윈도우(12b)에 발생한다. 따라서, 이러한 전도성 배리어 물질(240)은 픽셀에 인접한 그 길이 대부분에 걸쳐 신호 라인(160)을 제공할 수 있다.

본 발명에 따라 신호 라인(160)에 대한 배리어(210)의 이러한 특수한 구성 및 사용은 도 2에 도시된 종래 기술의 열 커패시턴스의 감소를 허용한다. 따라서, 도 2는 기존의 종래 장치에서 각 개별적인 픽셀에 걸쳐 신호(열) 라인에 의해 보여진 커패시턴스를 도시한다. 이러한 알려진 장치에서, 신호(열) 라인(160X)은 예를 들어 TFT 전극(4)의 라인 연장부(160X)로서 회로 기판(100) 내에 완전히 형성된다. 배리어(210X)는 간단히 절연 물질(예를 들어, 절연 중합체)로 이루어져 있다. 유전체(12 및 210X)를 가로질러 박막 열 라인(160X)과 LED 상부 전극(23){일반적으로 중합체 LED(25)에서의 캐소드} 사이에 기생 커패시턴스(C_D 및 C_{SN})가 존재한다. 높은 기생 커패시턴스(C_P 및 C_A)는 유전체(8){일반적으로 질화 실리콘}를 가로질러 각각 박막 열 라인(160X)과 전력 공급 라인(140) 및 어드레스(행) 라인(150) 사이에서 발생한다. 이러한 높은 열 커패시턴스의 결과, 이러한 디바이스 장치에서의 개별적인 픽셀을 정확한 전류 레벨에 어드레싱하기 위한 시간 상수는 대형 디스플레이를 위해 용인할 수 없게 커지게 된다.

본 발명은, 즉 회로 기판(100)보다 더 높은 레벨에서 신호 라인(열 전도체(160))로서 픽셀 영역에서 금속(240){또는 다른 전기-전도성 물질(240)}을 갖는 픽셀 배리어(210)를 형성하고 이용함으로써 이러한 문제를 해결한다. 따라서, 도 3에서 알 수 있듯이, 회로 기판(100)의 상부 평탄화 절연층(12)은 배리어-형성 신호 라인(160)과 회로 기판(100)의 박막 라인(150 및 5,150) 사이에 추가 유전체로서 이제 삽입된다. 따라서, 높은 기생 커패시턴스(C_P 및 C_A)는 크게 감소한다.

도 3은, 픽셀 배리어(210)가 주로 전기-전도성 물질(240, 240x), 바람직하게는 매우 낮은 저항을 위한 금속(예를 들어 알루미늄 또는 구리 또는 니켈 또는 은)으로 이루어져 있는 하나의 특정한 실시예를 도시한다. 따라서, 도 3의 이러한 배리어(210)는 측면 및 상부에 절연 코팅(40)(예를 들어 이산화 실리콘 또는 질화물)을 갖는 전도성 물질로 된 벌크(bulk) 또는 코어(240)를 포함한다. 도 3은 예로서 이러한 절연 코팅(40)에 접하는 픽셀 LED(25)의 상부 전극(23)을 도시한다. 따라서, 전극(23)은 픽셀 어레이를 가로지르는 레이아웃에서 스트라이프-기하학적 형상(stripe-geometry)을 가질 수 있다. 대안적으로, 충분히 두꺼운 절연체가 코팅(40)에 사용되면, 픽셀 어레이는 또한 픽셀 배리어(210)에 걸쳐 연장하는 공통 전극(23)을 가질 수 있다.

도 4 및 도 5의 대안적인 열-라인 배리어 실시예

도 4는, 배리어(210)가 주로 절연 물질(244)로 이루어진 변형된 실시예를 도시한다. 이 경우에, 비아(244b)는 회로 기판(100)에서, 절연 물질(244)을 통해 전극 영역(160a, 4)으로 에칭되거나 밀링된다. 금속 코팅(240)은 절연 배리어(210)의 상부 및 비아(244b)에서 연장하는 전도성 배리어 물질을 제공한다.

이러한 배리어(210)의 금속 코팅(240)은 자가-정렬 방식으로 LED(25)의 상부 전극(23)의 주요 부분(23a)과 동시에 형성될 수 있다. 따라서, 금속 층은 도 4에 도시된 바와 같이, 배리어(210)의 면에 돌출된 형상의 새도우-마스킹(shadow-masking) 효과에 의해 분리되는 전극(23) 및 금속 코팅(240)에 대해 동시에 증착될 수 있다. 이는 본 발명에 따라 열-라인 배리어(210, 240)에 대한 한 가지 가능한 프로세스 실시예이다. 도 11 내지 도 13은 주로 금속으로 이루어진 열-라인 배리어(210, 240)에 대한 다른 프로세스 실시예를 도시한다.

도 4 및 도 5는 본 발명의 일 실시예에 또한 유리하게 포함될 수 있는 가드-라인 지형을 함께 도시한다. 이 실시예에서, 박막 전도체 층(9){TFT 전극 영역(3, 4 및 160a)과 동시에 형성될 수 있음}은 신호 라인(160)의 전도성 배리어 물질(240) 아래에서 커패시턴스간 가드 라인으로서 연장한다. 따라서, 이러한 가드 라인(9)은 그 길이 대부분에 걸쳐 기판(100)의 회로와 열 라인(160) 사이에 차폐물로서 존재한다. 도 6은 각 개별적인 픽셀에 걸쳐 열 라인(160)에 의해 이제 보여진 커패시턴스를 도시한다. 특히 도 6의 장치가 도 7에 도시된 것과 같은 유리한 버퍼 회로 지형과 함께 사용될 때, 매우 낮은 열 커패시턴스를 달성할 수 있다.

도 6 및 도 7의 특정 가드-라인 실시예

도 6의 장치에서, 전력 라인(140) 및 행 라인(150)의 각 커패시턴스(C_P 및 C_A)는 가드 라인(9){종래 기술의 도 2

에서와 같이 열 라인(160)보다는}으로 {유전체(8) 위에} 형성된다. 더욱이, 유전체(12 및 244)의 각 커패시턴스(C_{SN} 및 C_D)는 도 4의 실시예에서 가드 라인(9)과 열 라인(160) 사이에 형성된다.

매우 낮은 열 커패시턴스는 도 7의 버퍼 회로 구성을 이용하여 이제 달성될 수 있다. 이 경우에, 전압 버퍼(600)는 열 라인(160)과 가드 라인(9) 사이에 연결된다. 도 7의 기본 회로는, 버퍼(600) 및 가드 라인(9)의 포함 및 열 라인(160)의 배리어 구성만 별개로 한다면 알려진 유형일 수 있다. 따라서, 620은 예를 들어 US-A-2001/0052606에 기재된 바와 같이 알려진 유형의 전류 미러 픽셀 회로를 나타낼 수 있다. 신호는 예를 들어 알려진 전류 싱크 유형의 열 구동기(610)에 의해 열 라인(160)에 공급된다. 열 구동기(610) 및 전압 버퍼(600)는 회로 기판(100)에 연결된 IC(집적 회로)에 외부적으로 구현될 수 있다. 대안적으로, 이들은 폴리실리콘 TFT 기술을 이용하여 회로 기판(100) 상에 내부적으로 집적될 수 있다.

전압 버퍼(600)는 열 구동기(610)의 출력에서 신호 전압을 그 입력으로서 취하고, 이를 가드 라인(9) 상으로 버퍼링한다. 그 결과, 열 라인(160)과 가드 라인(9) 사이의 전압은 0 또는 거의 0이 되어, 이러한 열-가드 커패시턴스(C_D , C_{SN}) 상에 어떠한 전하도 축적되지 않고, 모든 전류는 픽셀 회로(620)로부터 흐르게 된다. 이는 빠른 동작을 허용한다. 전압 버퍼는 가드 라인(9)과 각 전력 및 어드레스 라인(140 및 150) 사이에 커패시턴스(C_P 및 C_A)를 충전할 필요가 있지만, 버퍼(600)의 낮은 출력 임피던스로 인해 이것이 빠르게 달성된다.

도 8 및 도 9의 다중-전도체 배리어 실시예

도 8의 실시예는, 배리어(210)가 그 위에 절연 코팅(40x)을 갖는 금속 코어(240x)를 포함한다는 점에서 도 3의 실시예와 유사하다. 그러나, 도 8의 실시예에는 추가적으로 코어(240x)의 상부 및 측면에 걸쳐 절연 코팅(40x) 상에 존재하는 금속 코팅(240y)을 포함한다.

도 8의 이러한 구조는 도 3의 구조보다 더 융통성이 있다. 이 구조는 금속 코어(240x) 및 금속 코팅(240y)이 상이한 목적을 위해 사용되도록 한다. 따라서, 예를 들어, 금속 코어(240x)는 도 3에서와 같이 열(신호) 라인(160)을 제공할 수 있어서, TFT(T2)의 전극(4)에 연결될 수 있다. 금속 코팅(240y)은 코어 라인(240x) 상의 신호를 위한 동축 차폐물의 역할을 할 수 있다. 금속 코팅(240y)은 기판(100)에서의 가드 라인(9b)의 부분 및/또는 예를 들어 다른 TFT의 다른 회로 요소에 연결될 수 있다. 대안적으로, 금속 코팅(240y)은 열(신호) 라인(160)을 제공할 수 있고, 금속 코어(240x)는 가드 라인(9a)의 부분을 형성할 수 있다.

열(신호) 라인(160)을 차폐하는 것 대신에, 배리어(210)에 대한 이러한 다중-전도체 구조(240x, 240y)는 상이한 목적을 위해, 예를 들어 140 및 150과 같은 2개의 라인을 겹치거나 추가 성분을 형성하기 위해 디스플레이의 다른 곳에 사용될 것이다. 금속 코팅(240y)은, 특정 연결 또는 성분이 예를 들어 개별적인 픽셀 또는 서브-픽셀에서 필요로 하는 배리어(210)를 따라 특정 위치에 국부화될 수 있다.

도 8의 다중-전도체 구조(240x, 240y)가 커패시터 유전체(40a)를 갖는 커패시터를 형성하도록 설계되는 일 실시예는 특히 중요하다. 따라서, 금속 코어(240x), 절연 코팅(40x) 및 금속 코팅(240y)의 개별적인 및/또는 단절된 길이는 기판 회로 요소(4, 5, 등) 사이에 연결된 커패시터를 함께 형성할 수 있다. 그러한 커패시터는 예를 들어 각 픽셀(200) 각각에 대한 개별적인 유지 커패시터(C_H)일 수 있으며, 상기 픽셀(200)은 공급 라인(140){TFT(T1)의 주 전극 라인(4)}과 TFT(T2)의 게이트 라인(5){TFT(T1)의 주 전극 라인(3)} 사이에 연결된다.

도 9는 각 픽셀 영역(200)에 대한 유지 커패시터(C_H)로서 그러한 다중-전도체 배리어 구조(240x, 240y)를 집적하기 위한 적합한 픽셀 레이아웃을 도시한다. 이 경우에, 다중-전도체 배리어 구조(240x, 240y)는 열-형성 배리어(210)(240, 160)에 가로질러 연장하는 단절된 긴 배리어를 포함한다.

대안적으로, 도 9의 횡방향 배리어 레이아웃은 도 3 또는 도 4에서와 같이 각각 단일 금속 전도체(240){금속 코팅(240y)이 없음}를 포함하는 배리어(210 및 210c)로 채택될 수 있다. 이 경우에, 횡방향 배리어(210c)의 전도성 배리어 물질(240)은 긴 어드레싱(행) 라인(150)을 백업(back-up) 및/또는 교체하기 위해 TFT(T2)의 게이트 라인(5, 150)에 연결될 수 있다. 행 라인의 라인 저항은, 일반적으로 회로 기판(100)에서 TFT의 게이트 라인(5)(150)을 제공하는 전도체 층보다 적어도 2배(아마 10배)인 단면적을 갖는 전도성 배리어 물질(240)로 인해 이러한 방식으로 크게 감소될 수 있다. 더욱이, 게이트 라인(5)(150)은 일반적으로 도핑된 폴리실리콘으로 이루어져 있는 반면, 전도성 배리어 물질(240)은 훨씬 더 높은 전도율을 갖는 금속이다.

도 10 내지 도 12의 프로세스 실시예

신호 라인(160)에 대한 전도성 금속(240)을 갖는 배리어(210)를 구성하고 사용하는 것만 별개로 하면, 본 발명에 따른 디바이스의 능동-매트릭스 전계 발광 디스플레이는 예를 들어 인용된 배경 참조 문헌에서와 같이 알려진 디바이스 기술 및 회로 기술을 이용하여 구성될 수 있다.

도 10 내지 도 12는 특정 제조 실시예에서 새로운 프로세스 단계를 도시한다. 상부 평면 절연층(12)(예를 들어 질화 실리콘으로 이루어짐)을 갖는 박막 회로 기판(100)은 알려진 방식으로 제조된다. 연결 윈도우{비아(12a, 12b, 12x, 등)와 같은}는 예를 들어 포토리소그래픽 마스크 및 에칭에 의해 알려진 방식으로 층(12)에서 개방된다. 그러나, 본 발명에 따라 디바이스를 제조하기 위해, 이들 비아의 패턴은 전도성 배리어 물질(240, 240x, 240y, 등)과의 하부 연결을 위해 요소(4, 5, 등)를 노출하는 비아(12b, 12x, 12y)를 포함한다. 결과적인 구성은 도 10에 도시되어 있다. 이러한 스테이지는, 배리어(210)가 도 3에서와 같이 금속 코어를 갖거나 도 4에서와 같이 주로 절연 물질로 이루어지는지의 여부와 상관없이 공통적이다.

주로 절연 물질로 이루어진 배리어(210)의 형성은 도 4를 참조하여 위에서 설명되었다. 금속 코어를 갖는 배리어(210)에 대한 적합한 프로세스 단계는 도 11 및 도 12를 참조하여 이제 설명될 것이다.

이 경우에, 배리어(210)에 대한 전기-전도성 물질은 적어도 비아(12a, 12b, 등)에서 절연층(12) 상에 증착된다. 배리어(210)에 대한 원하는 길이 및 레이아웃 패턴은 알려진 마스크 기술을 이용하여 얻어진다. 도 11은 전도성 배리어 물질(예를 들어 구리 또는 니켈 또는 은)의 적어도 벌크(240)가 도금에 의해 증착되는 실시예를 도시한다. 이 경우에, 예를 들어 구리 또는 니켈 또는 은으로 된 얇은 시드(seed) 층(240a)은 먼저 절연층(12) 및 비아(12a, 12b, 12x 등)에 걸쳐 증착되고, 배리어 레이아웃 패턴은 포토리소그래픽 마스크로 한정되고, 그 다음에 전도성 배리어 물질의 벌크(240)는 원하는 두께로 도금된다. 결과적인 구조는 도 11에 도시된다.

그 다음에, CVD(화학 진공 증착)를 이용하여, 절연 물질(예를 들어 이산화 실리콘 또는 질화 실리콘)은 절연 코팅(40)에 대해 증착된다. 증착된 물질은 도 12에 도시된 바와 같이 알려진 포토리소그래픽 마스크 및 에칭 기술을 이용하여 패터닝함으로써 전도성 배리어 물질의 측면 및 상부에 남겨진다.

이 후에, 제조는 알려진 방식으로 계속된다. 따라서, 예를 들어 컨주게이트 중합체 물질(22)은 픽셀(200)에 대해 잉크젯 프린팅되거나 스핀-코팅될 수 있다. 절연 코팅(40)을 갖는 배리어(240, 40)는 물리적 배리어(240, 40) 사이에 픽셀 영역으로부터 중합체 오버플로우를 방지하기 위해 알려진 방식으로 사용될 수 있다. 그 다음에 상부 전극 물질(23)이 증착된다.

도 13의 변형된 프로세스 실시예

이 실시예는 픽셀 영역에 인접한 배리어(210)의 적어도 측면에 절연 코팅(40)을 제공하기 위해 양극 산화 처리(증착 대신)를 이용한다. 일반적으로, 전도성 배리어 물질(240)은 알루미늄을 포함할 수 있다. 증착된 알루미늄의 원하는 길이 및 레이아웃 패턴은 알려진 포토리소그래픽 마스크 및 에칭 기술을 이용하여 한정될 수 있다. 도 13은 알루미늄 배리어 패턴(240)의 상부 상에 유지된 포토리소그래픽적으로 한정된 에칭제-마스크(44)를 도시한다.

그 다음에, 알루미늄 산화물의 양극 절연 코팅은 알려진 양극 산화 처리를 이용하여 알루미늄 배리어 물질(240)의 적어도 측면 상에 형성된다. 따라서, 이러한 코팅(40)에 대한 레이아웃을 한정하기 위해 어떠한 여분의 마스크도 필요하지 않다.

도 13에 도시된 바와 같이, 마스크(44)는 절연되지 않은 상부 연결 영역(240t)을 보호하고 형성하는 것이 바람직한 영역에서 이러한 양극 산화 동안 유지될 수 있다. 이들 영역에서, 양극 코팅은 알루미늄 배리어 패턴(240)의 측면에서만 형성된다. 마스크(44)는, 양극 코팅이 알루미늄 배리어 패턴(240)의 측면 및 상부 모두에 필요한 영역으로부터 이러한 양극 산화 이전에 제거될 수 있다. 대안적으로, 절연 중합체 또는 예를 들어 이산화 실리콘 또는 질화물로 된 마스크(44)는, 제조된 디바이스에서 배리어(210)(240,40)의 상부 위에 절연이 바람직한 이들 영역에 유지될 수 있다.

지금까지 설명된 실시예에서, 전도성 배리어 물질(240)은 두꺼운 불투명 금속, 예를 들어 알루미늄, 구리, 니켈 또는 은이다. 그러나, 다른 전도성 물질(240)은, 예를 들어 금속 실리콘사이드 또는 (덜 유리하게) 축퇴-도핑된(degenerately-doped) 폴리실리콘이 사용될 수 있는데, 양쪽 모두 표면-산화될 수 있어서, 절연 코팅(40)을 형성한다. 투명 배리어(210)가 필요하다면, ITO는 전도성 배리어 물질(240)에 사용될 수 있다.

본 개시를 읽음으로써, 다른 변경 및 변형은 당업자에게 명백할 것이다. 그러한 변경 및 변형은, 이미 종래 기술(예를 들어 인용된 배경 참고 문헌)에서 알려져 있으며 본 명세서에 이미 설명된 특징 대신 또는 그 외에 사용될 수 있는 등가물 및 다른 특징을 수반할 수 있다.

청구항이 본 출원서에서 특징의 특정 조합으로 정형화되었을지라도, 본 발명의 개시의 범주가, 임의의 청구항에서 현재 청구된 것과 동일한 발명에 관한 것 인지의 여부, 및 본 발명이 해결한 것과 동일한 기술적 문제를 일부 또는 모두를 완화시키는지의 여부에 관계없이 본 명세서에서 명백히 또는 함축적으로 개시된 특징의 임의의 새로운 특징 또는 임의의 새로운 조합, 또는 이들의 일반화를 또한 포함한다는 것을 이해해야 한다.

본 출원인은, 이로써, 본 출원 또는 그로부터 파생된 임의의 추가 출원을 실행하는 중에, 그러한 특징들 및/또는 그러한 특징들의 조합에 새로운 청구항들이 형성될 수 있음을 공지한다.

산업상 이용 가능성

상술한 바와 같이, 본 발명은, 기본 디바이스 구조, 그 레이아웃(layout) 및 그 전자 공학(electronics)과 호환되는 방식으로, 능동-매트릭스 전계 발광 디스플레이 디바이스의 특정 특징을 사용, 개발, 적응 및/또는 확장하여, 신호 라인(열 전도체)에 관련된 그러한 문제를 감소시키는 것 등에 이용된다.

(57) 청구의 범위

청구항 1.

능동-매트릭스 전계 발광 디스플레이 디바이스로서,

회로 기판을 포함하고, 상기 기판 상에 픽셀 어레이가 어레이의 적어도 한 방향으로 이웃한 픽셀의 적어도 몇몇 사이에 물리적 배리어와 함께 존재하는 상태로 제공되고, 각 픽셀은 전계 발광 요소를 포함하고, 상기 회로 기판은 횡방향 어드레싱 및 신호 라인을 통해 픽셀 어드레싱을 제공하는 매트릭스 어드레싱 회로를 포함하고, 상기 물리적 배리어는, 상기 회로 기판보다 더 높은 레벨에서 상기 신호 라인의 적어도 부분을 제공하고 상기 회로 기판 상의 중간 절연층에서 접촉 윈도우를 통해 상기 회로 기판의 매트릭스 어드레싱 회로에 연결되는 전도성 물질을 포함하고, 상기 전도성 배리어 물질은 상기 전계 발광 요소에 인접한 상기 배리어의 적어도 측면에서 절연되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 2.

제 1항에 있어서, 상기 전도성 배리어 물질은 상기 회로 기판에서의 기생 커패시턴스를 감소시키기 위해 상기 픽셀에 인접한 길이 대부분에 걸쳐 상기 신호 라인을 제공하고, 상기 전도성 배리어 물질은 상기 라인의 각 픽셀에 대해 개별적인 접촉 윈도우를 통해 상기 회로 기판의 매트릭스 어드레싱 회로에 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 3.

제 1항 또는 제 2항에 있어서, 상기 회로 기판에서의 전도체 층은 상기 신호 라인과 상기 회로 기판의 회로 사이에 커패시턴스간(inter-capacitance) 가드 라인으로서 상기 신호 라인의 전도성 배리어 물질 아래에서 연장하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 4.

제 3항에 있어서, 전압 버퍼는 상기 신호 라인과 상기 가드 라인 사이에 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 5.

제 1항 내지 제 4항 중 어느 한 항에 있어서, 상기 배리어는, 상기 신호 라인의 전도성 배리어 물질을 제공하고 상기 기판에서 각 회로 요소를 통해 상기 픽셀에 연결되는 금속 코팅을 포함하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 6.

제 5항에 있어서, 상기 물리적 배리어는 주로 절연 물질로 이루어지고, 비아가 상기 중간 절연층의 접촉 윈도우에서 상기 매트릭스 어드레싱 회로에 대한 전극 연결부로 연결하기 위해 상기 배리어를 관통하여 연장하고, 상기 금속 코팅은 상기 물리적 배리어의 상부 및 상기 물리적 배리어를 통하는 비아에서 연장하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 7.

제 5항에 있어서, 상기 전계 발광 요소에 인접한 절연으로서 상기 금속 코팅의 적어도 측면 상에 절연 코팅이 존재하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 8.

제 1항 내지 제 4항 중 어느 한 항에 있어서, 상기 배리어는 상기 신호 라인의 상기 전도성 배리어 물질을 제공하는 금속 코어를 포함하고, 상기 금속 코어는 상기 기판에서의 각 회로 요소를 통해 상기 픽셀에 연결되고, 적어도 측면 상에

절연 코팅을 갖는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 9.

제 8에 있어서, 금속 코팅은 상기 금속 코어의 상부 및 측면에 걸쳐 상기 절연 코팅 위에 존재하는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 10.

제 1항 내지 제 9항 중 어느 한 항에 있어서, 추가 배리어는 상기 어드레싱 라인에 평행하게 연장하고, 상기 신호 라인의 전도성 배리어 물질로부터 절연되는 추가 전도성 배리어 물질을 포함하고, 상기 추가 전도성 배리어 물질은 상기 어드레싱 라인을 따라 전압 강하를 감소시키기 위해 접촉 윈도우를 통해 상기 기판에서 상기 어드레싱 라인의 부분에 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 11.

제 1항 내지 제 10항 중 어느 한 항에 있어서, 상기 전계 발광 요소는 유기 반도체 물질로 된 발광 다이오드인, 능동-매트릭스 전계 발광 디스플레이 디바이스.

청구항 12.

제 1항 내지 제 11항 중 어느 한 항에 기재된 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법으로서,

(a) 회로 기판에서 매트릭스 어드레싱 회로에 대한 전극 연결을 노출하기 위해 상기 회로 기판 상의 중간 절연층에서 접촉 윈도우를 개방하는 단계와;

(b) 상기 픽셀 영역에 인접한 상기 물리적 배리어의 적어도 측면에서 절연을 갖는 상기 회로 기판 상에 물리적 배리어를 형성하는 단계와;

(c) 상기 물리적 배리어 사이의 픽셀 영역에 상기 전계 발광 요소를 제공하는 단계를 포함하며,

전기적-전도성 물질은 상기 회로 기판보다 더 높은 레벨에서 상기 신호 라인의 적어도 부분을 제공하기 위해 상기 물리적 배리어의 부분으로서 증착되고, 상기 전기적-전도성 물질은 상기 중간 절연층의 접촉 윈도우를 통해 상기 매트릭스 어드레싱 회로에 대한 전극 연결부와 연결되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 13.

제 12항에 있어서, 상기 단계(b)는 주로 상기 전기-전도성 물질로 된 상기 물리적 배리어를 형성하는 단계를 수반하고, 절연 코팅은 상기 전도성 배리어 물질의 적어도 측면에 증착되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 14.

제 13항에 있어서, 상기 전도성 배리어 물질의 적어도 벌크(bulk)는 도금에 의해 증착되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

청구항 15.

제 13항에 있어서, 상기 전도성 배리어 물질은 알루미늄을 포함하고, 상기 절연 코팅은 양극 산화(anodisation)에 의해 상기 알루미늄 배리어 물질의 적어도 측면 상에 형성되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

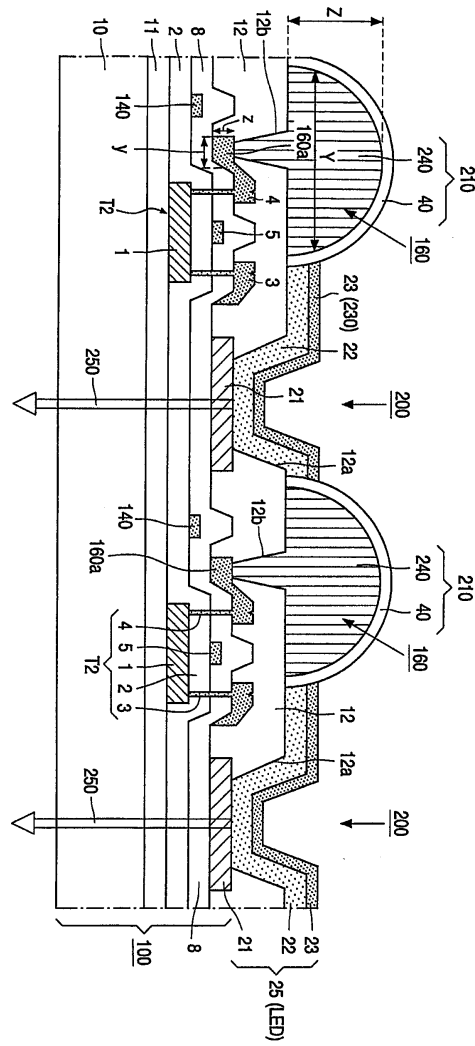
청구항 16.

제 12항에 있어서, 상기 단계(b)는 주로 절연 물질로 이루어진 상기 물리적 배리어를 형성하는 단계를 수반하고, 비아가 상기 중간 절연층의 접촉 윈도우에서 상기 매트릭스 어드레싱 회로에 대한 전극 연결부와 연결을 위해 상기 배리어를 관통하여 연장하고, 상기 신호 라인의 전기적-전도성 물질은 상기 물리적 배리어의 상부 및 상기 물리적 배리어를 통하는 비아에서 전도성 코팅으로서 증착되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

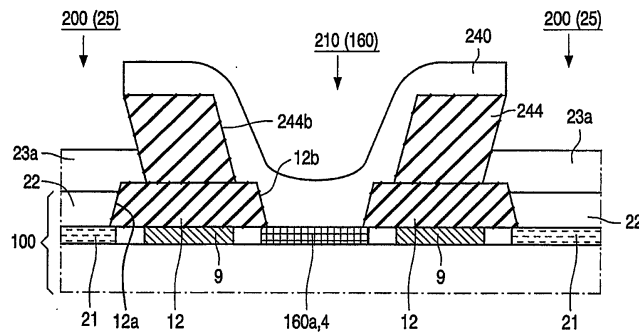
청구항 17.

제 16항에 있어서, 상기 신호 라인, 및 상기 전계 발광 요소의 상부 전극에 대한 전도성 코팅은 동시에 증착되고, 상기 물리적 배리어의 측면에서 돌출된 형상의 새도우-마스킹(shadow-masking) 효과에 의해 분리되는, 능동-매트릭스 전계 발광 디스플레이 디바이스 제조 방법.

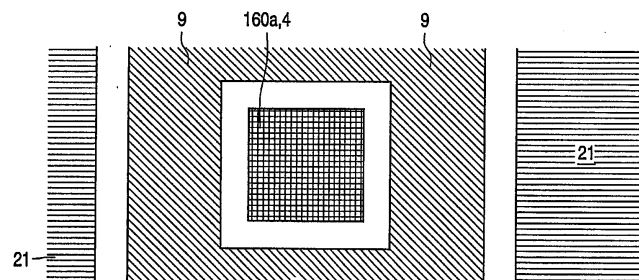
도면3



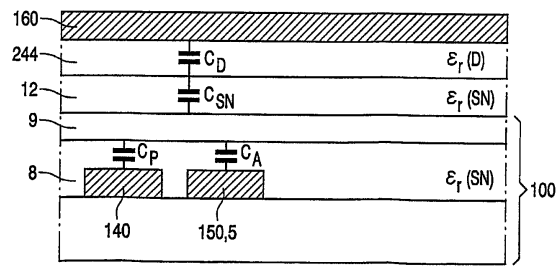
도면4



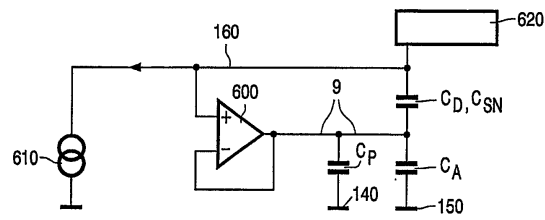
도면5



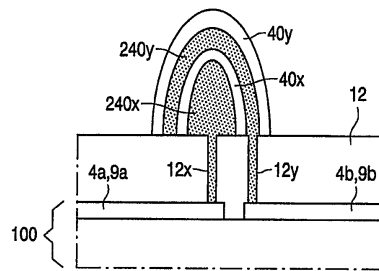
도면6



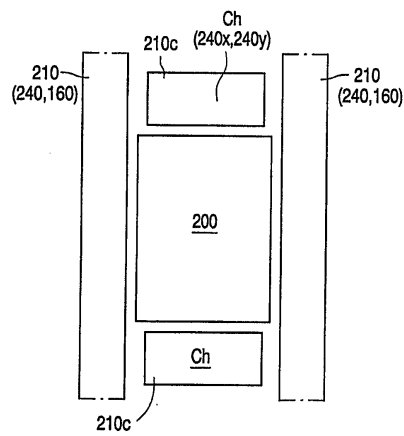
도면7



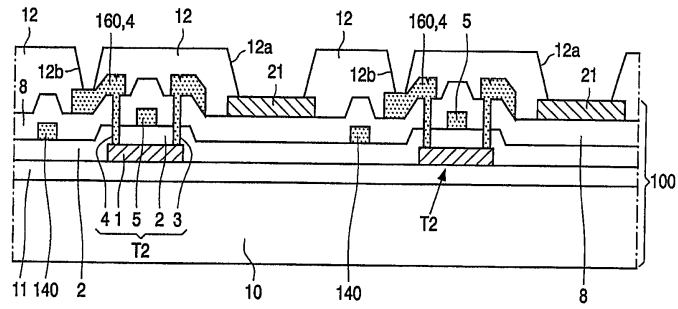
도면8



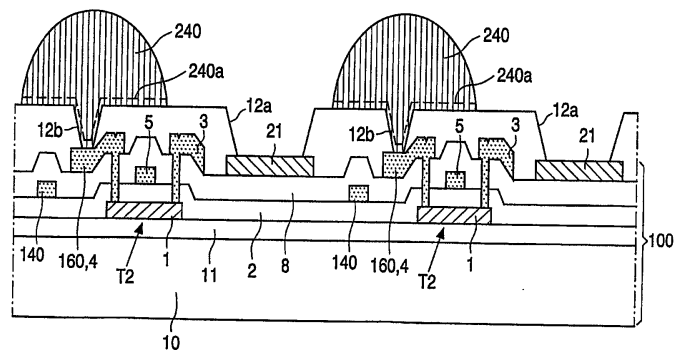
도면9



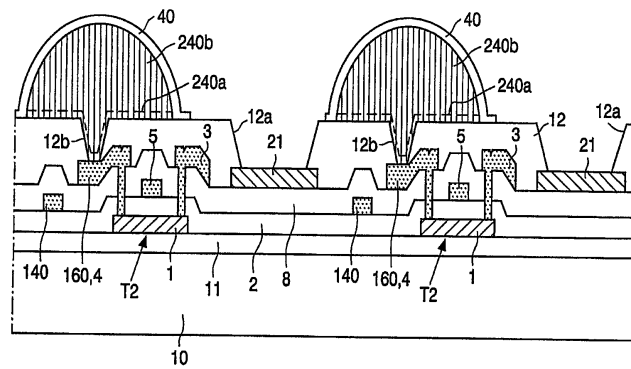
도면10



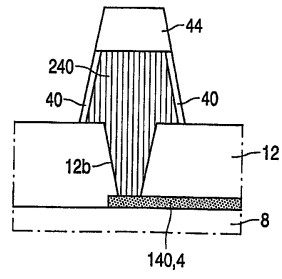
도면11



도면12



도면13



专利名称(译)	有源矩阵电致发光显示装置及其制造方法		
公开(公告)号	KR1020040091148A	公开(公告)日	2004-10-27
申请号	KR1020047014716	申请日	2003-02-21
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
当前申请(专利权)人(译)	科宁欣克利凯恩菲利普斯日元.V.		
[标]发明人	FISH DAVID A 피쉬데이비드에이 CHILDS MARK J 차일즈마크제이 HECTOR JASON R 헥터제이슨알 YOUNG NIGEL D 영니겔디		
发明人	피쉬,데이비드,에이. 차일즈,마크,제이. 헥터,제이슨,알. 영,니겔,디.		
IPC分类号	H01L51/50 G09G3/30 H05B33/22 H05B33/14 G09F9/30 H01L21/3205 H01L23/52 H05B33/10 H05B33/12 H01L29/786 H01L27/32 H01L27/00		
代理人(译)	MOON , KYOUNG 金		
优先权	2002006551 2002-03-20 GB 2002009559 2002-04-26 GB 2002016058 2002-07-11 GB		
外部链接	Espacenet		

摘要(译)

它存在于在具有物理屏障 (210) 的有源矩阵电致发光显示装置的电路板 (100) 上的相邻像素 (200) 之间, 特别是有机半导体材料的LED (25)。在电路板中, 为了减小寄生电容, 为本发明提供信号线 (160) 的至少一部分的金属涉及比电路板 (100) 或这些屏障 (210) 高得多的电平。形成其他导电材料 (240)。该导电阻挡材料 (240) 连接到基板 (100) 内的矩阵电路。然而, 它至少在与LED (25) 相邻的一侧具有绝缘体 (40)。优选地, 保护线 (9) 包括在电路板 (100) 中的信号线 (160) 处的电路和电容之间的基板 (100) 之间。

